



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)  
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0028935

(51)<sup>7</sup> H01L 29/78; H01L 21/336

(13) B

(21) 1-2015-04569

(22) 27/06/2013

(86) PCT/US2013/048351 27/06/2013

(87) WO/2014/209332 31/12/2014

(45) 25/07/2021 400

(43) 25/08/2016 341A

(73) Intel Corporation (US)

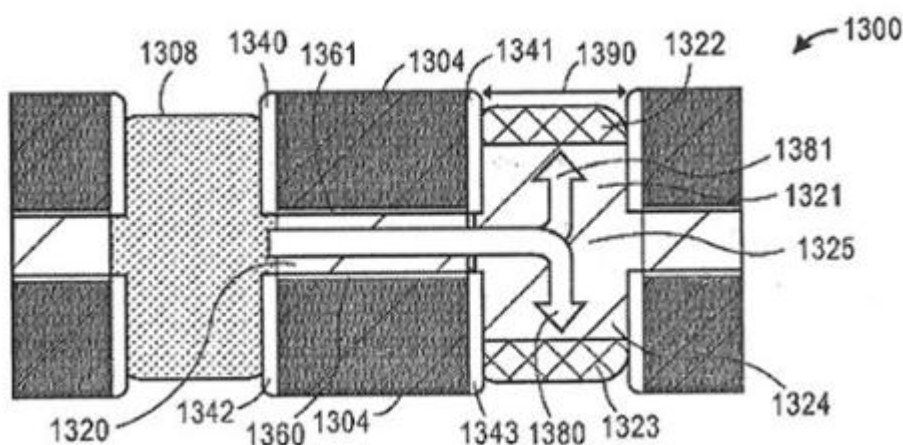
2200 Mission College Boulevard, MS: RNB-4-150, Santa Clara, CA 95052, United States of America

(72) AVCI, Uygur, E. (TR); KIM, Raseong (KR); YOUNG, Ian, A. (US).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) TRANZITO HIỆU ỨNG TRƯỜNG XUYÊN HẦM (TFET) CÓ VÙNG BAO QUANH BÊN DƯỚI VÙNG THOÁT KHÔNG ĐƯỢC PHA TẠP

(57) Sáng chế đề xuất các tranzito hiệu ứng trường xuyên hầm (Tunneling field effect transistor, TFET) có các vùng bao quanh bên dưới vùng thoát không được pha tạp được mô tả. Ví dụ, tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) bao gồm vùng hoạt động chuyển tiếp thuần nhất được tạo ra trên lớp nền. Vùng hoạt động chuyển tiếp thuần nhất bao gồm vùng nguồn được pha tạp, vùng kênh không được pha tạp, vùng bao quanh và vùng thoát được pha tạp. Điện cực cổng và lớp điện môi cực cổng được tạo ra trên vùng kênh không được pha tạp giữa vùng nguồn và vùng bao quanh.



### **Lĩnh vực kỹ thuật được đề cập**

Các phương án của sáng chế nằm trong lĩnh vực thiết bị bán dẫn và cụ thể hơn là các tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) có vùng bao quanh bên dưới vùng thoát không được pha tạp.

### **Tình trạng kỹ thuật của sáng chế**

Trong vài thập niên trước, việc thay đổi kích thước của các mạch tích hợp là động lực để thúc đẩy ngành công nghiệp bán dẫn đang ngày một phát triển. Việc thu nhỏ kích thước cho phép tăng mật độ của các đơn vị chức năng trên diện tích giới hạn của chip bán dẫn. Ví dụ, việc thu nhỏ kích thước của tranzito cho phép tích hợp nhiều thiết bị nhớ trên một chip, giúp gia tăng dung lượng của sản phẩm được tạo ra. Tuy nhiên, khi dung lượng ngày càng tăng lên thì xuất hiện vấn đề cần giải quyết. Nhu cầu tối ưu hóa hiệu năng của mỗi thiết bị ngày càng trở nên quan trọng.

Khi chế tạo các thiết bị mạch tích hợp, độ dốc dưới ngưỡng của tranzito hiệu ứng trường bán dẫn oxit kim loại (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) có giới hạn dưới theo lý thuyết là  $kT/q$  (60mV/dec ở nhiệt độ phòng) với  $k$  là hằng số Boltzmann,  $T$  là nhiệt độ tuyệt đối và  $q$  là độ lớn điện tích điện tử của một điện tử. Với công suất hoạt động thấp, sẽ thuận lợi hơn nếu hoạt động ở điện áp nguồn thấp do sự phụ thuộc của công suất hoạt động vào điện áp nguồn (ví dụ sự phụ thuộc xấp xỉ điện dung  $(C) \cdot$  điện áp  $(V)^2$ ). Tuy nhiên, do tỉ lệ giới hạn  $(kT/q)$  của sự tăng dòng điện từ dòng đóng đến dòng mở nên khi MOSFET được hoạt động ở điện áp nguồn thấp, thì dòng điện mở sẽ thấp hơn đáng kể bởi nó có thể được hoạt động gần với điện áp ngưỡng. Một loại tranzito khác - FET xuyên hầm (Tunneling FET, TFET) đã được chứng minh là đạt được trạng thái bật rõ ràng hơn (độ dốc dưới ngưỡng dốc hơn) so với MOSFET. Điều này cho phép dòng điện mở cao hơn MOSFET ở điện áp nguồn thấp, như được thể hiện trên Fig.1. Fig.1 minh họa đặc tuyến dòng thoát ( $I_d$ ) so với điện áp vùng cổng ( $V_g$ ) đối với MOSFET công suất thấp và TFET InAs có chiều dài vùng cổng là 20 nanomet

(nm). TFET chuyển tiếp dị thể sử dụng tổ hợp hai vật liệu bán dẫn cho phép dòng điện xuyên hầm cao hơn, cho phép các đặc tính TFET tốt hơn như được minh họa trên Fig.2. Fig.2 cũng minh họa MOSFET công suất thấp và TFET InAs chuyển tiếp thuận nhất có chiều dài vùng cổng là 15nm, chiều dày của vùng cổng oxit là 0,8nm, điện áp cực thoát tới cực nguồn là 0,3V và dòng điện đóng là 1nA/um.

Tuy nhiên, các thiết bị TFET cần vùng bao quanh bên dưới vùng thoát dài - vùng không được pha tạp giữa mép cổng và vùng thoát được pha tạp, để giữ độ dốc dưới ngưỡng dốc và giữ dòng rò đóng thấp ở các chiều dài vùng cổng ngắn. Fig.3 minh họa đường cong TFET InAs 302 có vùng bên dưới vùng thoát và đường cong TFET InAs 306 có cực nguồn/các đệm thoát đối xứng không có vùng bên dưới vùng thoát. Khi không có vùng bên dưới vùng thoát, thì dòng rò sẽ cao và độ dốc dưới ngưỡng sẽ không dốc ở đường cong 306. Khi vùng bên dưới vùng thoát được đưa vào, thì dòng rò giảm và có thể đạt được độ dốc dưới ngưỡng dốc hơn 60mV/dec. Đường cong 304 thể hiện các đặc tính thiết bị đối với MOSFET công suất thấp.

Fig.4 thể hiện hình vẽ mặt cắt của thiết bị TFET 400 có vùng bên dưới vùng thoát và thiết bị TFET 450 không có vùng bên dưới vùng thoát. Mặc dù, thiết bị TFET 400 có vùng bên dưới vùng thoát đạt được các đặc tính thiết bị tốt hơn bao gồm dòng rò thấp hơn và độ dốc dưới ngưỡng dốc hơn, nhưng nó vẫn cần thiết bị dài hơn, làm tốn thêm diện tích để bố trí tranzito. Ngoài ra, vùng bên dưới vùng thoát dài hơn sẽ cần quá trình xử lý đệm khác, làm tăng sự phức tạp và chi phí của quá trình này.

### **Bản chất kỹ thuật của sáng chế**

Theo một phương án, sáng chế đề xuất tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) có vùng bao quanh bên dưới vùng thoát. Ví dụ, tranzito hiệu ứng trường xuyên hầm này bao gồm vùng hoạt động chuyển tiếp thuận nhất được tạo ra trên lớp nền. Vùng hoạt động chuyển tiếp thuận nhất này gồm vùng nguồn được pha tạp, vùng kênh không được pha tạp, vùng bao quanh bên dưới vùng thoát và vùng thoát được pha tạp. Điện cực cổng và lớp điện môi cực

cổng được tạo ra trên vùng kênh không được pha tạp, giữa vùng nguồn và vùng bao quanh bên dưới vùng thoát.

### **Mô tả vắn tắt các hình vẽ**

Fig.1 minh họa trạng thái bật của thiết bị TFET so với thiết bị MOSFET công suất thấp bằng phương pháp thông thường.

Fig.2 minh họa trạng thái bật của các thiết bị TFET chuyển tiếp thuận nhất và chuyển tiếp dị thể so với thiết bị MOSFET công suất thấp bằng phương pháp thông thường.

Fig.3 minh họa trạng thái bật của các thiết bị TFET có vùng bên dưới vùng thoát, không có vùng bên dưới vùng thoát và thiết bị MOSFET công suất thấp bằng phương pháp thông thường.

Fig.4 minh họa hình vẽ mặt cắt của các thiết bị TFET có và không có vùng bên dưới vùng thoát bằng phương pháp thông thường.

Fig.5 minh họa đường dẫn xuyên hầm của một điện tử ở phía nguồn của thiết bị TFET chuyển tiếp dị thể có vùng bên dưới vùng thoát.

Fig.6A minh họa hình vẽ nhìn từ trên xuống 600 của kết cấu thiết bị nhiều cổng, theo một phương án của sáng chế.

Fig.6B minh họa hình vẽ mặt cắt 650 qua mặt cắt 610 của vùng hoạt động 620 của kết cấu thiết bị nhiều cổng trên Fig.6A, theo một phương án của sáng chế.

Fig.7A minh họa hình vẽ nhìn từ trên xuống 700 của kết cấu thiết bị nhiều cổng trong quá trình quang khắc, theo một phương án của sáng chế.

Fig.7B minh họa hình vẽ mặt cắt 750 qua mặt cắt 710 của vùng hoạt động 720 của kết cấu thiết bị nhiều cổng trên Fig.7A, theo một phương án của sáng chế.

Fig.8A minh họa hình vẽ nhìn từ trên xuống 800 của kết cấu thiết bị nhiều cổng, theo một phương án của sáng chế.

Fig.8B minh họa hình vẽ mặt cắt 850 qua mặt cắt 810 của vùng hoạt động của kết cấu thiết bị nhiều cổng trên Fig.8A, theo một phương án của sáng chế.

Fig.9A minh họa hình vẽ nhìn từ trên xuống 900 của kết cấu thiết bị nhiều cổng, theo một phương án của sáng chế.

Fig.9B minh họa hình vẽ mặt cắt 950 qua mặt cắt 910 của vùng hoạt động 920 của kết cấu thiết bị nhiều cổng trên Fig.9A, theo một phương án của sáng chế.

Fig.10A minh họa hình vẽ nhìn từ trên xuống 1000 của kết cấu thiết bị nhiều cổng, theo một phương án của sáng chế.

Fig.10B minh họa hình vẽ mặt cắt 1050 qua mặt cắt 1010 của vùng hoạt động 1020 của kết cấu thiết bị nhiều cổng trên Fig.10A, theo một phương án của sáng chế.

Fig.11A minh họa hình vẽ nhìn từ trên xuống 1100 của kết cấu thiết bị nhiều cổng có các đệm bao quanh và đối xứng, theo một phương án của sáng chế.

Fig.11B minh họa hình vẽ mặt cắt 1150 qua mặt cắt 1110 của vùng hoạt động 1120 của kết cấu thiết bị nhiều cổng trên Fig.11A, theo một phương án của sáng chế.

Fig.12A minh họa hình vẽ nhìn từ trên xuống 1200 của kết cấu thiết bị nhiều cổng có vùng bao quanh bên dưới vùng thoát có các đệm đối xứng, theo một phương án của sáng chế.

Fig.12B minh họa hình vẽ mặt cắt 1250 qua mặt cắt 1210 của vùng hoạt động 1220 của kết cấu thiết bị nhiều cổng trên Fig.12A, theo một phương án của sáng chế.

Fig.13 minh họa hình vẽ mặt cắt 1300 qua mặt cắt 1212 của vùng hoạt động 1220 của kết cấu thiết bị nhiều cổng trên Fig.12B, theo một phương án của sáng chế.

Fig.14 minh họa hình vẽ mặt cắt 1400 qua mặt cắt của vùng hoạt động của TFET dài thông thường.

Fig.15 minh họa hình vẽ mặt cắt của TFET bao quanh, theo một phương án của sáng chế.

Fig.16 minh họa hình vẽ mặt cắt của TFET dài theo phương ngang thông thường.

Fig.17 và Fig.18 minh họa các đồ thị thế năng đối với TFET dài theo phương ngang thông thường và TFET bao quanh, theo một phương án của sáng chế.

Fig.19 minh họa thiết bị điện toán theo một phương án thực hiện của sáng chế.

### **Mô tả chi tiết sáng chế**

Các tranzito hiệu ứng trường xuyên hầm (Tunneling field effect transistor, TFET) có các vùng bao quanh bên dưới vùng thoát không được pha tạp được mô tả. Trong phần mô tả dưới đây, các nội dung chi tiết cụ thể được nêu ra, chẳng hạn như chế độ tích hợp và vật liệu cụ thể, để hiểu rõ các phương án của sáng chế. Rõ ràng với người có hiểu biết trung bình trong lĩnh vực kỹ thuật rằng các phương án của sáng chế có thể được thực hiện mà không cần các nội dung chi tiết này. Trong các trường hợp khác, các dấu hiệu đã biết, chẳng hạn như các thiết kế bố trí mạch tích hợp, không được mô tả chi tiết để không làm tối nghĩa các phương án của sáng chế. Ngoài ra, cần hiểu rằng các phương án khác nhau được thể hiện trên các hình vẽ nhằm biểu diễn minh họa và không cần phải vẽ đúng tỉ lệ.

Theo một phương án, các TFET được sử dụng để đạt được độ dốc dưới ngưỡng (Sub-Threshold Slope, SS) dốc hơn và dòng rò thấp hơn so với tranzito hiệu ứng trường bán dẫn oxit kim loại (Metal Oxide Semiconductor Field Effect Transistor, MOSFET) tương ứng có giới hạn nhiệt xấp xỉ 60mV/dec. Nói chung, các phương án được mô tả ở đây có thể phù hợp với các tranzito hiệu suất cao hoặc thu nhỏ cho các thiết bị logic có các ứng dụng công suất thấp.

Nhằm đề xuất ngữ cảnh tình trạng kỹ thuật, thiết kế TFET thông thường yêu cầu vùng không được pha tạp giữa mép cổng và vùng thoát được pha tạp tạp chất  $n^+$ , được gọi là vùng bên dưới vùng thoát như được minh họa trên Fig.4. Điều này ngăn sự giảm độ dốc dưới ngưỡng của thiết bị TFET và giữ cho dòng rò thấp. Dòng rò và sự giảm độ dốc dưới ngưỡng là do rò lưỡng cực và hiệu ứng kênh ngắn. Sự rò lưỡng cực được gây ra bởi xuyên hầm dải qua dải giữa vùng kênh và vùng thoát.

Hiệu ứng kênh ngắn bao gồm xuyên hầm từ vùng nguồn tới vùng kênh hoặc vùng thoát do hiệu ứng thoát trên thế năng kênh và khoảng cách từ nguồn đến vùng thoát ngắn.

Fig.5 minh họa đường dẫn xuyên hầm của một điện tử ở phía nguồn của thiết bị TFET chuyển tiếp dị thể có vùng bên dưới vùng thoát. Thiết bị TFET 500 bao gồm cực cổng 520, vùng nguồn 522 (ví dụ, được pha tạp p+), kênh 524 (ví dụ, kênh không được pha tạp), vùng bên dưới vùng thoát 526 (ví dụ, không được pha tạp) và vùng thoát 528 (ví dụ, được pha tạp n+). Cấu trúc vùng năng lượng 544 của thiết bị TFET được thể hiện bên dưới thiết bị TFET. Cấu trúc vùng năng lượng 544 bao gồm vùng dẫn 540 và vùng hóa trị 542. Các điện tử trong vùng dẫn là các hạt tải điện di động trong các thiết bị ở thể rắn. Cấu trúc vùng năng lượng thể hiện năng lượng điện tử ở đơn vị eV trên trục tung và vị trí trong thiết bị TFET ở đơn vị nanomet trên trục hoành.

Dòng rò phụ thuộc vào khoảng cách xuyên hầm từ nguồn tới một điểm trong vùng thoát thiết bị TFET. Nếu khoảng cách này dài hơn, thì dòng rò sẽ thấp hơn. Đường ngắn nhất được minh họa bằng mũi tên 550 tới phía bên kia của năng lượng vùng cấm cùng với chiều cao rào thế giải thích theo cách bán cổ điển dòng xuyên hầm sẽ lớn như thế nào. Do đó, nên giữ khoảng cách xuyên hầm này dài hơn trong điều kiện tắt và ngắn hơn trong điều kiện bật của thiết bị TFET.

Nói chung, Fig.6A minh họa hình vẽ nhìn từ trên xuống 600 của kết cấu thiết bị nhiều cổng, theo một phương án của sáng chế. Theo một phương án, kết cấu thiết bị (ví dụ, ba cổng, FinFET (tranzito hiệu ứng trường vây, Fin Field Effect Transistor)) bao gồm các điện cực cổng 602, 604, 606, vùng hoặc vây hoạt động 620 và vùng cách ly 630.

Nói chung, Fig.6B minh họa hình vẽ mặt cắt 650 qua mặt cắt 610 của vùng hoạt động 620 của kết cấu thiết bị nhiều cổng trên Fig.6A, theo một phương án của sáng chế. Kết cấu thiết bị bao này gồm các cực cổng 602, 604, 606, các lớp điện môi từ 660 đến 662, các đệm cổng từ 640 đến 645, vùng hoạt động 620, và lớp nền 690. Kết cấu thiết kế này bao gồm thiết kế vùng bao quanh bên dưới vùng thoát như được minh họa trên Fig.6A đến Fig.13 và Fig.15 để có được các thiết bị TFET mà

không cần các đệm cổng dày hoặc bố trí thiết bị dài hơn chẳng hạn như thiết kế vùng bên dưới vùng thoát theo phương ngang, được minh họa trên Fig.14.

Nói chung, Fig.7A minh họa hình vẽ nhìn từ trên xuống 700 của kết cấu thiết bị nhiều cổng trong quá trình quang khắc, theo một phương án của sáng chế. Theo một phương án, kết cấu thiết bị này (ví dụ ba cổng, FinFET) bao gồm lớp chặn 712 có khoảng hở làm lộ ra các điện cực cổng 702, 704 và vùng hoạt động 720. Khoảng hở này có chiều dài 708 gần bằng một khoảng bước silic đa tinh thể và chiều rộng 709. Nói chung, Fig.7B minh họa hình vẽ mặt cắt 750 qua mặt cắt 710 của vùng hoạt động 720 của kết cấu thiết bị nhiều cổng trên Fig.7A, theo một phương án của sáng chế. Kết cấu thiết bị này bao gồm các điện cực cổng 702, 704, 706 và các đệm cổng tương ứng từ 740 đến 745 và các lớp điện môi cực cổng từ 760 đến 762. Kết cấu thiết bị này còn bao gồm lớp chặn 712, vùng hoạt động 720 và lớp nền 790. Lớp chặn 712 tạo ra khoảng hở cho vùng hoạt động ở vùng nguồn. Sau đó vùng hoạt động này được cấy vào tạp chất p+ hoặc bị ăn mòn và vùng nguồn được pha tạp p+ được mọc lên như được minh họa trên Fig.8A và Fig.8B.

Nói chung, Fig.8A minh họa hình vẽ nhìn từ trên xuống 800 của kết cấu thiết bị nhiều cổng, theo một phương án của sáng chế. Theo một phương án, kết cấu thiết bị này (ví dụ ba cổng, FinFET) bao gồm lớp chặn 812 có khoảng hở làm lộ ra các điện cực cổng 802 và 804 và một vùng nguồn 808 (vùng nguồn p+). Nói chung, Fig.8B minh họa hình vẽ mặt cắt 850 qua mặt cắt 810 của vùng hoạt động của kết cấu thiết bị nhiều cổng trên Fig.8A, theo một phương án của sáng chế. Kết cấu thiết bị này bao gồm các điện cực cổng 802, 804, 806 và các đệm cổng tương ứng từ 840 đến 845 và các lớp oxit cổng từ 860 đến 862. Kết cấu thiết bị này còn bao gồm lớp chặn 812, vùng hoạt động 820 và lớp nền 890. Vùng nguồn p+ được tạo ra ở vùng hoạt động 820 bằng cách sự cấy ghép hoặc một phần trong vùng hoạt động bằng cách ăn mòn và mọc nguồn được pha tạp tại chỗ. Sau khi lớp cảm quang và lớp chặn 812 (hoặc mặt nạ cứng) được gỡ bỏ, thì quá trình quang khắc mới được thực hiện để mở các vùng thoát như được minh họa trên Fig.9A và Fig.9B.

Nói chung, Fig.9A minh họa hình vẽ nhìn từ trên xuống 900 của kết cấu thiết bị nhiều cổng, theo một phương án của sáng chế. Theo một phương án, kết cấu thiết

bị này (ví dụ ba cổng, FinFET) bao gồm lớp chặn 912 có khoảng hở làm lộ ra các điện cực cổng 902 và 904 và vùng hoạt động 920 để tạo ra vùng thoát. Nói chung, Fig.9B minh họa hình vẽ mặt cắt 950 qua mặt cắt 910 của vùng hoạt động 920 của kết cấu thiết bị nhiều cổng trên Fig.9A, theo một phương án của sáng chế. Kết cấu thiết bị này bao gồm các điện cực cổng 902, 904, 906 và các đệm cổng tương ứng từ 940 đến 945 và các lớp điện môi cực cổng từ 960 đến 962. Kết cấu thiết bị này còn bao gồm lớp chặn 912, vùng hoạt động 920 và lớp nền 990. Vùng thoát được tạo ra trên vùng hoạt động không được pha tạp 920 bằng cách mọc một lớp mỏng vật liệu không được pha tạp và sau đó mọc vật liệu pha tạp n tại chỗ hoặc cấy vào một vùng với tạp chất loại n nồng độ thấp và năng lượng thấp như được minh họa trên Fig.10A và Fig.10B.

Nói chung, Fig.10A minh họa hình vẽ nhìn từ trên xuống 1000 của kết cấu thiết bị nhiều cổng, theo một phương án của sáng chế. Theo một phương án, kết cấu thiết bị này (ví dụ, ba cổng, FinFET) bao gồm lớp chặn 1012 có khoảng hở làm lộ ra các cực cổng 1004 và 1008 và vùng hoạt động 1020 để tạo ra vùng thoát được pha tạp n+. Nói chung, Fig.10B minh họa hình vẽ mặt cắt 1050 qua mặt cắt 1010 của vùng hoạt động của kết cấu thiết bị nhiều cổng trên Fig.10A, theo một phương án của sáng chế. Kết cấu thiết bị này bao gồm các điện cực cổng 1002, 1004, 1006 và các đệm cổng tương ứng 1040-1045 và các lớp oxit cổng từ 1060 đến 1062. Kết cấu thiết bị này còn bao gồm lớp chặn 1012, vùng hoạt động 1020 và lớp nền 1090. Vùng thoát 1072 được tạo ra trên vùng hoạt động không được pha tạp 1020 bằng cách mọc lớp mỏng 1071 vật liệu không được pha tạp và sau đó mọc vật liệu pha tạp n tại chỗ 1070 hoặc cấy vào một vùng với tạp chất loại n nồng độ thấp và năng lượng thấp. Sau khi lớp cảm quang và lớp chặn 1012 (hoặc mặt nạ cứng) được gỡ bỏ, sau đó TFET có vùng bao quanh bên dưới vùng thoát có các đệm đối xứng được tạo ra như được minh họa trên Fig.11A và Fig.11B.

Nói chung, Fig.11A minh họa hình vẽ nhìn từ trên xuống 1100 của kết cấu thiết bị nhiều cổng có vùng bao quanh bên dưới vùng thoát và các đệm đối xứng, theo một phương án của sáng chế. Theo một phương án, kết cấu thiết bị này (ví dụ ba cổng, FinFET) bao gồm các cực cổng 1102, 1104, và 1106 và vùng hoạt động 1120 (ví dụ vây hoặc khối) để tạo ra vùng nguồn 1108 (ví dụ vùng nguồn p+) và

vùng thoát 1160 (ví dụ vùng thoát  $n^+$ ). Nói chung, Fig.11B minh họa hình vẽ mặt cắt 1150 qua mặt cắt 1110 của vùng hoạt động 1120 của kết cấu thiết bị nhiều cổng trên Fig.11A, theo một phương án của sáng chế. Kết cấu thiết bị này bao gồm các điện cực cổng 1102, 1104, 1106 và các đệm cổng tương ứng từ 1140 đến 1145 và các lớp điện môi cực cổng từ 1160 đến 1162 (ví dụ các lớp oxit cổng). Kết cấu thiết bị này còn bao gồm vùng hoạt động 1120 và lớp nền 1190. Vùng thoát được tạo ra trên vùng hoạt động không được pha tạp 1120 bằng cách mọc lớp mỏng 1171 vật liệu pha không được pha tạp và sau đó mọc vật liệu pha tạp  $n$  tại chỗ 1170 hoặc cấy vào một vùng bao gồm lớp 1171 với tạp chất loại  $n$  nồng độ thấp và năng lượng thấp. Vùng nguồn 1108 (ví dụ, vùng nguồn  $p^+$ ) cũng được tạo ra trên vùng hoạt động không được pha tạp 1120. Một cách tiếp cận quá trình tương tự được minh họa trên Fig.6A đến Fig.11B có thể được áp dụng cho thiết kế thiết bị TFET chuyển tiếp di thể để tạo ra hiệu năng TFET nâng cao.

Nói chung, Fig.12A minh họa hình vẽ nhìn từ trên xuống 1200 của kết cấu thiết bị nhiều cổng có vùng bao quanh bên dưới vùng thoát có đệm đối xứng, theo một phương án của sáng chế. Theo một phương án, kết cấu thiết bị này (ví dụ ba cổng, FinFET) bao gồm các điện cực cổng 1202, 1204 và 1206 và vùng hoạt động 1220 để tạo ra vùng nguồn (ví dụ, vùng nguồn  $p^+$ ) và vùng thoát (ví dụ, vùng thoát  $n^+$ ) cho tranzito TFET kích thước nhỏ 1270. Nói chung, Fig.12B minh họa hình vẽ mặt cắt 1250 qua mặt cắt 1210 của vùng hoạt động 1220 của kết cấu thiết bị nhiều cổng trên Fig.12A, theo một phương án của sáng chế. Kết cấu thiết bị này bao gồm các điện cực cổng 1202, 1204, 1206 và các đệm cổng đối xứng tương ứng từ 1240 đến 1245 và các lớp điện môi cực cổng từ 1260 đến 1262. Kết cấu thiết bị này còn bao gồm vùng hoạt động 1220 (ví dụ, không được pha tạp InAs), lớp nền 1290, vùng nguồn 1208 với tạp chất  $p^+$  (ví dụ GaSb) và vùng thoát 1273. Vùng thoát 1273 được tạo ra trên vùng hoạt động không được pha tạp 1220 bằng cách mọc lớp mỏng 1271 vật liệu không được pha tạp (ví dụ InAs) và sau đó mọc vật liệu pha tạp  $n$  tại chỗ 1272 (ví dụ, InAs loại  $n$ ) hoặc cấy vào một vùng bao gồm lớp 1271 với tạp chất loại  $n$  nồng độ thấp và năng lượng thấp. Fig.12A và 12B minh họa các hình vẽ khác về TFET loại  $n$  sử dụng GaSb trong vùng nguồn và InAs trong vùng hoạt động bao gồm các vùng kênh dưới các vùng cổng và cả vùng thoát 1273. Theo một

phương án, TFET loại p có thể được thiết kế có Si, Ge, Sn hoặc hợp kim bất kì của các vật liệu này trong vùng nguồn và Si, Ge, Sn hoặc hợp kim bất kì của các vật liệu này trong vùng hoạt động bao gồm các vùng kênh dưới các vùng cổng và cũng như các vùng thoát. Theo một phương án, TFET có thể được thiết kế có In, Ga, Al, As, Sb, P, N hoặc hợp kim bất kì của các vật liệu này trong vùng nguồn và In, Ga, Al, As, Sb, P, N hoặc hợp kim bất kì của các vật liệu này trong vùng hoạt động bao gồm các vùng kênh dưới các vùng cổng và cũng như các vùng thoát. Bao gồm các tiếp xúc (ví dụ, tiếp xúc nguồn 1280 và tiếp xúc thoát 1281), thiết bị TFET có thể được thiết kế nhỏ bằng thiết bị MOSFET tương ứng.

Nói chung, Fig.13 minh họa hình vẽ mặt cắt 1300 qua mặt cắt 1212 của vùng hoạt động 1220 của kết cấu thiết bị nhiều cổng trên Fig.12B, theo một phương án của sáng chế. Kết cấu thiết bị này bao gồm điện cực cổng 1304 và đệm cổng đối xứng tương ứng từ 1340 đến 1343 và các lớp oxit cổng từ 1360 đến 1361. Kết cấu thiết bị này còn bao gồm vùng hoạt động 1320 (ví dụ, InAs không được pha tạp), vùng nguồn 1308 với tạp chất p<sup>+</sup> (ví dụ GaSb) và vùng thoát 1325. Vùng thoát 1325 được tạo ra trên vùng hoạt động không được pha tạp 1320 bằng cách mọc lớp mỏng 1321, 1324 vật liệu không được pha tạp (ví dụ InAs) và sau đó mọc vật liệu pha tạp n tại chỗ 1322, 1323 (ví dụ, InAs loại n) hoặc cấy vào một vùng bao gồm lớp 1321, 1324 với tạp chất loại n nồng độ thấp và năng lượng thấp. Các mũi tên 1380 và 1381 biểu thị đường dẫn của điện tử từ vùng nguồn tới vùng thoát.

Nói chung, Fig.14 minh họa hình vẽ mặt cắt 1400 qua mặt cắt của vùng hoạt động của kết cấu thiết bị nhiều cổng thông thường. Kết cấu thiết bị này bao gồm điện cực cổng 1404 và các đệm cổng đối xứng tương ứng 1420, 1421, 1440, 1441 và các lớp điện môi cực cổng. Kết cấu thiết bị này còn bao gồm vùng hoạt động 1430 (ví dụ, InAs không được pha tạp), vùng nguồn 1408 với tạp chất p<sup>+</sup> (ví dụ, GaSb), vùng bên dưới vùng thoát 1431 và vùng thoát 1410 (ví dụ, InAs loại n). Fig.14 minh họa TFET vùng bên dưới vùng thoát theo phương ngang trong khi đó Fig.13 minh họa TFET vùng bao quanh bên dưới vùng thoát. Mũi tên 1422 biểu thị đường dẫn của điện tử từ vùng nguồn tới vùng thoát.

Mặc dù TFET bao quanh trên Fig.13 có chiều dài thiết bị ngắn hơn so với TFET trên Fig.14, nhưng TFET bao quanh vẫn có trạng thái tĩnh điện tốt để giữ dòng rò thấp.

Fig.15 và Fig.16 lần lượt minh họa các hình vẽ mặt cắt của thiết bị TFET bao quanh 1500 và TFET dài theo phương ngang thông thường.

Nói chung, Fig.15 minh họa hình vẽ mặt cắt của thiết bị TFET bao quanh, theo một phương án của sáng chế. TFET bao quanh 1500 gồm các điện cực cổng 1520A, 1520B, đệm cổng 1560 và các lớp điện môi cực cổng 1522 và 1523. Đệm cổng đối xứng bổ sung và phần thoát bổ sung không được thể hiện trên Fig.15 với đệm cổng đối xứng bổ sung đối xứng với đệm cổng 1560 và phần thoát bổ sung đối xứng với điện cực thoát 1540 và vùng thoát 1542. Thiết bị TFET bao gồm vùng hoạt động 1525 hoặc khối (ví dụ, InAs không được pha tạp), điện cực nguồn 1510, vùng nguồn 1511 có tạp chất p+ (ví dụ, GaSb), điện cực thoát 1540 có vùng thoát 1542 và vùng bên dưới vùng thoát 1530. Theo một phương án, vùng hoạt động 1525 hoặc khối có chiều rộng 5nm như được minh họa bằng các mũi tên hai chiều 1531 và 1532. Nguồn có chiều dài 1512 là 30nm, kênh của vùng hoạt động có chiều dài 1524 là 20nm, vùng bên dưới vùng thoát có chiều dài thứ nhất 1532 là 5nm và chiều dài thứ hai 1533 là 10nm, và vùng thoát có chiều dài 1541 là 15nm. Các lớp điện môi cực cổng có thể có chiều dày 1526 xấp xỉ 1nm. Đệm 1560 có chiều dày 1561 xấp xỉ 3nm. Các chiều dài thứ nhất 1532 và chiều dài thứ hai 1533 của vùng bên dưới vùng thoát 1530 gần vuông góc với chiều dài thiết bị chỉ để đóng góp chiều rộng 1531 của vùng bên dưới vùng thoát 1530 theo hướng chiều dài thiết bị nhưng chưa tạo ra chiều dài 1532 và 1533 để cải thiện các đặc tuyến rò.

Nói chung, Fig.16 minh họa hình vẽ mặt cắt của thiết bị TFET dài theo phương ngang thông thường. TFET dài theo phương ngang thông thường 1600 tương ứng với TFET 1400 trên Fig.14. TFET 1600 bao gồm các điện cực cổng 1620A, 1620B, các đệm cổng 1626 và 1627, và các lớp oxit cổng 1660A và 1660B. Thiết bị TFET còn bao gồm vùng hoạt động 1622 hoặc khối (ví dụ, InAs không được pha tạp), điện cực nguồn 1610, vùng nguồn 1612 có tạp chất p+ (ví dụ, GaSb), điện cực thoát 1640 có vùng thoát 1642 có tạp chất n+ và vùng bên dưới vùng thoát

1625. Vùng hoạt động 1622 hoặc khối có chiều rộng là 5nm như được minh họa bằng mũi tên hai chiều 1641. Vùng thoát có chiều dài 1665 là 20nm, kênh có chiều dài 1623 là 20nm, vùng bên dưới vùng thoát có chiều dài 1624 là 10nm và vùng nguồn có chiều dài 1611 là 30nm.

Fig.17 và Fig.18 minh họa đồ thị thế năng đối với TFET dài theo phương ngang thông thường và TFET bao quanh, theo một phương án của sáng chế. Fig.17 minh họa đồ thị thế năng của TFET dài theo phương ngang thông thường và TFET bao quanh khi mà các cực cổng của các thiết bị TFET ở trạng thái bật, theo một phương án của sáng chế. Đồ thị 1700 thể hiện năng lượng (eV) so với vị trí trong thiết bị TFET tương ứng. Vùng dẫn (vùng trên) và vùng hóa trị (vùng dưới) của TFET dài theo phương ngang thông thường 1730 gần tương tự với vùng dẫn (vùng trên) và vùng hóa trị (vùng dưới) của TFET bao quanh 1740 có phân cực điện áp cổng đủ để bật các thiết bị.

Fig.18 minh họa đồ thị thế năng của TFET dài theo phương ngang thông thường và TFET bao quanh khi mà các thiết bị TFET ở trạng thái tắt, theo một phương án của sáng chế. Đồ thị 1800 thể hiện năng lượng (eV) so với vị trí trong thiết bị TFET tương ứng. Vùng dẫn (vùng trên) và vùng hóa trị (vùng dưới) của TFET dài theo phương ngang thông thường 1830 gần tương tự với vùng dẫn (vùng trên) và vùng hóa trị (vùng dưới) của TFET bao quanh 1840 đối với một vị trí (nm) từ 0 đến 40. Các vùng dẫn và hóa trị của các thiết bị này kéo dài trong khoảng xấp xỉ 40 đến 80 với các thiết bị bị phân cực trong điều kiện tắt. Chiều dài xuyên hầm 1850 của TFET bao quanh của một điện tử từ vùng hóa trị tới vùng dẫn dài hơn đáng kể so với chiều dài xuyên hầm 1852 của TFET dài theo phương ngang thông thường. Chiều dài xuyên hầm có mối tương quan với dòng rò, do đó TFET bao quanh có dòng rò thấp hơn.

Do đó, TFET bao quanh có chiều dài thiết bị ngắn hơn để diện tích nhỏ hơn và chi phí thấp hơn và không có quá trình đệm phức tạp so với TFET dài theo phương ngang thông thường. TFET bao quanh cũng có đồ thị thế năng được điều chỉnh tốt hơn để có dòng xuyên hầm trong điều kiện tắt thấp hơn và do đó TFET có dòng rò thấp hơn so với TFET dài theo phương ngang thông thường.

Theo các phương án được mô tả trên đây, dù được tạo ra trên các lớp nền ảo hoặc trên lớp nền khối, thì lớp nền cơ bản được sử dụng để chế tạo thiết bị TFET có thể bao gồm vật liệu bán dẫn, vật liệu mà có thể chịu được quá trình chế tạo. Theo một phương án, lớp nền là lớp nền khối, chẳng hạn như là lớp nền silic loại p được sử dụng phổ biến trong ngành công nghiệp bán dẫn. Theo một phương án, chất nền bao gồm tinh thể silic, silic/germani hoặc lớp germani được pha tạp bằng hạt tải điện, có thể là photpho, asen, bo hoặc hợp chất của chúng. Theo một phương án khác, lớp nền bao gồm lớp epitaxy được mọc trên lớp nền tinh thể riêng biệt, ví dụ, lớp epitaxy silic được mọc trên lớp nền đơn tinh thể silic khối được pha tạp bo.

Lớp nền có thể thay thế bao gồm lớp cách điện được tạo ra giữa lớp nền tinh thể khối và lớp epitaxy để tạo ra, ví dụ, lớp nền silic trên chất cách điện. Theo một phương án, lớp cách điện bao gồm vật liệu chẳng hạn như, silic dioxit, silic nitrit, silic oxy-nitrit hoặc lớp điện môi k lớn. Theo cách khác, lớp nền cũng có thể gồm vật liệu nhóm III-V. Theo một phương án, lớp nền bao gồm vật liệu III-V chẳng hạn như, Gali nitrua, Gali photphua, Gali asenua, indi photphua, indi antimonua, indi Gali asenua, nhôm Gali asenua, indi Gali photphua, hoặc hợp chất của chúng. Theo một phương án khác, lớp nền bao gồm vật liệu III-V và các nguyên tử tạp chất có pha tạp hạt tải điện chẳng hạn như cacbon, silic, germani, oxy, lưu huỳnh, selen hoặc telua.

Theo các phương án nêu trên, các thiết bị TFET bao gồm các vùng thoát nguồn có thể được pha tạp bằng các nguyên tử mang hạt tải điện. Theo một phương án, các vùng nguồn và/hoặc thoát vật liệu nhóm IV bao gồm các tạp chất loại n chẳng hạn như, nhưng không giới hạn ở photpho hoặc asen. Theo một phương án khác, các vùng nguồn và /hoặc thoát vật liệu nhóm IV bao gồm các tạp chất loại p chẳng hạn như, nhưng không giới hạn ở bo.

Theo các phương án nêu trên, mặc dù không phải luôn được thể hiện trên hình vẽ, nhưng cần hiểu rằng các TFET này bao gồm các chôn cực cổng có lớp điện môi cực cổng và lớp điện cực cổng. Theo một phương án, điện cực cổng của chôn điện cực cổng bao gồm cực cổng kim loại và lớp điện môi cực cổng bao gồm vật liệu k lớn. Ví dụ, theo một phương án, lớp điện môi cực cổng bao gồm vật liệu

chẳng hạn như, hafini oxit, hafini oxy-nitrua, hafini silicat, tantan oxit, ziricon oxit, ziricon silicat, tantan oxit, bari stronti titanat, bari titanat, stronti titanat, ytri oxit, nhôm oxit, nhôm oxit, chì scandi tantan oxit, chì kẽm niobat, hoặc hợp chất của chúng. Ngoài ra, một phần lớp điện môi cực cổng có thể bao gồm lớp oxit tự nhiên được tạo ra từ phần trên của một số lớp của vùng kênh tương ứng. Theo một phương án, lớp điện môi cực cổng bao gồm phần trên k lớn và phần dưới bao gồm oxit của vật liệu bán dẫn. Theo một phương án, lớp điện môi cực cổng bao gồm phần trên là hafini oxit và phần dưới là silic đi-oxit hoặc silic oxy-nitrit.

Theo một phương án, điện cực cổng bao gồm lớp kim loại chẳng hạn như, nhưng không giới hạn ở, nitrua kim loại, cacbua kim loại, silicua kim loại, aluminua kim loại, hafini, ziricon, titan, tantan, nhôm, ruteni, paladi, platin, coban, niken hoặc oxit kim loại dẫn điện. Theo một phương án cụ thể, điện cực cổng bao gồm vật liệu lấp đầy không điều chỉnh công phát được tạo ra trên lớp kim loại điều chỉnh công phát ở trên. Theo một phương án, điện cực cổng bao gồm vật liệu loại p hoặc vật liệu loại n. Chồng điện cực cổng cũng có thể bao gồm các đệm điện môi.

Các thiết bị bán dẫn TFET được mô tả ở trên bao gồm cả các thiết bị phẳng và không phẳng, bao gồm các thiết bị có cổng bao quanh. Do đó, cụ thể hơn, các thiết bị bán dẫn có thể là thiết bị bán dẫn kết hợp với cổng, vùng kênh và cặp vùng nguồn/vùng thoát. Theo một phương án, thiết bị bán dẫn có thể là một chẳng hạn như, nhưng không giới hạn ở, MOS-FET. Theo một phương án, thiết bị bán dẫn là MOS-FET phẳng hoặc ba chiều và là một thiết bị độc lập hoặc là một thiết bị trong tổ hợp các thiết bị. Các mạch tích hợp điển hình được đánh giá cao, các tranzito cả kênh n và kênh p có thể được chế tạo trên một lớp nền để tạo ra mạch tích hợp CMOS. Ngoài ra, dây nối bổ sung có thể được chế tạo để tích hợp các thiết bị này vào một mạch tích hợp.

Nói chung, một hoặc nhiều phương án được mô tả ở đây hướng tới tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) có vùng bao quanh bên dưới vùng thoát không được pha tạp. Các lớp hoạt động nhóm IV hoặc III-V cho các thiết bị này có thể được tạo thành bằng các kỹ thuật chẳng hạn như

lắng đọng hơi hóa học (Chemical Vapor Deposition, CVD) hoặc epitaxy chùm phân tử (Molecular Beam Epitaxy, MBE) hoặc các quá trình tương tự.

Fig.19 minh họa thiết bị điện toán 1900 theo một phương án thực hiện của sáng chế. Thiết bị điện toán 1900 bao gồm bảng mạch 1902. Bảng mạch 1902 có thể bao gồm nhiều thành phần, bao gồm nhưng không giới hạn ở bộ xử lý 1904 và ít nhất một chip truyền thông 1906. Bộ xử lý 1904 được ghép nối về mặt vật lý và điện với bảng mạch 1902. Theo một số phương án thực hiện ít nhất một chip truyền thông 1906 cũng được ghép nối về mặt vật lý và điện với bảng mạch 1902. Theo các phương án thực hiện khác, chip truyền thông 1906 là một phần của bộ xử lý 1904.

Tùy thuộc vào các ứng dụng, thiết bị điện toán 1900 có thể bao gồm các thành phần khác mà có thể hoặc có thể không được ghép nối về mặt vật lý và điện với bảng mạch 1902. Các thành phần này bao gồm, nhưng không giới hạn ở, bộ nhớ khả biến (ví dụ, DRAM), bộ nhớ bất khả biến (ví dụ, ROM), bộ nhớ nhanh, bộ xử lý đồ họa, bộ xử lý tín hiệu số, bộ xử lý mã hóa, bộ chip, ăng-ten, màn hình, màn hình cảm ứng, bộ điều khiển màn hình cảm ứng, pin, mã nén âm thanh, mã ảnh động, bộ khuếch đại công suất, thiết bị hệ thống định vị toàn cầu (Global Positioning System, GPS), la bàn, gia tốc kế, con quay hồi chuyển, loa, camera và thiết bị lưu trữ lớn (chẳng hạn như ổ đĩa cứng, đĩa nén (Compact Disk, CD), đĩa đa năng kỹ thuật số (Digital Versatile Disk, DVD) và v.v).

Chip truyền thông 1906 cho phép truyền thông không dây để truyền dữ liệu đến và từ thiết bị điện toán 1900. Thuật ngữ "không dây" và các biến thể của thuật ngữ này có thể được sử dụng để mô tả các mạch, các thiết bị, hệ thống, phương pháp, kỹ thuật, các kênh truyền thông, v.v., mà có thể truyền thông dữ liệu bằng cách sử dụng bức xạ điện từ được điều biến qua môi trường không ở thể rắn. Thuật ngữ này không đề cập rằng các thiết bị được kết hợp không bao gồm bất kỳ dây dẫn nào mặc dù theo một số phương án, chúng không có bất kỳ dây dẫn nào. Chip truyền thông 1906 có thể thực hiện một số chuẩn hoặc giao thức không dây, bao gồm nhưng không giới hạn ở Wi-Fi (họ IEEE 802.11), WiMAX (họ IEEE 802.16), IEEE 802.20, tiến hóa dài hạn (Long Term Evolution, LTE), Ev-DO, HSPA+,

HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, Bluetooth, các biến thể của chúng, cũng như các giao thức không dây khác bất kỳ được chỉ định như 3G, 4G, 5G, và tương tự. Thiết bị điện toán 1900 có thể bao gồm nhiều chip truyền thông 1906. Ví dụ, chip truyền thông thứ nhất 1906 có thể là chuyên dụng cho truyền thông không dây tầm ngắn chẳng hạn như Wi-Fi và bluetooth và chip truyền thông thứ hai 1906 có thể là chuyên dụng cho truyền thông không dây tầm dài chẳng hạn như GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO và các giao thức khác.

Bộ xử lý 1904 của thiết bị điện toán 1900 bao gồm khuôn mạch tích hợp 1910 được đóng gói trong bộ xử lý 1904. Theo một số phương án thực hiện của sáng chế, khuôn mạch tích hợp của bộ xử lý bao gồm một hoặc nhiều thiết bị 1912, chẳng hạn như các tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) được thiết kế theo các phương án thực hiện của sáng chế. Thuật ngữ "bộ xử lý" có thể đề cập đến thiết bị hoặc một phần thiết bị bất kỳ mà xử lý dữ liệu điện tử từ các thanh ghi và/hoặc bộ nhớ để chuyển đổi dữ liệu điện tử này sang dữ liệu điện tử khác mà có thể được lưu trữ trong các thanh ghi và/hoặc bộ nhớ.

Chip truyền thông 1906 còn bao gồm khuôn mạch tích hợp 1920 được đóng gói trong chip truyền thông 1906. Theo một phương án thực hiện khác của sáng chế, khuôn mạch tích hợp của chip truyền thông bao gồm một hoặc nhiều thiết bị 1921, chẳng hạn như các tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) được thiết kế theo một phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác của sáng chế, thành phần khác được chứa trong thiết bị điện toán 1900 có thể chứa khuôn mạch tích hợp bao gồm một hoặc nhiều thiết bị, chẳng hạn như các tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) được thiết kế theo các phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác nhau, thiết bị điện toán 1900 có thể là máy tính xách tay, netbook, notebook, ultrabook, điện thoại thông minh, máy tính dạng bảng, thiết bị hỗ trợ cá nhân kỹ thuật số (Personal Digital Assistant, PDA), máy tính cá nhân siêu di động, điện thoại di động, máy tính để bàn, máy chủ, máy

in, máy quét, bộ điều chỉnh, hộp đổi tín hiệu, bộ điều khiển giải trí, máy ảnh kỹ thuật số, máy nghe nhạc cầm tay hoặc máy quay video kỹ thuật số. Theo các phương án thực hiện khác, thiết bị điện toán 1900 có thể là thiết bị điện tử khác bất kỳ để xử lý dữ liệu.

Do đó, các phương án của sáng chế bao gồm các tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) có vùng bao quanh bên dưới vùng thoát không được pha tạp.

Theo một phương án, tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) bao gồm vùng hoạt động chuyển tiếp thuận nhất được tạo ra (ví dụ, được đặt, sắp xếp, định vị, bố trí) trên lớp nền. Vùng hoạt động chuyển tiếp thuận nhất bao gồm vùng nguồn được pha tạp, vùng kênh không được pha tạp, vùng bao quanh và vùng thoát được pha tạp. Chồng cực cổng được tạo ra trên vùng kênh không được pha tạp, giữa các vùng nguồn và vùng bao quanh. Chồng cực cổng bao gồm phần điện môi cực cổng và phần điện cực cổng. TFET có chiều dài theo hướng thứ nhất và chiều rộng theo hướng thứ hai trong khi vùng bao quanh có chiều rộng theo hướng thứ hai lớn hơn chiều dài theo hướng thứ nhất. Chiều dài và chiều rộng của TFET có thể được thiết kế để có kích thước tương tự với chiều dài và chiều rộng của tranzito hiệu ứng trường bán dẫn oxit kim loại (Metal Oxide Semiconductor Field Effect Transistor, MOSFET).

Theo một phương án, TFET là thiết bị dựa trên FinFET hoặc ba cổng.

Theo một phương án, thiết bị TFET còn bao gồm các đệm cổng đối xứng, mỗi đệm cổng này liền kề với điện cực cổng. Vùng bao quanh có thể được mọc trên phần lộ ra của vùng hoạt động và liền kề một đệm cổng trong số các đệm cổng của điện cực cổng.

Theo một phương án, vùng thoát được pha tạp được tạo ra bằng cách mọc vật liệu được pha tạp tại chỗ trên phần lộ ra của vùng bao quanh.

Theo một phương án, thiết bị TFET là TFET loại n bao gồm vùng nguồn có tạp chất p<sup>+</sup> và vùng thoát có tạp chất loại n.

Theo một phương án, tranzito hiệu ứng trường xuyên hầm (Tunnelling Field Effect Transistor, TFET) bao gồm vùng hoạt động chuyển tiếp dị thể được tạo ra trên lớp nền. Vùng hoạt động chuyển tiếp dị thể này bao gồm vùng nguồn được pha tạp, vùng kênh không được pha tạp, vùng bao quanh và vùng thoát được pha tạp. Điện cực cổng và lớp điện môi cực cổng được tạo ra trên vùng kênh không được pha tạp, giữa vùng nguồn và vùng bao quanh. Chồng cực cổng bao gồm phần điện môi cực cổng và phần điện cực cổng.

Theo một phương án, TFET có chiều dài theo hướng thứ nhất và chiều rộng theo hướng thứ hai và vùng bao quanh có chiều rộng theo hướng thứ hai lớn hơn chiều dài theo hướng thứ nhất.

Theo một phương án, chiều dài và chiều rộng của TFET tương tự với chiều dài và chiều rộng của tranzito hiệu ứng trường bán dẫn oxit kim loại (Metal Oxide Semiconductor Field Effect Transistor, MOSFET). TFET có thể là thiết bị dựa trên FinFET hoặc ba cổng.

Theo một phương án, thiết bị TFET còn bao gồm các đệm cổng đối xứng có chiều dày gần bằng nhau và mỗi đệm cổng này liền kề với điện cực cổng.

Theo một phương án, vùng bao quanh được mọc trên phần lộ ra của vùng hoạt động và liền kề với một đệm cổng trong số các đệm cổng của điện cực cổng.

Vùng thoát được pha tạp được tạo ra bằng cách mọc vật liệu được pha tạp tại chỗ trên phần lộ ra của vùng bao quanh.

Theo một phương án, thiết bị TFET là TFET loại n bao gồm vùng nguồn có Gali Antimon (Gallium Antimony, GaSb), vùng kênh có Indi Asenua (Indium Arsenide, InAs) và vùng thoát có InAs.

Theo một phương án, thiết bị điện toán bao gồm bộ nhớ để lưu trữ dữ liệu điện tử và bộ xử lý được ghép nối với bộ nhớ. Bộ xử lý xử lý dữ liệu điện tử. Bộ xử lý bao gồm khuôn mạch tích hợp có các tranzito hiệu ứng trường xuyên hầm (Tunneling Field Effect Transistor, TFET). Ít nhất một TFET gồm vùng hoạt động chuyển tiếp dị thể được tạo ra trên lớp nền. Vùng hoạt động chuyển tiếp dị thể này bao gồm vùng nguồn được pha tạp, vùng kênh không được pha tạp, vùng bao quanh

và vùng thoát được pha tạp. Điện cực cổng và lớp điện môi cực cổng được tạo ra trên vùng kênh không được pha tạp, giữa vùng nguồn và vùng bao quanh. Chồng cực cổng bao gồm phần điện môi cực cổng và phần điện cực cổng.

Theo một phương án, TFET có chiều dài theo hướng thứ nhất và chiều rộng theo hướng thứ hai và vùng bao quanh có chiều rộng theo hướng thứ hai lớn hơn chiều dài theo hướng thứ nhất.

Theo một phương án, chiều dài và chiều rộng của TFET tương tự với chiều dài và chiều rộng của tranzito hiệu ứng trường bán dẫn oxit kim loại (Metal Oxide Semiconductor Field Effect Transistor, MOSFET). TFET có thể là thiết bị dựa trên FinFET hoặc ba cổng.

Theo một phương án, thiết bị TFET còn bao gồm các đệm cổng đối xứng có chiều dày gần bằng nhau và mỗi đệm cổng này liền kề với điện cực cổng.

Theo một phương án, vùng bao quanh được mọc trên phần lộ ra của vùng hoạt động và liền kề với một đệm cổng trong số các đệm cổng của điện cực cổng.

Vùng thoát được pha tạp được tạo ra bằng cách mọc vật liệu được pha tạp tại chỗ trên phần lộ ra của vùng bao quanh.

Theo một phương án, thiết bị TFET là TFET loại n bao gồm vùng nguồn có Gali Antimon (Gallium Antimony, GaSb), vùng kênh có Indi Asenua (Indium Arsenide, InAs), và vùng thoát có InAs.

## YÊU CẦU BẢO HỘ

1. Tranzito hiệu ứng trường xuyên hầm (Tunneling Field Effect Transistor, TFET), TFET này bao gồm:

vùng hoạt động chuyển tiếp thuận nhất được tạo ra trên lớp nền, vùng hoạt động chuyển tiếp thuận nhất này bao gồm vùng nguồn được pha tạp, vùng kênh không được pha tạp, vùng bao quanh bên dưới vùng thoát và vùng thoát được pha tạp; và

điện cực cổng và lớp điện môi cực cổng được tạo ra trên vùng kênh không được pha tạp, giữa vùng nguồn và vùng bao quanh bên dưới vùng thoát.

2. Tranzito hiệu ứng trường xuyên hầm theo điểm 1, trong đó TFET này có chiều dài theo hướng thứ nhất và chiều rộng theo hướng thứ hai và vùng bao quanh bên dưới vùng thoát có chiều rộng theo hướng thứ hai lớn hơn chiều dài theo hướng thứ nhất.

3. Tranzito hiệu ứng trường xuyên hầm theo điểm 2, trong đó chiều dài và chiều rộng của TFET tương tự với chiều dài và chiều rộng của tranzito hiệu ứng trường bán dẫn oxit kim loại (Metal Oxide Semiconductor Field Effect Transistor, MOSFET).

4. Tranzito hiệu ứng trường xuyên hầm theo điểm 1, trong đó TFET này là thiết bị dựa trên FinFET (tranzito hiệu ứng trường vây, Fin Field Effect Transistor) hoặc ba cổng.

5. Tranzito hiệu ứng trường xuyên hầm theo điểm 1, trong đó TFET này còn bao gồm các đệm cổng đối xứng, mỗi đệm cổng này liền kề với điện cực cổng.

6. Tranzito hiệu ứng trường xuyên hầm theo điểm 5, trong đó vùng bao quanh bên dưới vùng thoát được mọc trên phần lộ ra của vùng hoạt động và liền kề với một đệm cổng trong số các đệm cổng của điện cực cổng.

7. Tranzito hiệu ứng trường xuyên hầm theo điểm 1, trong đó vùng thoát được pha tạp được tạo ra bằng cách mọc vật liệu được pha tạp tại chỗ trên phần lộ ra của vùng bao quanh bên dưới vùng thoát.

8. Tranzito hiệu ứng trường xuyên hầm theo điểm 1, trong đó TFET này là TFET loại n bao gồm vùng nguồn có tạp chất p+ và vùng thoát có tạp chất loại n.

9. Tranzito hiệu ứng trường xuyên hầm (Tunneling Field Effect Transistor, TFET), TFET này bao gồm:

vùng hoạt động chuyển tiếp dị thể được tạo ra trên lớp nền, vùng hoạt động chuyển tiếp dị thể này bao gồm vùng nguồn được pha tạp, vùng kênh không được pha tạp, vùng bao quanh và vùng thoát được pha tạp; và

điện cực cổng và lớp điện môi cực cổng được tạo ra trên vùng kênh không được pha tạp, giữa vùng nguồn và vùng bao quanh.

10. Tranzito hiệu ứng trường xuyên hầm theo điểm 9, trong đó TFET này có chiều dài theo hướng thứ nhất và chiều rộng theo hướng thứ hai và vùng bao quanh có chiều rộng theo hướng thứ hai lớn hơn chiều dài theo hướng thứ nhất.

11. Tranzito hiệu ứng trường xuyên hầm theo điểm 10, trong đó chiều dài và chiều rộng của TFET tương tự với chiều dài và chiều rộng của tranzito hiệu ứng trường bán dẫn oxit kim loại (Metal Oxide Semiconductor Field Effect Transistor, MOSFET).

12. Tranzito hiệu ứng trường xuyên hầm theo điểm 9, trong đó TFET này là thiết bị dựa trên FinFET (tranzito hiệu ứng trường vây, Fin Field Effect Transistor) hoặc ba cổng.

13. Tranzito hiệu ứng trường xuyên hầm theo điểm 9, trong đó TFET này còn bao gồm các đệm cổng đối xứng có chiều dày gần bằng nhau và mỗi đệm cổng này liền kề với điện cực cổng.

14. Tranzito hiệu ứng trường xuyên hầm theo điểm 13, trong đó vùng bao quanh được mọc trên phần lộ ra của vùng hoạt động và liền kề với một đệm cổng trong số các đệm cổng của điện cực cổng.

15. Tranzito hiệu ứng trường xuyên hầm theo điểm 9, trong đó vùng thoát được pha tạp được tạo ra bằng cách mọc vật liệu được pha tạp tại chỗ trên phần lộ ra của vùng bao quanh.

16. Tranzito hiệu ứng trường xuyên hầm theo điểm 9, trong đó TFET này là TFET loại n bao gồm vùng nguồn có Gali Antimon (Gallium Antimony, GaSb), vùng kênh có Indi Asenua (Indium Arsenide, InAs), và vùng thoát có InAs.

17. Thiết bị điện toán, thiết bị điện toán này bao gồm:

bộ nhớ để lưu trữ dữ liệu điện tử; và

bộ xử lý được ghép nối với bộ nhớ, bộ xử lý này để xử lý dữ liệu điện tử, bộ xử lý này bao gồm khuôn mạch tích hợp có các tranzito hiệu ứng trường xuyên hầm (Tunneling Field Effect Transistor, TFET), ít nhất một TFET bao gồm:

vùng hoạt động chuyển tiếp dị thể được tạo ra trên lớp nền, vùng hoạt động chuyển tiếp dị thể này gồm vùng nguồn được pha tạp, vùng kênh không được pha tạp, vùng bao quanh và vùng thoát được pha tạp; và

điện cực cổng và lớp điện môi cực cổng được tạo ra trên vùng kênh không được pha tạp, giữa vùng nguồn và vùng bao quanh.

18. Thiết bị điện toán theo điểm 17, trong đó TFET có chiều dài theo hướng thứ nhất và chiều rộng theo hướng thứ hai và vùng bao quanh có chiều rộng theo hướng thứ hai lớn hơn chiều dài theo hướng thứ nhất.

19. Thiết bị điện toán theo điểm 18, trong đó chiều dài và chiều rộng của TFET tương tự với chiều dài và chiều rộng của tranzito hiệu ứng trường bán dẫn oxit kim loại (Metal Oxide Semiconductor Field Effect Transistor, MOSFET).

20. Thiết bị điện toán theo điểm 17, trong đó TFET là thiết bị dựa trên FinFET (tranzito hiệu ứng trường vây, Fin Field Effect Transistor) hoặc ba cổng.

21. Thiết bị điện toán theo điểm 17, trong đó TFET còn bao gồm các đệm cổng đối xứng có chiều dày gần bằng nhau và mỗi đệm cổng này liền kề với điện cực cổng.

22. Thiết bị điện toán theo điểm 17, trong đó vùng bao quanh được mọc trên phần lộ ra của vùng hoạt động và liền kề với một đệm cổng trong số các đệm cổng của điện cực cổng.

23. Thiết bị điện toán theo điểm 17, trong đó vùng thoát được pha tạp được tạo ra bằng cách mọc vật liệu được pha tạp tại chỗ trên phần lộ ra của vùng bao quanh.

24. Thiết bị điện toán theo điểm 17, trong đó TFET là TFET loại n bao gồm vùng nguồn có Gali Antimon (Gallium Antimony, GaSb), vùng kênh có Indi Asenua (Indium Arsenide, InAs) và vùng thoát có InAs.

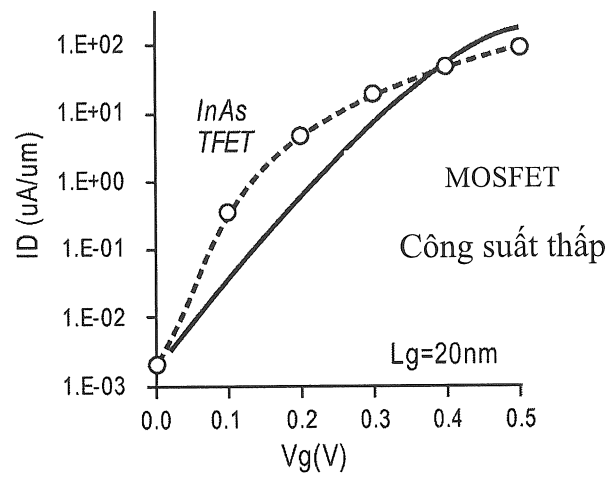


FIG. 1

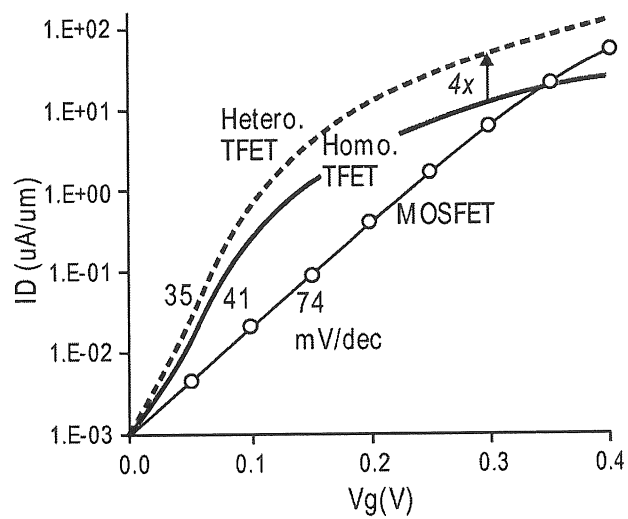


FIG. 2

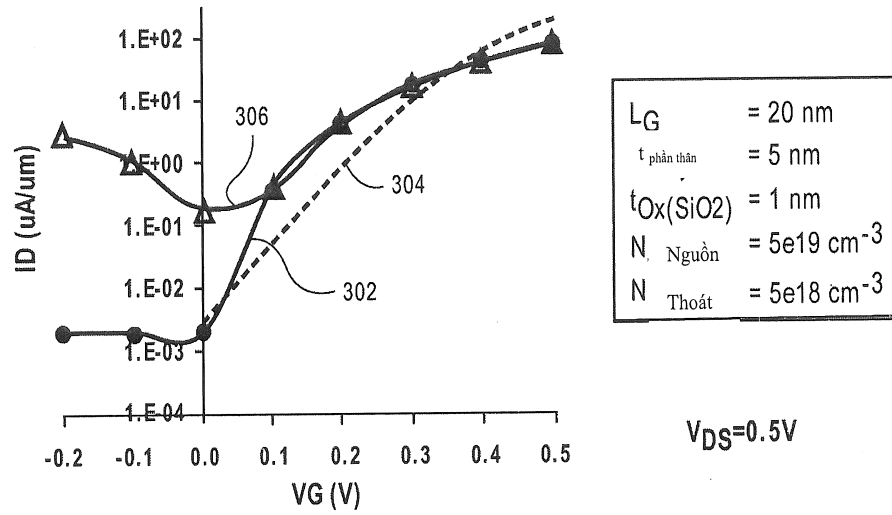


FIG. 3

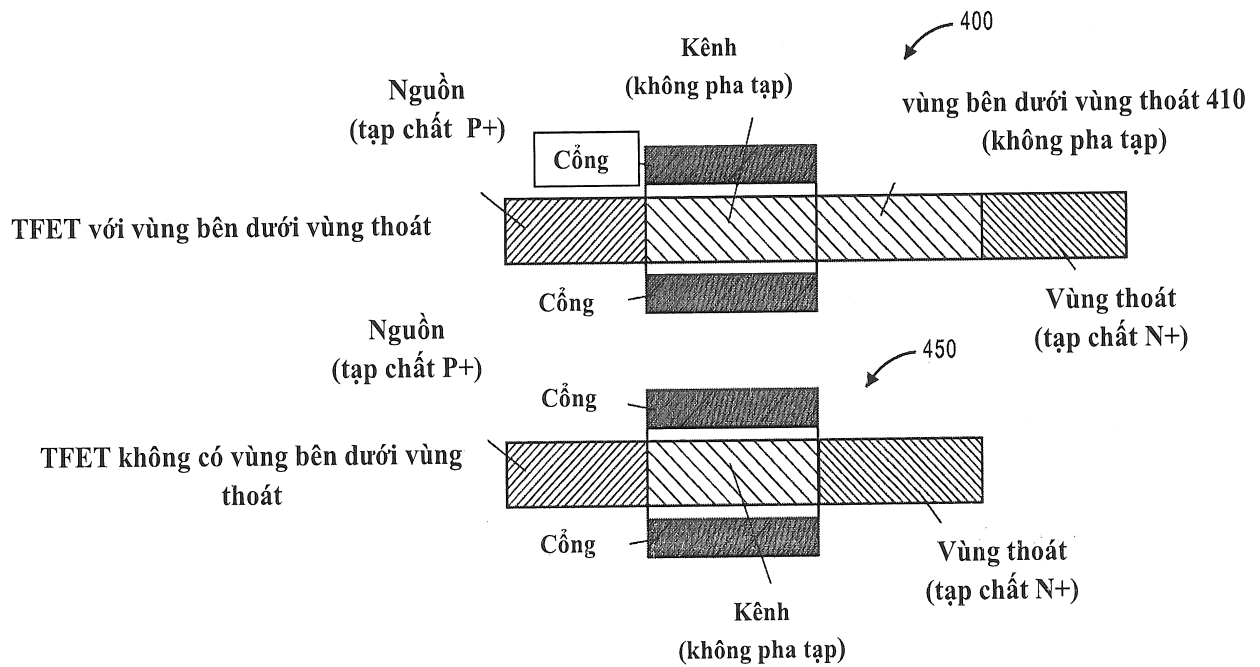


FIG. 4

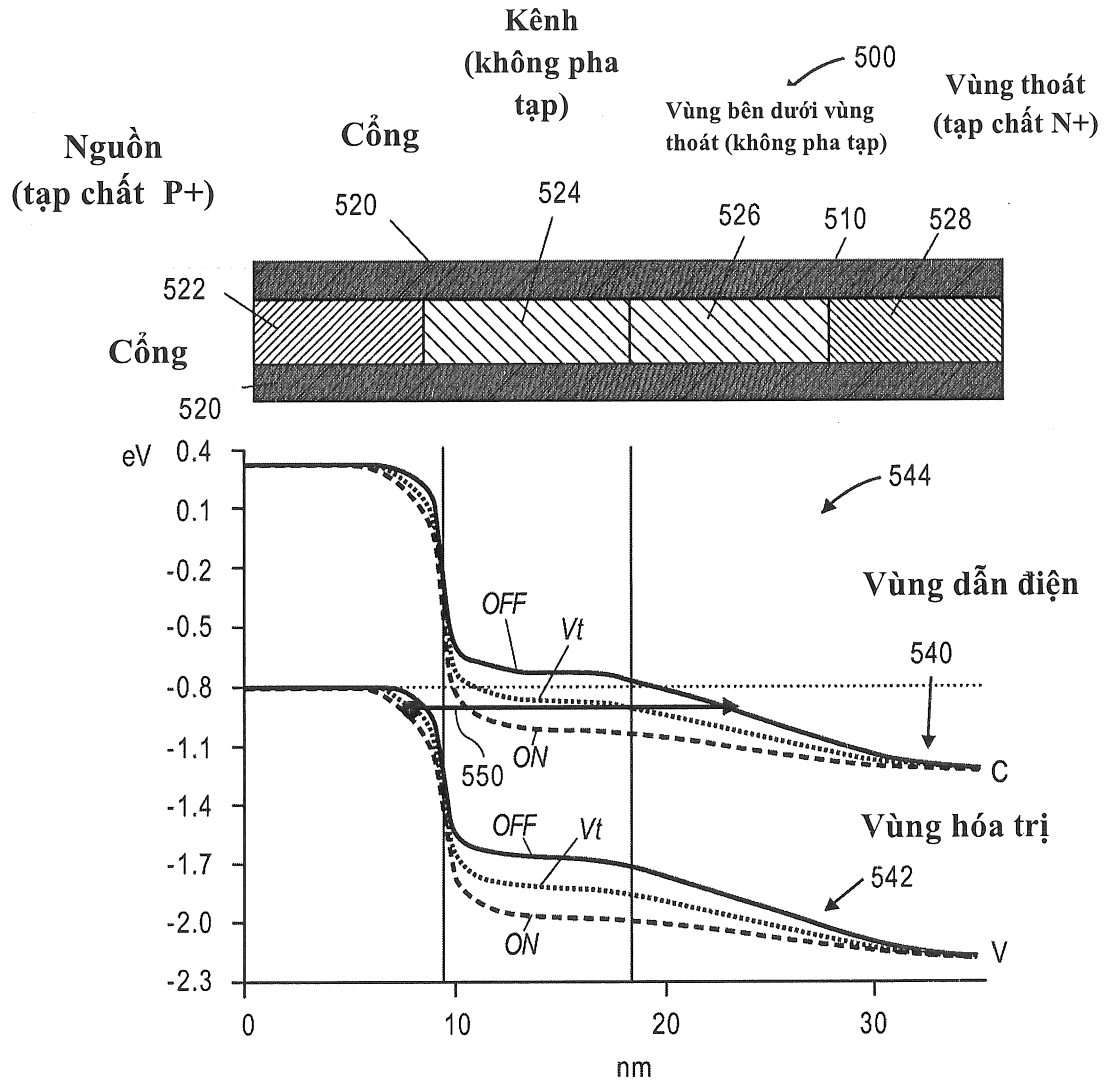


FIG. 5

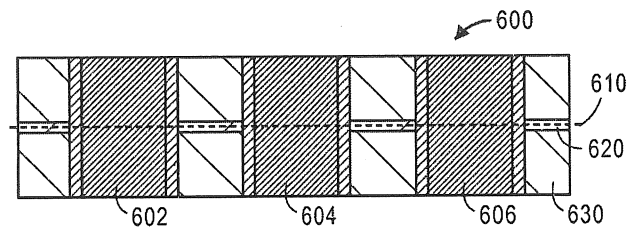


FIG. 6A

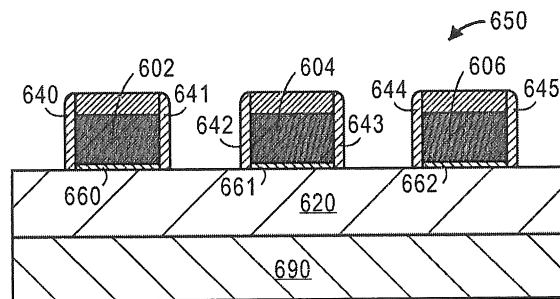


FIG. 6B

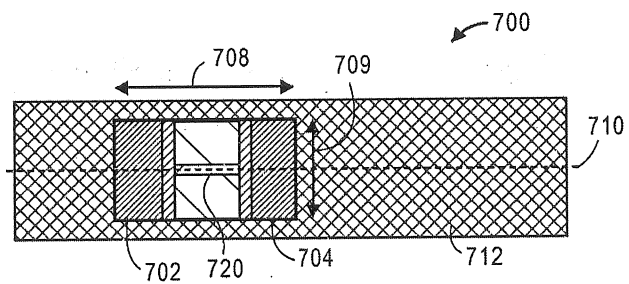


FIG. 7A

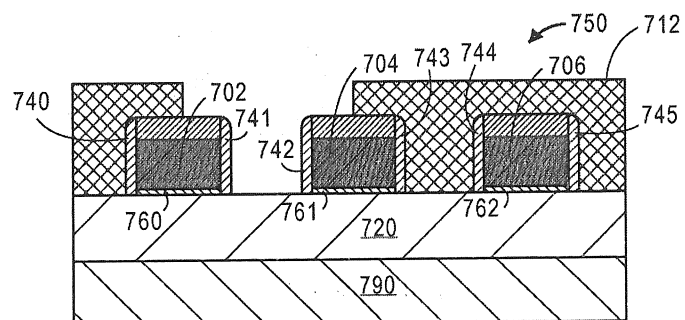


FIG. 7B

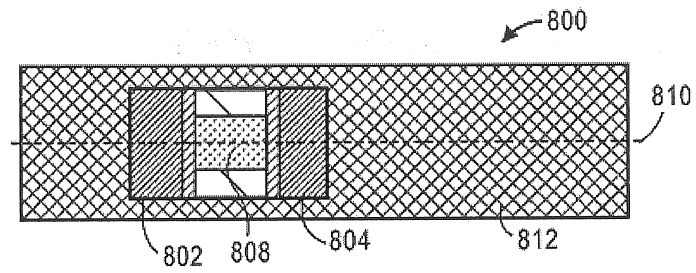


FIG. 8A

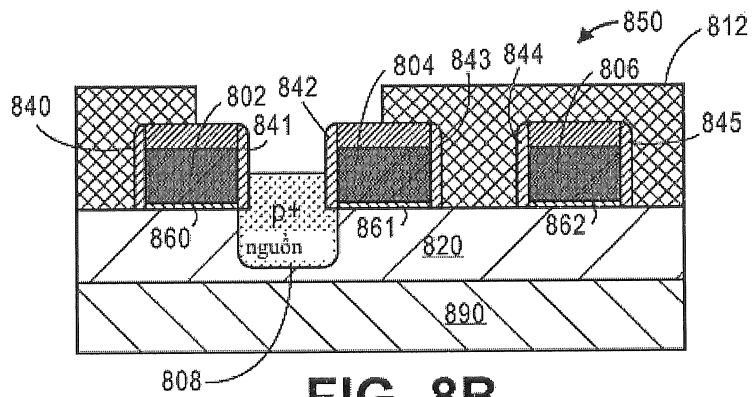


FIG. 8B

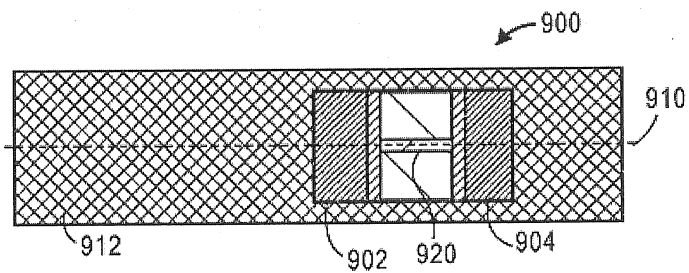


FIG. 9A

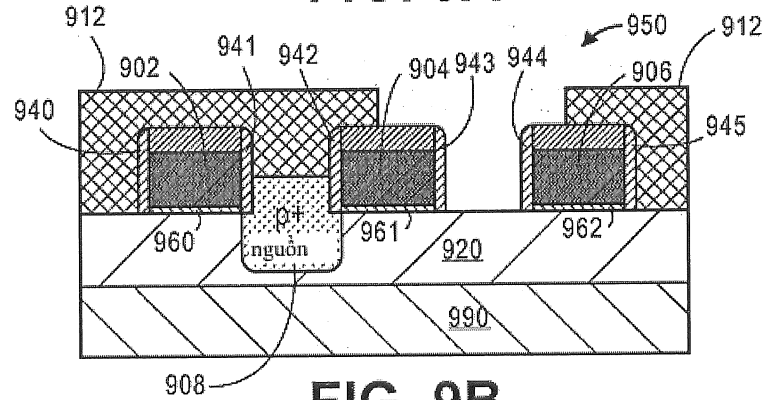
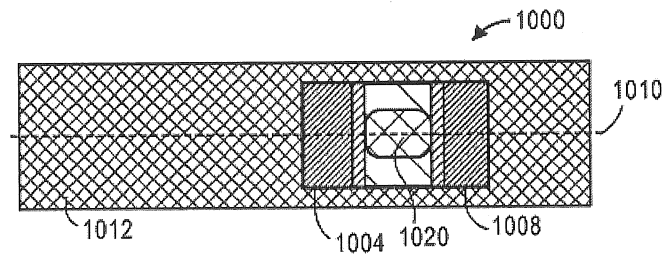
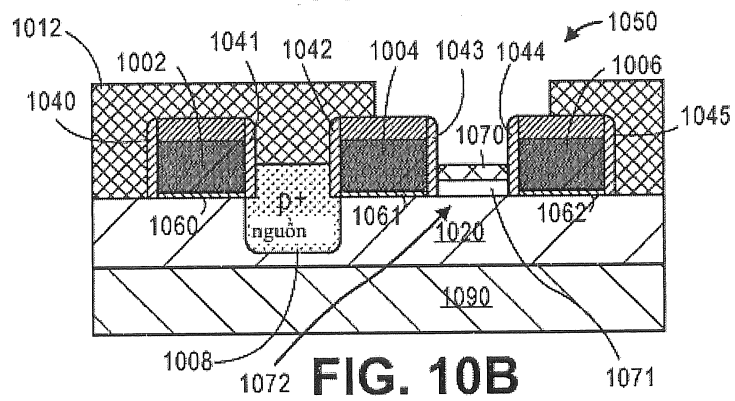
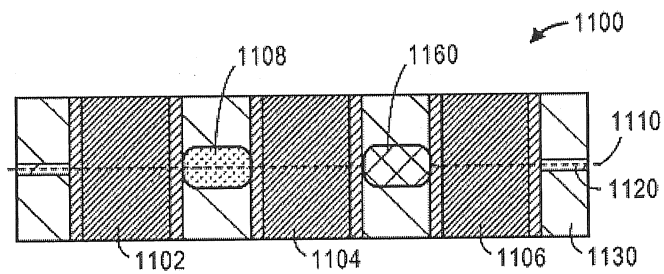
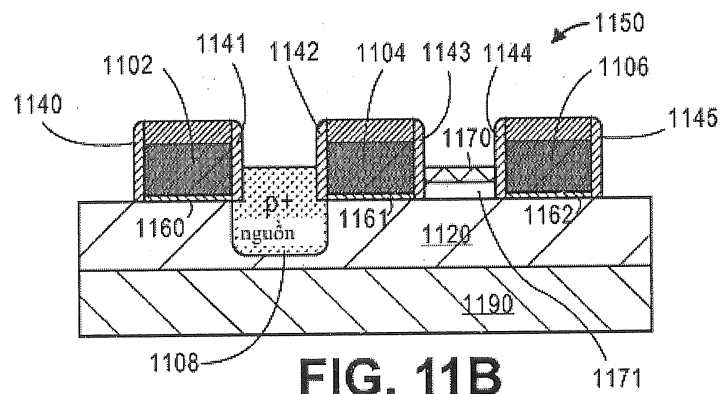


FIG. 9B

**FIG. 10A****FIG. 10B****FIG. 11A****FIG. 11B**

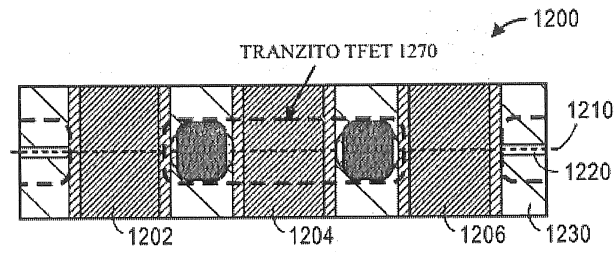


FIG. 12A

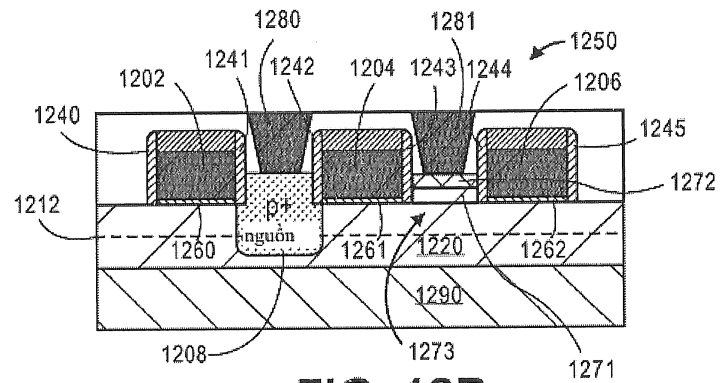


FIG. 12B

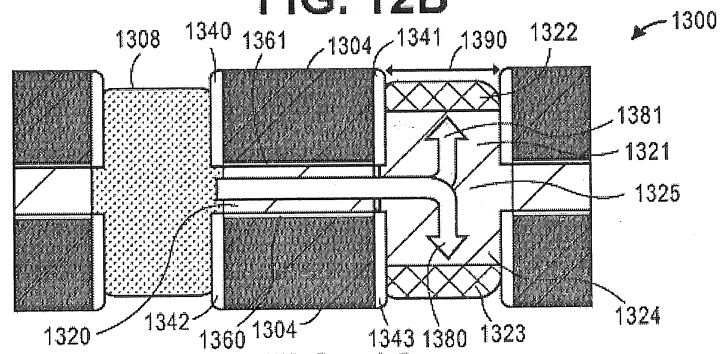


FIG. 13

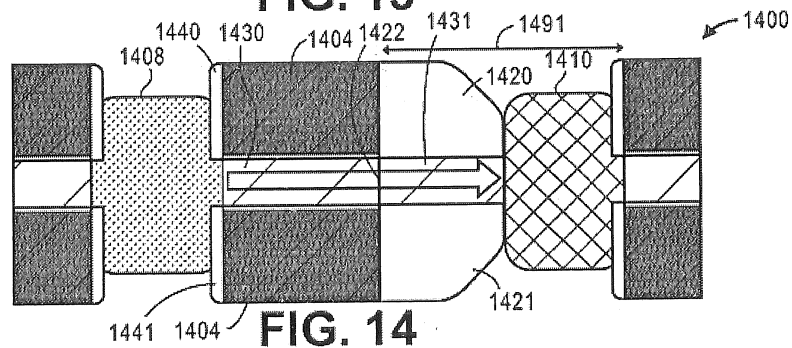


FIG. 14

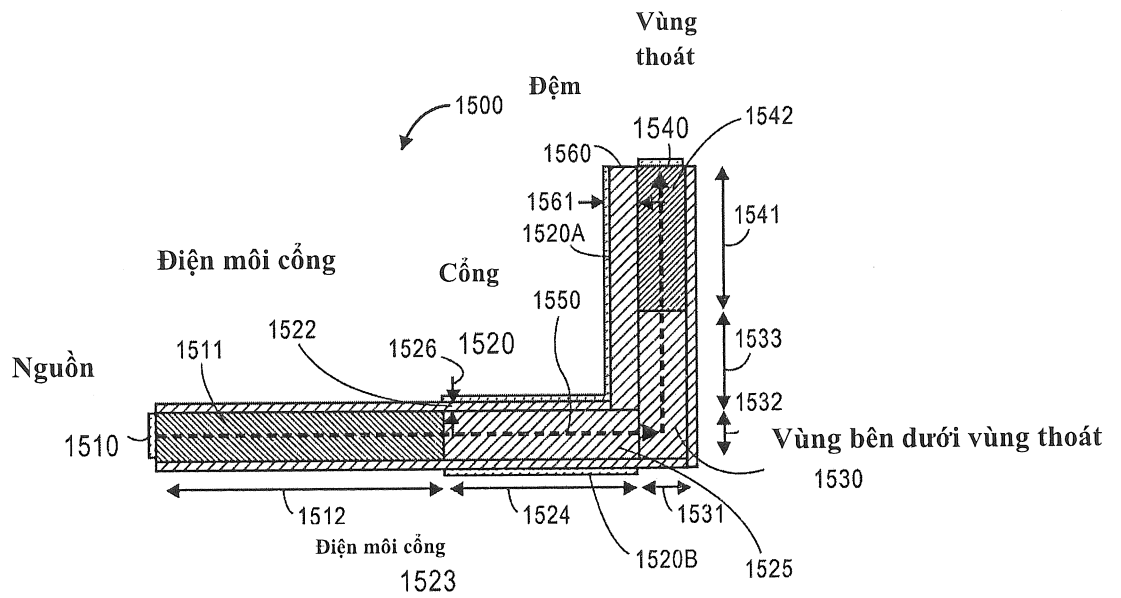


FIG. 15

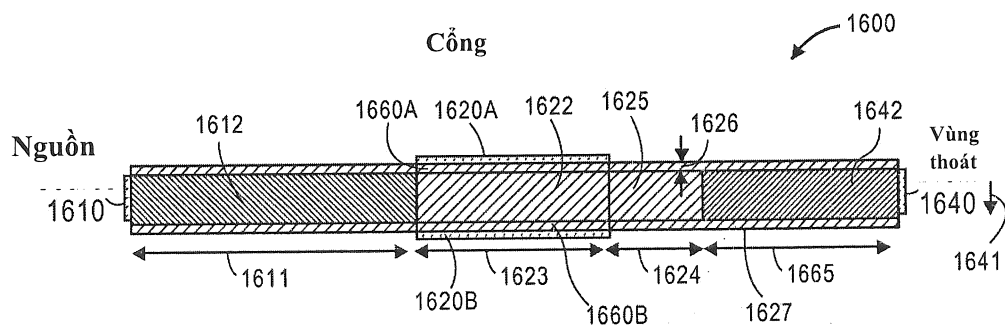


FIG. 16

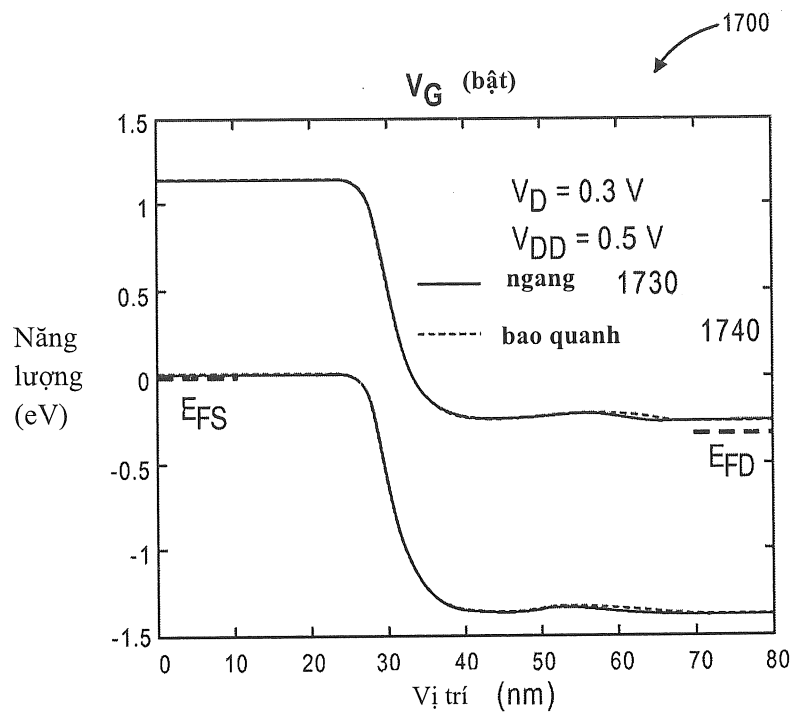


FIG. 17

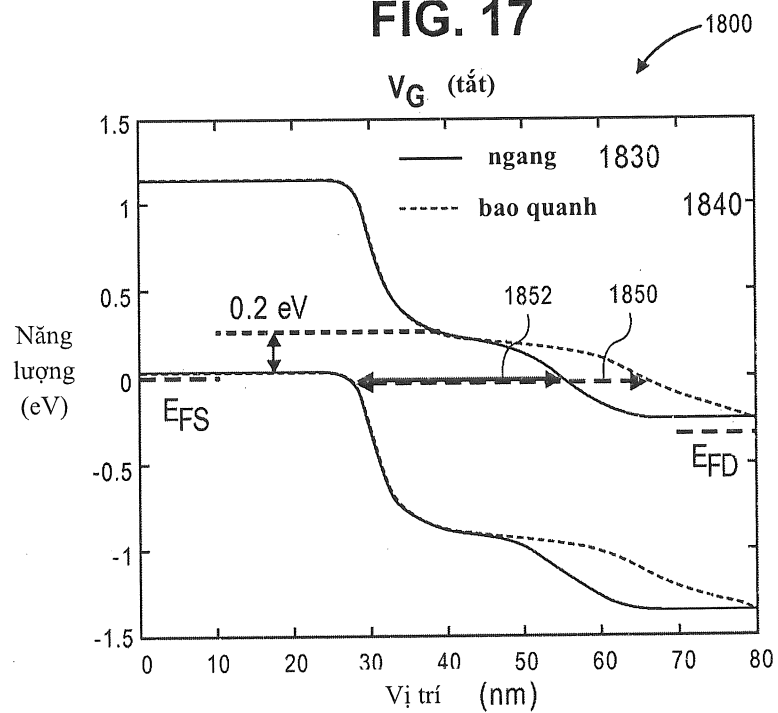
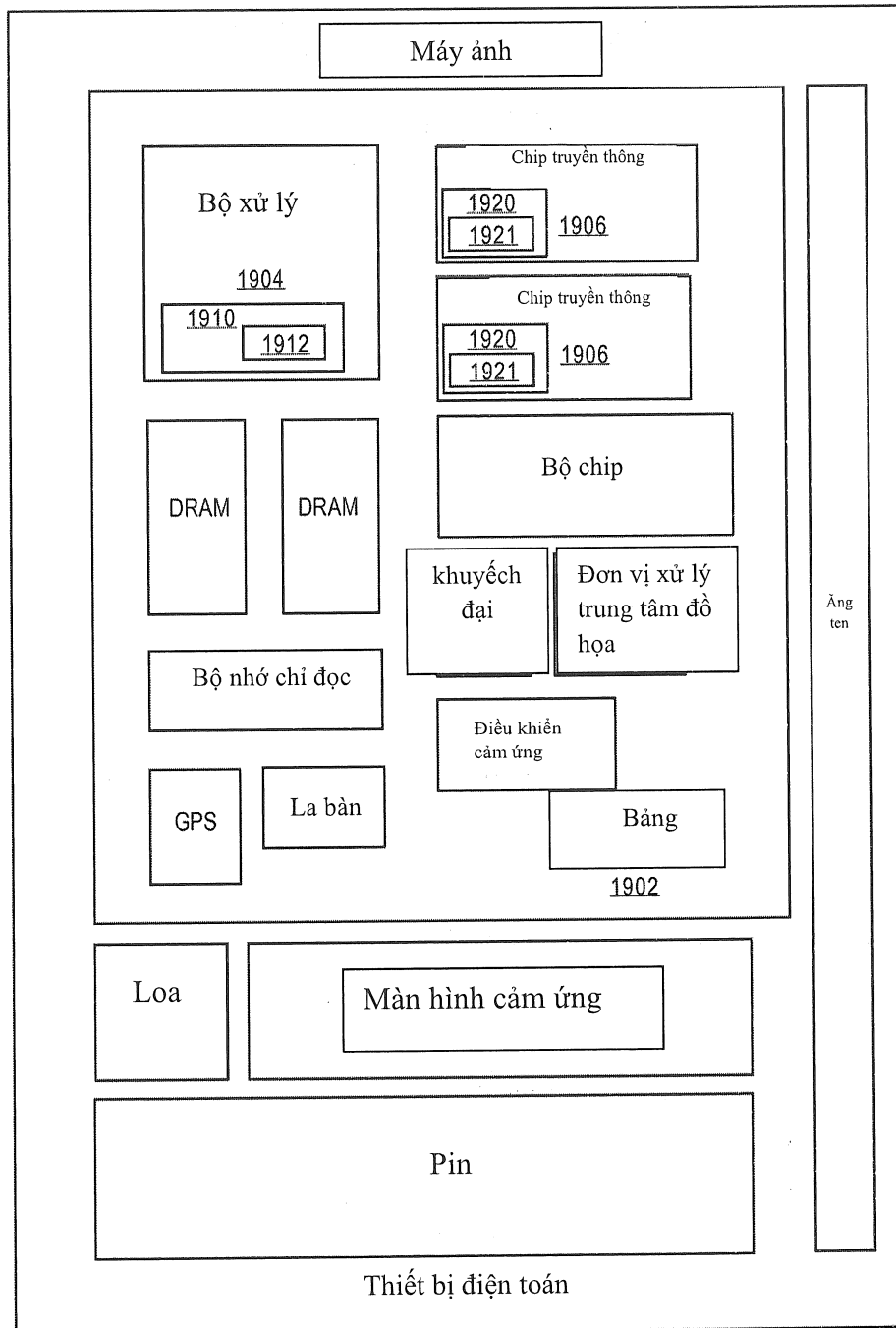


FIG. 18

**FIG. 19**