



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0028892

(51)⁷ H01L 21/8246; H01L 51/30; H01L 29/786; H01L 51/05; H01L 27/10; H01L 27/112 (13) B

(21) 1-2018-05486

(22) 29/05/2017

(86) PCT/JP2017/019953 29/05/2017

(87) WO 2017/212972 14/12/2017

(30) 2016-112416 06/06/2016 JP; 2016-147013 27/07/2016 JP; 2017-034620 27/02/2017 JP

(45) 25/07/2021 400

(43) 25/02/2019 371A

(73) TORAY INDUSTRIES, INC. (JP)

1-1, Nihonbashi-Muromachi 2-chome, Chuo-ku, Tokyo 1038666, Japan

(72) KAWAI, Shota (JP); MURASE, Seiichiro (JP); SHIMIZU, Hiroji (JP).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) MẢNG NHỚ, PHƯƠNG PHÁP CHẾ TẠO MẢNG NHỚ, TẤM MẢNG NHỚ, PHƯƠNG PHÁP CHẾ TẠO TẤM MẢNG NHỚ, VÀ THIẾT BỊ TRUYỀN THÔNG KHÔNG DÂY

(57) Sáng chế đề cập đến mảng nhớ có các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và các phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và dây dẫn thứ hai được tạo thành trên nền. Các phần tử nhớ này có thể ghi các đoạn thông tin tương ứng khác nhau. Tấm mảng nhớ là phương án theo sáng chế có các mảng nhớ bao gồm mảng nhớ trên tấm. Mảng nhớ này hoặc mảng nhớ được cắt ra từ tấm mảng nhớ được sử dụng cho thiết bị truyền thông không dây.

Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến mảng nhớ, phương pháp chế tạo mảng nhớ, tấm mảng nhớ, phương pháp chế tạo tấm mảng nhớ, và thiết bị truyền thông không dây.

Tình trạng kỹ thuật của sáng chế

Trong những năm gần đây, hệ thống truyền thông không dây bằng cách sử dụng kỹ thuật nhận dạng tần số vô tuyến (RFID) (tức là, hệ thống RFID) đã được phát triển dưới dạng thẻ không tiếp xúc. Trong hệ thống RFID, sự truyền thông không dây được thực hiện giữa bộ phát/bộ thu không dây được gọi là bộ đọc/bộ ghi và thẻ RFID.

Thẻ RFID nhằm được sử dụng cho các ứng dụng khác nhau chẳng hạn như quản lý vận tải, quản lý buôn bán, và ngăn ngừa trộm cắp tại cửa hàng và đã bắt đầu được đưa vào sử dụng một phần chẳng hạn như các thẻ IC chẳng hạn như thẻ trả phí giao thông và nhãn hàng hóa. Thẻ RFID có chip IC và ăng ten để thực hiện truyền thông không dây với bộ đọc/bộ ghi và có mạch nhớ trong chip IC. Thông tin được ghi trong mạch nhớ này được đọc từ thẻ RFID bằng cách sử dụng bộ đọc/bộ ghi.

Mạch nhớ bao gồm mảng nhớ trong đó nhiều phần tử nhớ ghi thông tin được bố trí và hệ mạch ngoại vi chẳng hạn như bộ giải mã lấy thông tin ra khỏi mảng nhớ. Mạch nhớ bất khả biến là ví dụ của mạch nhớ. Đối với mạch nhớ bất khả biến, các hệ thống chẳng hạn như bộ nhớ chỉ đọc (ROM) và bộ nhớ truy cập ngẫu nhiên (RAM) được sử dụng.

Hệ thống được gọi là ROM mặt nạ được biết đến là ROM (dựa vào các tài liệu sáng chế 1 đến 3, chẳng hạn). Trong ROM mặt nạ, thông tin được ghi khi mảng nhớ được chế tạo, và thông tin không thể được thay đổi sau đó. Do đó, cùng thời điểm với việc chế tạo mảng nhớ, thông tin cần được ghi trong mảng nhớ được xác định. Nhờ sử dụng thuộc tính này, các đoạn thông tin duy nhất chẳng hạn như các số ID có thể được ghi trong các mảng nhớ tương ứng.

Danh mục dẫn chiếu

Tài liệu sáng chế

Tài liệu sáng chế 1: Đơn sáng chế Nhật Bản số 2001-94063

Tài liệu sáng chế 2: Đơn sáng chế Nhật Bản số 2000-260886

Tài liệu sáng chế 3: Đơn sáng chế Nhật Bản số 2013-84963

Bản chất kỹ thuật của sáng chế

Vấn đề kỹ thuật

Trong hệ thống ROM mặt nạ nói chung, các phần tử nhớ được chế tạo tách biệt bằng cách sử dụng phương pháp in litô, nhờ đó thông tin được ghi trong mảng nhớ.

Tài liệu sáng chế 1 bộc lộ kỹ thuật tạo ra các cực cổng bằng phương pháp in litô và các quy trình khắc mòn theo cách có chọn lọc, nhờ đó mỗi phần tử trong số các phần tử nhớ tương ứng với dữ liệu "0" hoặc "1" cần được ghi được chế tạo tách biệt, chẳng hạn.

Tài liệu sáng chế 2 bộc lộ kỹ thuật có sử dụng phương pháp lập trình mặt nạ, bằng cách sử dụng mặt nạ phun ion được tạo hình mẫu, tạo thành các lớp pha tạp kênh chỉ ở các phần hở của nó. Nhờ phương pháp này, các phần tử nhớ loại lốm và các phần tử nhớ loại nâng cao được chế tạo tách biệt.

Tuy nhiên, theo các kỹ thuật này, để chế tạo nhiều mảng nhớ khác nhau về thông tin duy nhất cần được ghi, số lượng các mặt nạ quang bằng số lượng các mảng nhớ cần được chế tạo phải được chế tạo. Vì lý do này, có gánh nặng về cả mặt chi phí chế tạo và xử lý các mảng nhớ.

Trong khi đó, Tài liệu sáng chế 3 bộc lộ phương pháp, thay vì sử dụng phương pháp in litô, đặt điện áp vào điện cực hoặc dây dẫn trong khi đang được nhúng trong chất điện phân và phân hủy điện cực hoặc dây dẫn theo cách có chọn lọc để phá vỡ kết nối điện của chúng, nhờ đó ghi các đoạn thông tin duy nhất khác nhau về các mảng nhớ tương ứng. Tuy nhiên, phương pháp này yêu cầu điện cực hoặc dây dẫn được nhúng trong chất điện phân trong khi được nối điện với thiết bị điều khiển bên ngoài chẳng hạn như máy tính trong quy trình chế tạo các mảng nhớ. Vì lý do này, có vấn đề ở chỗ các quy trình phức tạp và chi phí chế tạo gia tăng trong quy trình chế tạo của các mảng nhớ.

Sáng chế đã được thực hiện khi xem xét các vấn đề trên, và mục tiêu đầu tiên của sáng chế là đề xuất mảng nhớ có thể được chế tạo với chi phí thấp bằng cách sử dụng các quy trình đơn giản và có thể mỗi một lần lại ghi thông tin duy nhất khác nhau. Mục đích thứ hai của sáng chế là đề xuất tám mảng nhớ trong đó nhiều mảng nhớ ghi các đoạn thông tin duy nhất khác nhau tương ứng được tạo thành trên tám với chi phí thấp bằng cách sử dụng các quy trình đơn giản. Mục đích thứ ba của sáng chế là đề xuất thiết bị truyền thông không dây bao gồm mảng nhớ được chế tạo với chi phí thấp bằng cách sử dụng các quy trình đơn giản và có thể ghi thông tin duy nhất khác với thông tin của mảng nhớ khác.

Giải pháp cho vấn đề

Để giải quyết vấn đề được mô tả ở trên và để đạt được mục đích, mảng nhớ theo sáng chế bao gồm: nhiều dây dẫn thứ nhất; ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất; và nhiều phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách

xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các phần tử nhớ được tạo thành trên nền, hoặc điện cực thứ nhất hoặc điện cực thứ hai được nối với một trong số các dây dẫn thứ nhất, ít nhất một trong số các phần tử nhớ có lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai, các phần tử nhớ bao gồm hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai bởi lớp phủ, thông tin cần được ghi được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ.

Trong mảng nhớ theo sáng chế, lớp phủ là lớp bán dẫn được tạo thành bằng vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất và điện cực thứ hai, trong số hai loại phần tử nhớ, một loại phần tử nhớ là phần tử nhớ có lớp bán dẫn, trong khi đó loại phần tử nhớ kia là phần tử nhớ không có lớp bán dẫn, và một loại phần tử nhớ và loại phần tử nhớ còn lại ghi các đoạn thông tin tương ứng khác nhau theo sự có mặt hoặc không có mặt của lớp bán dẫn.

Trong mảng nhớ theo sáng chế, lớp phủ được tạo thành bằng vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất và điện cực thứ hai và là lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai, lớp bán dẫn thứ nhất và thứ hai khác nhau về các thuộc tính điện, trong số hai loại phần tử nhớ, một loại phần tử nhớ là phần tử nhớ có lớp bán dẫn thứ nhất, trong khi đó loại phần tử nhớ kia là phần tử nhớ có lớp bán dẫn thứ hai, và một loại phần tử nhớ và loại phần tử nhớ còn lại ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện giữa lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai.

Trong mảng nhớ theo sáng chế, lớp bán dẫn thứ hai chứa vật liệu bán dẫn khác với vật liệu của lớp bán dẫn thứ nhất.

Trong mảng nhớ theo sáng chế, độ dày màng là lớp bán dẫn thứ hai lớn hơn độ dày màng là lớp bán dẫn thứ nhất.

Trong mảng nhớ theo sáng chế, mỗi lớp trong số lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai chứa một hoặc nhiều vật liệu được lựa chọn từ nhóm bao gồm các ống nano cacbon, graphen, fullerene, và các chất bán dẫn hữu cơ làm vật liệu bán dẫn.

Trong mảng nhớ theo sáng chế, mỗi lớp trong số lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai chứa các ống nano cacbon làm vật liệu bán dẫn, và nồng độ của các ống nano cacbon của lớp bán dẫn thứ hai cao hơn nồng độ của các ống nano cacbon của lớp bán dẫn thứ nhất.

Trong mảng nhớ theo sáng chế, mỗi phần tử trong số các phần tử nhớ có lớp bán dẫn được tạo thành bằng vật liệu bán dẫn được phủ để tiếp xúc với lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai, lớp phủ được tạo thành bằng vật liệu cách ly được phủ để tiếp xúc với lớp bán dẫn ở phía đối diện lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai, và là lớp cách ly thứ nhất hoặc lớp cách ly thứ hai mà thay đổi các thuộc tính điện của lớp bán dẫn thành các thuộc tính điện khác nhau, trong số hai loại phần tử nhớ, một loại phần tử nhớ là phần tử nhớ có lớp cách ly thứ nhất, trong khi đó loại phần tử nhớ kia là phần tử nhớ có lớp cách ly thứ hai, và một loại phần tử nhớ và loại phần tử nhớ còn lại ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện của lớp bán dẫn do lớp cách ly thứ nhất và lớp cách ly thứ hai.

Trong mảng nhớ theo sáng chế, lớp bán dẫn chứa một hoặc nhiều vật liệu được lựa chọn từ nhóm bao gồm các ống nano cacbon, graphen, fullerene, và các chất bán dẫn hữu cơ.

Trong mảng nhớ theo sáng chế, lớp bán dẫn chứa các ống nano cacbon.

Trong mảng nhớ theo sáng chế, các ống nano cacbon chứa composit của ống nano cacbon trong đó polyme liên hợp được gắn vào ít nhất một phần của các bề mặt của các ống nano cacbon.

Phương pháp chế tạo mảng nhớ theo sáng chế là phương pháp chế tạo

mảng nhớ bao gồm nhiều dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và nhiều phần tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các phần tử nhớ được tạo thành trên nền. Phương pháp bao gồm quy trình phủ để tạo thành lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các phần tử nhớ bằng cách phủ.

Trong phương pháp chế tạo mảng nhớ theo sáng chế, lớp phủ là lớp bán dẫn, và quy trình phủ tạo thành lớp bán dẫn trong vùng giữa điện cực thứ nhất và điện cực thứ hai của phần tử nhớ, mà lớp phủ cần được phủ lên phần tử này, được lựa chọn trong số các phần tử nhớ tương ứng với thông tin cần được ghi.

Trong phương pháp chế tạo mảng nhớ theo sáng chế, lớp phủ là lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai, lớp bán dẫn thứ nhất và thứ hai khác nhau về các thuộc tính điện, và quy trình phủ tạo thành lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ tương ứng với thông tin cần được thực hiện.

Trong phương pháp chế tạo mảng nhớ theo sáng chế, lớp phủ là lớp cách ly thứ nhất hoặc lớp cách ly thứ hai khác nhau về các thuộc tính điện, lớp bán dẫn tiếp xúc với lớp cách ly được tạo thành từ trước trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ, và quy trình phủ tạo thành lớp cách ly thứ nhất hoặc lớp cách ly thứ hai sao cho lớp cách ly thứ nhất hoặc thứ hai cần được tạo thành, tiếp xúc với lớp bán dẫn ở phía đối diện lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai của

mỗi phần tử trong số các phần tử nhớ tương ứng với thông tin cần được ghi.

Trong phương pháp chế tạo mảng nhớ theo sáng chế, phương pháp phủ là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán, và phun mực.

Tám mảng nhớ theo sáng chế bao gồm sự kết hợp của nhiều mảng nhớ theo một ý tưởng bất kỳ trong số các ý tưởng sáng tạo nêu trên được tạo thành trên tám, các đoạn thông tin tương ứng được ghi trong các mảng nhớ được tạo thành trên tám khác nhau.

Tám mảng nhớ theo sáng chế là tám mảng nhớ bao gồm sự kết hợp của nhiều mảng nhớ, mỗi mảng bao gồm nhiều dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và nhiều phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai, các mảng nhớ được tạo thành trên tám, các phần tử nhớ bao gồm hai loại phần tử nhớ bao gồm phần tử nhớ có mẫu hình dây dẫn thứ nhất được nối điện với cả dây dẫn thứ nhất và dây dẫn thứ hai và phần tử nhớ có mẫu hình dây dẫn thứ hai không được nối điện với ít nhất hoặc dây dẫn thứ nhất hoặc dây dẫn thứ hai, mẫu hình dây dẫn thứ nhất và mẫu hình dây dẫn thứ hai được tạo thành bằng vật liệu dẫn điện được phủ lên tám, thông tin cần được ghi trong các mảng nhớ được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ, các đoạn thông tin tương ứng được ghi trong các mảng nhớ được tạo thành trên tám khác nhau.

Trong tám mảng nhớ theo sáng chế, phần tử nhớ có mẫu hình dây dẫn thứ nhất có điện cực thứ nhất được nối điện với một trong số các dây dẫn thứ nhất, điện cực thứ hai được nối điện với điện cực thứ nhất qua lớp bán dẫn, và điện cực thứ ba được nối điện với một trong số ít nhất một dây dẫn thứ hai, và phần tử nhớ có mẫu hình dây dẫn thứ hai không có ít nhất một trong số kết nối điện giữa một trong số các dây dẫn thứ nhất và điện cực thứ nhất, kết nối điện giữa điện cực thứ nhất và điện cực thứ hai, và kết nối điện giữa một trong số ít nhất

một dây dẫn thứ hai và điện cực thứ ba.

Phương pháp chế tạo tấm màng nhớ theo sáng chế là phương pháp chế tạo tấm màng nhớ bao gồm sự kết hợp của nhiều màng nhớ, mỗi màng bao gồm nhiều dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và nhiều phần tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các màng nhớ được tạo thành trên tấm. Phương pháp chế tạo tấm màng nhớ bao gồm quy trình phủ để tạo thành lớp phủ bằng cách phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các phần tử nhớ, các đoạn thông tin tương ứng khác nhau được ghi trong các màng nhớ được tạo thành trên tấm.

Trong phương pháp chế tạo tấm màng nhớ theo sáng chế, lớp phủ là lớp bán dẫn, và quy trình phủ tạo thành lớp bán dẫn trong vùng giữa điện cực thứ nhất và điện cực thứ hai của phần tử nhớ, mà lớp phủ cần được phủ lên phần tử này, được lựa chọn trong số các phần tử nhớ tương ứng với thông tin cần được ghi.

Trong phương pháp chế tạo tấm màng nhớ theo sáng chế, lớp phủ là lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai, lớp bán dẫn thứ nhất và thứ hai khác nhau về các thuộc tính điện, và quy trình phủ tạo thành lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ tương ứng với thông tin cần được thực hiện.

Trong phương pháp chế tạo tấm màng nhớ theo sáng chế, lớp phủ là lớp cách ly thứ nhất hoặc lớp cách ly thứ hai khác nhau về các thuộc tính điện, lớp bán dẫn tiếp xúc với lớp cách ly được tạo thành từ trước trong vùng giữa điện

cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ, và quy trình phủ tạo thành lớp cách ly thứ nhất hoặc lớp cách ly thứ hai sao cho lớp cách ly thứ nhất hoặc thứ hai cần được tạo thành, tiếp xúc với lớp bán dẫn ở phía đối diện lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ tương ứng với thông tin cần được ghi.

Phương pháp chế tạo tấm mảng nhớ theo sáng chế là phương pháp chế tạo tấm mảng nhớ bao gồm sự kết hợp của nhiều mảng nhớ, mỗi mảng bao gồm nhiều dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và nhiều phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai, các mảng nhớ được tạo thành trên tấm. Phương pháp chế tạo tấm mảng nhớ bao gồm, đối với mỗi phần tử nhớ được bao gồm trong các phần tử nhớ, quy trình phủ để tạo thành mẫu hình dây dẫn thứ nhất, trong đó cả dây dẫn thứ nhất và dây dẫn thứ hai và phần tử nhớ được nối điện với nhau, hoặc mẫu hình dây dẫn thứ hai, trong đó ít nhất hoặc dây dẫn thứ nhất hoặc dây dẫn thứ hai và phần tử nhớ không được nối điện với nhau, bằng cách phủ, các đoạn thông tin tương ứng khác nhau được ghi trong các mảng nhớ được tạo thành trên tấm.

Trong phương pháp chế tạo tấm mảng nhớ theo sáng chế, mẫu hình dây dẫn thứ nhất là mẫu hình dây dẫn bao gồm điện cực thứ nhất được nối điện với một trong số các dây dẫn thứ nhất, điện cực thứ hai được nối điện với điện cực thứ nhất qua lớp bán dẫn, và điện cực thứ ba được nối điện với một trong số ít nhất một dây dẫn thứ hai, và mẫu hình dây dẫn thứ hai là mẫu hình dây dẫn mà không có ít nhất một trong số kết nối điện giữa một trong số các dây dẫn thứ nhất và điện cực thứ nhất, kết nối điện giữa điện cực thứ nhất và điện cực thứ hai, và kết nối điện giữa một trong số ít nhất một dây dẫn thứ hai và điện cực thứ ba.

Trong phương pháp chế tạo tấm mảng nhớ theo sáng chế, phương pháp phủ là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán,

và phun mực.

Thiết bị truyền thông không dây bao gồm: mảng nhớ theo một ý tưởng bất kỳ trong số các ý tưởng sáng tạo nêu trên hoặc mảng nhớ được cắt ra từ tấm mảng nhớ theo một ý tưởng bất kỳ trong số các ý tưởng sáng tạo nêu trên; và ăng ten.

Các hiệu quả có lợi của sáng chế

Sáng chế có thể đề xuất mảng nhớ có thể được chế tạo với chi phí thấp bằng cách sử dụng các quy trình đơn giản và có thể mỗi một lần lại ghi thông tin duy nhất khác nhau, có thể đề xuất tấm mảng nhớ có nhiều mảng nhớ ghi các đoạn thông tin duy nhất khác nhau tương ứng với chi phí thấp bằng cách sử dụng các quy trình đơn giản, và có thể đề xuất thiết bị truyền thông không dây bao gồm mảng nhớ được chế tạo với chi phí thấp bằng cách sử dụng các quy trình đơn giản và ghi thông tin duy nhất khác với thông tin của mảng nhớ khác.

Mô tả vắn tắt các hình vẽ

FIG.1 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu của mảng nhớ theo phương án thứ nhất của sáng chế.

FIG.2 là hình vẽ mặt cắt giản lược dọc theo đường I-I' của mảng nhớ được minh họa trên FIG.1.

FIG.3 là hình vẽ phối cảnh với phần bao quanh của hai loại phần tử nhớ được bao gồm trong mảng nhớ được minh họa trên FIG.1 được tách ra.

FIG.4 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu của mảng nhớ theo phương án thứ hai của sáng chế.

FIG.5 là hình vẽ mặt cắt giản lược dọc theo đường II-II' của mảng nhớ được minh họa trên FIG.4.

FIG.6 là hình vẽ phối cảnh với phần bao quanh của hai loại phần tử nhớ

được bao gồm trong mảng nhớ được minh họa trên FIG.4 được tách ra.

FIG.7 là hình vẽ sơ đồ của phương án cải biến của hai loại phần tử nhớ được bao gồm trong mảng nhớ theo phương án thứ hai của sáng chế.

FIG.8 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu của mảng nhớ theo phương án thứ ba của sáng chế.

FIG.9A là hình vẽ mặt cắt giản lược dọc theo đường III-III' của mảng nhớ được minh họa trên FIG.8.

FIG.9B là hình vẽ mặt cắt giản lược dọc theo đường III-III' của phương án cải biến của mảng nhớ được minh họa trên FIG.8.

FIG.10 là hình vẽ phối cảnh với phần bao quanh của hai loại phần tử nhớ được bao gồm trong mảng nhớ được minh họa trên FIG.8 được tách ra.

FIG.11 là hình vẽ sơ đồ của ví dụ của phương pháp chế tạo mảng nhớ theo phương án thứ nhất của sáng chế.

FIG.12 là hình vẽ sơ đồ của ví dụ của phương pháp chế tạo mảng nhớ theo phương án thứ hai của sáng chế.

FIG.13 là hình vẽ sơ đồ của ví dụ của phương pháp chế tạo mảng nhớ theo phương án thứ ba của sáng chế.

FIG.14 là hình vẽ sơ đồ khối của ví dụ về kết cấu của mạch nhớ bao gồm mảng nhớ theo sáng chế.

FIG.15 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu của tám mảng nhớ theo phương án thứ tư của sáng chế.

FIG.16 là hình vẽ sơ đồ giản lược minh họa tám mảng nhớ theo phương án thứ tư của sáng chế một cách chi tiết hơn.

FIG.17 là hình vẽ sơ đồ giản lược của ví dụ của kết cấu giản lược của tám

mảng nhớ theo phương án thứ năm của sáng chế.

FIG.18 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu cụ thể của tấm mảng nhớ được minh họa trên FIG.17.

FIG.19 là hình vẽ phối cảnh với phần bao quanh của hai loại phần tử nhớ được bao gồm trong tấm mảng nhớ được minh họa trên FIG.18 được tách ra.

FIG.20A là hình vẽ sơ đồ làm ví dụ cho nửa quy trình đầu của ví dụ thứ nhất của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế.

FIG.20B là hình vẽ sơ đồ làm ví dụ cho nửa quy trình sau của ví dụ thứ nhất của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế.

FIG.21A là hình vẽ sơ đồ làm ví dụ cho nửa quy trình đầu của ví dụ thứ hai của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế.

FIG.21B là hình vẽ sơ đồ làm ví dụ cho nửa quy trình sau của ví dụ thứ hai của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế.

FIG.22A là hình vẽ sơ đồ làm ví dụ cho nửa quy trình đầu của ví dụ thứ ba của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế.

FIG.22B là hình vẽ sơ đồ làm ví dụ cho nửa quy trình sau của ví dụ thứ ba của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế.

FIG.22C là hình vẽ sơ đồ làm ví dụ cho quy trình phủ của ví dụ thứ ba của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế.

FIG.23A là hình vẽ sơ đồ làm ví dụ cho nửa quy trình đầu của phương pháp chế tạo tấm mảng nhớ theo phương án thứ năm của sáng chế.

FIG.23B là hình vẽ sơ đồ làm ví dụ cho nửa quy trình sau của phương pháp

pháp chế tạo tấm màng nhớ theo phương án thứ năm của sáng chế.

FIG.23C là hình vẽ sơ đồ làm ví dụ cho quy trình phủ của phương pháp chế tạo tấm màng nhớ theo phương án thứ năm của sáng chế.

FIG.24 là hình vẽ sơ đồ khối của ví dụ về kết cấu của thiết bị truyền thông không dây bao gồm màng nhớ theo sáng chế.

Mô tả chi tiết sáng chế

Phần dưới đây mô tả các phương án ưu tiên của màng nhớ, phương pháp chế tạo màng nhớ, tấm màng nhớ, phương pháp chế tạo tấm màng nhớ, và thiết bị truyền thông không dây theo sáng chế một cách chi tiết dựa vào các hình vẽ kèm theo nếu cần. Các phương án này không làm giới hạn sáng chế.

<Màng nhớ>

Màng nhớ theo sáng chế bao gồm nhiều dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và nhiều phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai trên nền. Mỗi phần tử trong số các phần tử nhớ này có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau. Trong mỗi phần tử trong số các phần tử nhớ, hoặc điện cực thứ nhất hoặc điện cực thứ hai được nối với một trong số các dây dẫn thứ nhất.

Trong màng nhớ theo sáng chế, ít nhất một trong số các phần tử nhớ có lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai. Các phần tử nhớ này bao gồm hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai nhờ lớp phủ này. Thông tin (thông tin duy nhất chẳng hạn như số ID) cần được ghi trong màng nhớ được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ này.

Theo sáng chế, "vùng giữa điện cực thứ nhất và điện cực thứ hai", trên hình chiếu bằng của điện cực thứ nhất và điện cực thứ hai theo hướng chiều dày của phần tử nhớ (hướng chiều dày màng của lớp cách ly, chẳng hạn), là vùng được bố trí giữa điện cực thứ nhất và điện cực thứ hai. Vùng này không chỉ bao gồm vùng xen giữa điện cực thứ nhất và điện cực thứ hai mà còn bao gồm vùng hướng về phía vùng xen giữa này theo hướng chiều dày của phần tử nhớ (ở trên, chẳng hạn) (vùng không xen giữa điện cực thứ nhất và điện cực thứ hai).

(Phương án thứ nhất)

Phần sau mô tả mảng nhớ theo phương án thứ nhất của sáng chế. Trong mảng nhớ theo phương án thứ nhất, lớp phủ là lớp bán dẫn được tạo thành bằng vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất và điện cực thứ hai của phần tử nhớ. Các phần tử nhớ được phân loại thành hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai theo sự có mặt hoặc không có mặt của lớp bán dẫn. Trong số hai loại phần tử nhớ, một loại phần tử nhớ là phần tử nhớ có lớp bán dẫn, trong khi đó loại phần tử nhớ còn lại là phần tử nhớ không có lớp bán dẫn, chẳng hạn. Một loại phần tử nhớ và loại phần tử nhớ còn lại ghi các đoạn thông tin tương ứng khác nhau theo sự có mặt hoặc không có mặt của lớp bán dẫn.

FIG.1 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu của mảng nhớ theo phương án thứ nhất của sáng chế. Như được minh họa trên FIG.1, mảng nhớ 200 này theo phương án thứ nhất có hai đường từ 10 và 11, hai đường bit 12 và 13, và bốn phần tử nhớ 14, 15, 16, và 17 trên nền (không được minh họa). Các đường từ 10 và 11 là các ví dụ của ít nhất một dây dẫn thứ hai. Các đường bit 12 và 13 là các ví dụ của các dây dẫn thứ nhất. Các phần tử nhớ 14, 15, 16, và 17 là các ví dụ của các phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và dây dẫn thứ hai.

Như được minh họa trên FIG.1, đường từ 10 và đường từ 11 được bố trí cách xa nhau kéo dài theo hướng nhất định. Đường bit 12 và đường bit 13 được

bố trí cách xa nhau kéo dài theo hướng vắt ngang đường từ 10 và đường từ 11. Các đường từ 10 và 11 và các đường bit 12 và 13 được bố trí vắt ngang nhau được cách ly khỏi nhau. Phần tử nhớ 14, phần tử nhớ 15, phần tử nhớ 16, và phần tử nhớ 17 được bố trí trong bốn vùng tương ứng (các vùng được bao quanh bởi các đường nét đứt trên FIG.1) được thiết lập bởi các điểm vắt ngang tương ứng giữa các đường từ 10 và 11 và các đường bit 12 và 13.

Mặc dù FIG.1 là ví dụ cho mảng nhớ 200 dùng cho 4 bit để đơn giản hóa việc mô tả, đương nhiên, mảng nhớ 200 theo phương án thứ nhất không bị giới hạn ở mảng nhớ dùng cho 4 bit và có thể là mảng nhớ dùng cho 2 bit hoặc nhiều hơn 2 bit.

FIG.2 là hình vẽ mặt cắt giản lược dọc theo đường I-I' của mảng nhớ được minh họa trên FIG.1. FIG.2 minh họa ví dụ về kết cấu của hai loại phần tử nhớ được bao gồm trong mảng nhớ 200 (dựa vào FIG.1) theo phương án thứ nhất.

Như được minh họa trên FIG.2, phần tử nhớ 14 và phần tử nhớ 15 là các ví dụ của hai loại phần tử nhớ được tạo thành trên nền 1. Mỗi phần tử trong số phần tử nhớ 14 và phần tử nhớ 15 có điện cực thứ nhất 5, điện cực thứ hai 6, lớp cách ly 3, và điện cực thứ ba 2 trên nền 1. Điện cực thứ ba 2 được cách điện với điện cực thứ nhất 5 và điện cực thứ hai 6 bởi lớp cách ly 3. Điện cực thứ nhất 5 và điện cực thứ hai 6 được bố trí cách xa nhau trên lớp cách ly 3, chẳng hạn.

Theo phương án thứ nhất, phần tử nhớ 14 và phần tử nhớ 15 là các ví dụ của hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất 5 và điện cực thứ hai 6. Như được minh họa trên FIG.2, trong số hai loại phần tử nhớ này, một phần tử nhớ 14 còn có lớp bán dẫn 4 trong vùng giữa điện cực thứ nhất 5 và điện cực thứ hai 6. Phần tử nhớ còn lại 15 không có lớp bán dẫn 4 trong vùng này. Theo phương án thứ nhất, tùy theo việc liệu lớp bán dẫn 4 có được tạo thành trong vùng giữa điện cực thứ nhất 5 và điện cực thứ hai 6 hay không, các đoạn thông tin tương ứng cần được ghi trong phần tử nhớ 14 và phần

tử nhớ 15 chẳng hạn như "0" hoặc "1" được xác định. Nói cách khác, phần tử nhớ 14 và phần tử nhớ 15 ghi các đoạn thông tin tương ứng khác nhau theo sự có mặt hoặc không có mặt của lớp bán dẫn 4. Lý do tại sao các đoạn thông tin tương ứng được ghi trong hai loại phần tử nhớ khác nhau như vậy là do khi các phần tử nhớ 14 và 15 được lựa chọn, tức là, khi điện áp nhất định được đặt lên các điện cực thứ ba tương ứng 2 của các phần tử nhớ 14 và 15, mặc dù dòng điện đi qua phần tử nhớ 14 có lớp bán dẫn 4, nhưng dòng điện không đi qua phần tử nhớ 15 không có lớp bán dẫn 4.

FIG.3 là hình vẽ phối cảnh với phần bao quanh của hai loại phần tử nhớ được bao gồm trong mảng nhớ được minh họa trên FIG.1 được tách ra. FIG.3 là ví dụ cho phần tử nhớ 14 và phần tử nhớ 15 là hai loại phần tử nhớ này. Nên lưu ý rằng mặc dù FIG.1 minh họa đường từ 10 ở phía trên của hình vẽ (phía xa) của các phần tử nhớ 14 và 15, nhưng FIG.3 minh họa đường từ 10 ở phía gần của các phần tử nhớ 14 và 15 để cho dễ hiểu.

Như được minh họa trên FIG.3, trong mỗi phần tử trong số phần tử nhớ 14 và phần tử nhớ 15, điện cực thứ ba 2 là cực cổng, chẳng hạn, và được nối điện với đường từ 10 qua dây dẫn. Điện cực thứ nhất 5 là cực máng, chẳng hạn. Điện cực thứ nhất 5 của phần tử nhớ 14 được nối điện với đường bit 12 qua dây dẫn. Điện cực thứ nhất 5 của phần tử nhớ 15 được nối điện với đường bit 13 qua dây dẫn. Điện cực thứ hai 6 là cực nguồn, chẳng hạn. Mặc dù không được minh họa cụ thể, nhưng điện cực thứ hai 6 của mỗi phần tử trong số các phần tử nhớ 14 và 15 được nối với đường điện thể chuẩn qua dây dẫn.

Lớp bán dẫn 4 là lớp được tạo thành bằng vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất 5 và điện cực thứ hai 6 bằng phương pháp phủ mong muốn. Trên FIG.3, lớp bán dẫn 4 được tạo thành trong vùng giữa điện cực thứ nhất 5 và điện cực thứ hai 6 của một phần tử nhớ 14 trong số hai loại phần tử nhớ. Theo sự có mặt hoặc không có mặt của lớp bán dẫn 4 này, các phần tử nhớ 14 và 15 khác nhau về các thuộc tính điện giữa điện cực thứ nhất 5 và điện cực

thứ hai 6.

Các phần tử nhớ dư 16 và 17 trong số bốn phần tử nhớ 14, 15, 16, và 17 được bao gồm trong mảng nhớ 200 được minh họa trên FIG.1 có cấu trúc giống như cấu trúc của một trong hai loại phần tử nhớ 14 và 15 được minh họa trên FIG.2 và FIG.3. Trong mỗi phần tử trong số phần tử nhớ 16 và phần tử nhớ 17, điện cực thứ ba được nối điện với đường từ 11 qua dây dẫn, chẳng hạn. Điện cực thứ nhất của phần tử nhớ 16 được nối điện với đường bit 12 qua dây dẫn. Điện cực thứ nhất của phần tử nhớ 17 được nối điện với đường bit 13 qua dây dẫn. Điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ 16 và 17 được nối với đường điện thể chuẩn qua dây dẫn.

Trong mảng nhớ 200, thông tin cần được ghi được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ, hoặc "phần tử nhớ có lớp bán dẫn 4" được ví dụ bởi phần tử nhớ 14 và "phần tử nhớ không có lớp bán dẫn 4" được ví dụ bởi phần tử nhớ 15. Thông tin được xác định này có thể được ghi trong mảng nhớ 200 dưới dạng thông tin duy nhất chẳng hạn như số ID duy nhất đối với mảng nhớ 200. Theo cách bố trí bốn phần tử nhớ 14, 15, 16, và 17 [phần tử nhớ 14, phần tử nhớ 15, phần tử nhớ 16, phần tử nhớ 17], khi mỗi phần tử trong số các phần tử nhớ 14 và 17 có lớp bán dẫn 4 và mỗi phần tử trong số các phần tử nhớ 15 và 16 không có lớp bán dẫn 4, thì thông tin [1, 0, 0, 1] hoặc [0, 1, 1, 0] được ghi trong mảng nhớ 200 dưới dạng thông tin duy nhất, chẳng hạn. Khi phần tử nhớ 15 có lớp bán dẫn 4 và mỗi phần tử trong số các phần tử nhớ 14, 16 và 17 không có lớp bán dẫn 4, thì thông tin [0, 1, 0, 0] hoặc [1, 0, 1, 1] được ghi trong mảng nhớ 200 dưới dạng thông tin duy nhất.

Theo phương án thứ nhất, thông tin nhị phân (thông tin "0" hoặc "1", chẳng hạn) được ghi trong mỗi phần tử trong số các phần tử nhớ theo sự có mặt hoặc không có mặt của lớp bán dẫn được tạo thành bằng vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất và điện cực thứ hai của phần tử nhớ, và thông tin cần được ghi trong mảng nhớ được xác định bằng cách bố trí với sự

kết hợp bất kỳ của các phần tử nhớ. Do đó, mảng nhớ có thể được chế tạo với chi phí thấp bằng cách sử dụng các quy trình đơn giản hơn chẳng hạn như phương pháp phủ hơn là phương pháp ROM mặt nạ, và mỗi một lần các đoạn thông tin duy nhất khác nhau lại có thể được ghi trong mảng nhớ.

Như được ví dụ trên FIG.2, cấu trúc của phần tử nhớ được sử dụng cho mảng nhớ 200 theo phương án thứ nhất là cấu trúc được gọi là cấu trúc cổng dưới, trong đó điện cực thứ ba 2 được bố trí dưới lớp bán dẫn 4 (phía nền 1), và điện cực thứ nhất 5 và điện cực thứ hai 6 được bố trí trên cùng mặt phẳng với lớp bán dẫn 4. Tuy nhiên, cấu trúc của phần tử nhớ có thể được sử dụng cho mảng nhớ 200 theo phương án thứ nhất không bị giới hạn ở ví dụ này và có thể là cấu trúc được gọi là cấu trúc cổng trên, trong đó điện cực thứ ba 2 được bố trí trên lớp bán dẫn 4 (phía đối diện nền 1), và điện cực thứ nhất 5 và điện cực thứ hai 6 được bố trí trên cùng mặt phẳng với lớp bán dẫn 4, chẳng hạn.

(Phương án thứ hai)

Phần sau mô tả mảng nhớ theo phương án thứ hai của sáng chế. Trong mảng nhớ theo phương án thứ hai, lớp phủ được tạo thành bằng vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất và điện cực thứ hai và là lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai, lớp bán dẫn thứ nhất và thứ hai khác nhau về các thuộc tính điện. Các phần tử nhớ được phân loại thành hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai tùy theo lớp nào trong số lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai được bao gồm trong phần tử. Trong số hai loại phần tử nhớ, một loại phần tử nhớ là phần tử nhớ có lớp bán dẫn thứ nhất, trong khi đó loại phần tử nhớ còn lại là phần tử nhớ có lớp bán dẫn thứ hai, chẳng hạn. Một loại phần tử nhớ và loại phần tử nhớ còn lại ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện của lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai.

FIG.4 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu của mảng nhớ theo phương án thứ hai của sáng chế. Như được minh họa trên FIG.4, mảng nhớ 300

này theo phương án thứ hai có hai đường từ 30 và 31, hai đường bit 32 và 33, và bốn phần tử nhớ 34, 35, 36, và 37 trên nền (không được minh họa). Các đường từ 30 và 31 là các ví dụ của ít nhất một dây dẫn thứ hai. Các đường bit 32 và 33 là các ví dụ của các dây dẫn thứ nhất. Các phần tử nhớ 34, 35, 36, và 37 là các ví dụ của các phần tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và dây dẫn thứ hai.

Như được minh họa trên FIG.4, đường từ 30 và đường từ 31 được bố trí cách xa nhau kéo dài theo hướng nhất định. Đường bit 32 và đường bit 33 được bố trí cách xa nhau kéo dài theo hướng vắt ngang đường từ 30 và đường từ 31. Các đường từ 30 và 31 và các đường bit 32 và 33 được bố trí vắt ngang nhau được cách ly khỏi nhau. Phần tử nhớ 34, phần tử nhớ 35, phần tử nhớ 36, và phần tử nhớ 37 được bố trí trong bốn vùng tương ứng (các vùng được bao quanh bởi các đường nét đứt trên FIG.4) được thiết lập bởi điểm vắt ngang tương ứng giữa các đường từ 30 và 31 và các đường bit 32 và 33.

Mặc dù FIG.4 là ví dụ cho mảng nhớ 300 dùng cho 4 bit để đơn giản hóa việc mô tả, đương nhiên, mảng nhớ 300 theo phương án thứ hai không bị giới hạn ở mảng nhớ dùng cho 4 bit và có thể là mảng nhớ dùng cho 2 bit hoặc nhiều hơn 2 bit.

FIG.5 là hình vẽ mặt cắt giảm lược dọc theo đường II-II' của mảng nhớ được minh họa trên FIG.4. FIG.5 minh họa ví dụ về kết cấu của hai loại phần tử nhớ được bao gồm trong mảng nhớ 300 (dựa vào FIG.4) theo phương án thứ hai.

Như được minh họa trên FIG.5, phần tử nhớ 34 và phần tử nhớ 35 là các ví dụ của hai loại phần tử nhớ được tạo thành trên nền 21. Mỗi phần tử trong số phần tử nhớ 34 và phần tử nhớ 35 có điện cực thứ nhất 25, điện cực thứ hai 26, lớp cách ly 23, và điện cực thứ ba 22 trên nền 21. Điện cực thứ ba 22 được cách điện với điện cực thứ nhất 25 và điện cực thứ hai 26 bởi lớp cách ly 23. Điện cực thứ nhất 25 và điện cực thứ hai 26 được bố trí cách xa nhau trên lớp cách ly 23, chẳng hạn.

Theo phương án thứ hai, phần tử nhớ 34 và phần tử nhớ 35 là các ví dụ của hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất 25 và điện cực thứ hai 26. Như được minh họa trên FIG.5, trong số hai loại phần tử nhớ này, một phần tử nhớ 34 còn có lớp bán dẫn 24 trong vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26. Phần tử nhớ còn lại 35 còn có lớp bán dẫn 27 trong vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26. Lớp bán dẫn 24 và lớp bán dẫn 27 khác nhau về các thuộc tính điện. Trong số lớp bán dẫn 24 và lớp bán dẫn 27, một lớp là lớp bán dẫn thứ nhất, trong khi đó lớp còn lại là lớp bán dẫn thứ hai. Phần tử nhớ 34 và phần tử nhớ 35 có hoặc lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai. Với kết cấu này, các đoạn thông tin tương ứng cần được ghi trong phần tử nhớ 34 và phần tử nhớ 35 chẳng hạn như "0" hoặc "1" được xác định.

Nói cách khác, trong số hai loại phần tử nhớ, khi phần tử nhớ có lớp bán dẫn thứ nhất được định nghĩa là Phần tử nhớ (a), trong khi đó phần tử nhớ có lớp bán dẫn thứ hai được định nghĩa là Phần tử nhớ (b), thì lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai theo phương án thứ hai khác nhau về các thuộc tính điện, và Phần tử nhớ (a) và Phần tử nhớ (b) ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện của lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai.

Sự "khác nhau về các thuộc tính điện" có nghĩa là khi các Phần tử nhớ (a) và (b) được lựa chọn, tức là, khi điện áp nhất định được đặt lên các điện cực thứ ba tương ứng 22 của các Phần tử nhớ (a) và (b), thì các Phần tử nhớ (a) và (b) khác nhau về trị số cường độ dòng điện đi qua giữa điện cực thứ nhất 25 và điện cực thứ hai 26. Nhờ sự khác biệt này về trị số cường độ dòng điện, trạng thái "0" và trạng thái "1" có thể được phân biệt với nhau trong Phần tử nhớ (a) và Phần tử nhớ (b). Để thực hiện đủ sự phân biệt này, đối với trị số cường độ dòng điện đi qua giữa điện cực thứ nhất 25 và điện cực thứ hai 26 của phần tử nhớ ghi "1" và trị số cường độ dòng điện đi qua giữa điện cực thứ nhất 25 và điện cực thứ hai 26 của phần tử nhớ ghi "0", một trị số tốt hơn là bằng hoặc lớn hơn 100 lần

và tốt hơn nữa là bằng hoặc lớn hơn 1000 lần so với trị số còn lại.

FIG.6 là hình vẽ phối cảnh với phần bao quanh của hai loại phần tử nhớ được bao gồm trong mảng nhớ được minh họa trên FIG.4 được tách ra. FIG.6 là ví dụ cho phần tử nhớ 34 và phần tử nhớ 35 là hai loại phần tử nhớ này. Nên lưu ý rằng mặc dù FIG.4 minh họa đường từ 30 ở phía trên của hình vẽ (phía xa) của các phần tử nhớ 34 và 35, FIG.6 minh họa đường từ 30 ở phía gần của các phần tử nhớ 34 và 35 để cho dễ hiểu.

Như được minh họa trên FIG.6, trong mỗi phần tử trong số phần tử nhớ 34 và phần tử nhớ 35, điện cực thứ ba 22 là cực cổng, ví dụ, và được nối điện với đường từ 30 qua dây dẫn. Điện cực thứ nhất 25 là cực máng, chẳng hạn. Điện cực thứ nhất 25 của phần tử nhớ 34 được nối điện với đường bit 32 qua dây dẫn. Điện cực thứ nhất 25 của phần tử nhớ 35 được nối điện với đường bit 33 qua dây dẫn. Điện cực thứ hai 26 là cực nguồn, chẳng hạn. Mặc dù không được minh họa cụ thể, điện cực thứ hai 26 của mỗi phần tử trong số các phần tử nhớ 34 và 35 được nối với đường điện thế chuẩn qua dây dẫn.

Các lớp bán dẫn 24 và 27 được tạo thành bằng các vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 bằng phương pháp phủ mong muốn và là các lớp khác nhau về các thuộc tính điện. Trên FIG.6, lớp bán dẫn 24 được tạo thành trong vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 của một phần tử nhớ 34 trong số hai loại phần tử nhớ, trong khi đó lớp bán dẫn 27 được tạo thành trong vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 của phần tử nhớ còn lại 35. Theo sự khác biệt về các thuộc tính điện của các lớp bán dẫn 24 và 27 này, các phần tử nhớ 34 và 35 khác nhau về các thuộc tính điện giữa điện cực thứ nhất 25 và điện cực thứ hai 26.

Các phần tử nhớ dư 36 và 37 trong số bốn phần tử nhớ 34, 35, 36, và 37 được bao gồm trong mảng nhớ 300 được minh họa trên FIG.4 có cấu trúc giống như cấu trúc của một trong hai loại phần tử nhớ 34 và 35 được minh họa trên FIG.5 và FIG.6. Trong mỗi phần tử trong số phần tử nhớ 36 và phần tử nhớ 37,

điện cực thứ ba được nối điện với đường từ 31 qua dây dẫn, chẳng hạn. Điện cực thứ nhất của phần tử nhớ 36 được nối điện với đường bit 32 qua dây dẫn. Điện cực thứ nhất của phần tử nhớ 37 được nối điện với đường bit 33 qua dây dẫn. Điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ 36 và 37 được nối với đường điện thế chuẩn qua dây dẫn.

Trong mảng nhớ 300, thông tin cần được ghi được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ khác nhau về các thuộc tính điện, tức là, Phần tử nhớ (a) và Phần tử nhớ (b). Thông tin được xác định này có thể được ghi trong mảng nhớ 300 dưới dạng thông tin duy nhất chẳng hạn như số ID duy nhất đối với mảng nhớ 300. Theo cách bố trí bốn phần tử nhớ 34, 35, 36, và 37 [phần tử nhớ 34, phần tử nhớ 35, phần tử nhớ 36, phần tử nhớ 37], khi mỗi phần tử trong số các phần tử nhớ 34 và 37 là một loại Phần tử nhớ (a) và mỗi phần tử trong số các phần tử nhớ 35 và 36 là loại Phần tử nhớ (b) khác, thì thông tin [1, 0, 0, 1] hoặc [0, 1, 1, 0] được ghi trong mảng nhớ 300 dưới dạng thông tin duy nhất, chẳng hạn. Khi phần tử nhớ 34 là một loại Phần tử nhớ (a) và mỗi phần tử trong số các phần tử nhớ 35, 36 và 37 là loại Phần tử nhớ (b) khác, thì thông tin [1, 0, 0, 0] hoặc [0, 1, 1, 1] được ghi trong mảng nhớ 300 dưới dạng thông tin duy nhất.

Theo phương án thứ hai, thông tin nhị phân (thông tin "0" hoặc "1", chẳng hạn) được ghi trong mỗi phần tử trong số các phần tử nhớ theo sự khác biệt về các thuộc tính điện của lớp bán dẫn được tạo thành bằng vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất và điện cực thứ hai của phần tử nhớ, và thông tin cần được ghi trong mảng nhớ được xác định bằng cách bố trí với sự kết hợp bất kỳ của các phần tử nhớ. Do đó, mảng nhớ có thể được chế tạo với chi phí thấp bằng cách sử dụng các quy trình đơn giản hơn chẳng hạn như phương pháp phủ hơn là phương pháp ROM mặt nạ, và mỗi một lần các đoạn thông tin duy nhất khác nhau lại có thể được ghi trong mảng nhớ.

Như được ví dụ trên FIG.5, cấu trúc của phần tử nhớ được sử dụng cho

mảng nhớ 300 theo phương án thứ hai là cấu trúc được gọi là cấu trúc cổng dưới. Tuy nhiên, cấu trúc của phần tử nhớ có thể được sử dụng cho mảng nhớ 300 theo phương án thứ hai không bị giới hạn ở ví dụ này và có thể là cấu trúc được gọi là cấu trúc cổng trên.

Việc lớp bán dẫn 24 và lớp bán dẫn 27 khác nhau về các thuộc tính điện tốt hơn là được tạo ra do sự khác biệt về kết cấu giữa chúng. Các ví dụ của sự khác biệt về kết cấu giữa lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai theo phương án thứ hai bao gồm sự khác biệt về độ dày màng là các lớp bán dẫn và sự khác biệt về vật liệu bán dẫn được chứa trong các lớp bán dẫn. Ngoài ra, sự khác biệt về kết cấu giữa lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai không bị giới hạn ở các ví dụ này chỉ cần sự khác biệt này làm cho các thuộc tính điện tương ứng của lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai đủ khác nhau.

Các ví dụ của sự khác biệt về vật liệu bán dẫn được chứa trong các lớp bán dẫn, khi lớp bán dẫn thứ hai chứa vật liệu bán dẫn khác với vật liệu của lớp bán dẫn thứ nhất, bao gồm trường hợp trong đó vật liệu bán dẫn được chứa trong lớp bán dẫn thứ hai là vật liệu có độ linh động cao hơn vật liệu bán dẫn được chứa trong lớp bán dẫn thứ nhất và trường hợp trong đó lớp bán dẫn thứ nhất chứa vật liệu bán dẫn loại nâng cao, trong khi đó lớp bán dẫn thứ hai chứa vật liệu bán dẫn loại lỗm.

Các ví dụ của sự khác biệt về độ dày màng là các lớp bán dẫn bao gồm trường hợp trong đó độ dày màng là lớp bán dẫn thứ hai lớn hơn độ dày màng là lớp bán dẫn thứ nhất. Với kết cấu này, lớp bán dẫn thứ hai và lớp bán dẫn thứ nhất khác nhau về suất điện trở. Do đó, khi điện áp nhất định được đặt lên các điện cực thứ ba tương ứng của các phần tử nhớ, các phần tử nhớ có thể được làm cho khác nhau về trị số cường độ dòng điện đi qua giữa điện cực thứ nhất và điện cực thứ hai.

Khi mỗi lớp trong số lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai chứa các ống nano cacbon (CNT) làm vật liệu bán dẫn, sự khác biệt về nồng độ CNT

được chứa có thể làm cho các thuộc tính điện tương ứng của lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai đủ khác nhau. FIG.7 là hình vẽ sơ đồ của phương án cải biến của hai loại phần tử nhớ được bao gồm trong mảng nhớ theo phương án thứ hai của sáng chế. FIG.7 minh họa các phần tử nhớ 34 và 35 khi vật liệu bán dẫn được chứa trong mỗi lớp trong số các lớp bán dẫn 24 và 27 được minh họa trên FIG.6 là hình vẽ CNT. Ngoài ra, các thành phần giống như các thành phần được minh họa trên FIG.6 được biểu thị bằng cùng các ký hiệu. Như được minh họa trên FIG.7, nồng độ CNT của lớp bán dẫn 24 của phần tử nhớ 34 (lớp bán dẫn thứ hai) cao hơn nồng độ CNT của lớp bán dẫn 27 của phần tử nhớ 35 (lớp bán dẫn thứ nhất), chẳng hạn. Trong trường hợp này, phần tử nhớ 34 có lớp bán dẫn 24 có nồng độ CNT cao hơn làm cho dòng điện đi qua giữa điện cực thứ nhất 25 và điện cực thứ hai 26 dễ dàng hơn so với phần tử nhớ còn lại 35.

Nồng độ CNT dùng để chỉ số lượng CNT có trong diện tích $1\mu\text{m}^2$ bất kỳ trong lớp bán dẫn. Các ví dụ của phương pháp đo số lượng CNT bao gồm phương pháp lựa chọn diện tích $1\mu\text{m}^2$ bất kỳ từ hình ảnh của lớp bán dẫn thu được bởi kính hiển vi nguyên tử, kính hiển điện tử quét, kính hiển điện tử truyền, hoặc thiết bị tương tự và đếm số lượng tất cả CNT được chứa trong vùng.

(Phương án thứ ba)

Phần sau mô tả mảng nhớ theo phương án thứ ba của sáng chế. Trong mảng nhớ theo phương án thứ ba, mỗi phần tử trong số các phần tử nhớ có lớp bán dẫn được tạo thành bằng vật liệu bán dẫn được phủ để tiếp xúc với lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai. Lớp phủ được tạo thành bằng vật liệu cách ly được phủ để tiếp xúc với lớp bán dẫn ở phía đối diện lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai và là lớp cách ly thứ nhất hoặc lớp cách ly thứ hai mà thay đổi các thuộc tính điện của lớp bán dẫn thành các thuộc tính điện khác nhau. Các phần tử nhớ được phân loại thành hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai tùy theo lớp nào trong số lớp cách ly thứ nhất và lớp cách ly thứ

hai được bao gồm trong phần tử. Trong số hai loại phần tử nhớ, một loại phần tử nhớ là phần tử nhớ có lớp cách ly thứ nhất, trong khi đó loại phần tử nhớ còn lại là phần tử nhớ có lớp cách ly thứ hai, chẳng hạn. Một loại phần tử nhớ và loại phần tử nhớ còn lại ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện của lớp bán dẫn do lớp cách ly thứ nhất và lớp cách ly thứ hai.

FIG.8 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu của mảng nhớ theo phương án thứ ba của sáng chế. Như được minh họa trên FIG.8, mảng nhớ 500 này theo phương án thứ ba có hai đường từ 50 và 51, hai đường bit 52 và 53, và bốn phần tử nhớ 54, 55, 56, và 57 trên nền (không được minh họa). Các đường từ 50 và 51 là các ví dụ của ít nhất một dây dẫn thứ hai. Các đường bit 52 và 53 là các ví dụ của các dây dẫn thứ nhất. Các phần tử nhớ 54, 55, 56, và 57 là các ví dụ của các phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và dây dẫn thứ hai.

Như được minh họa trên FIG.8, đường từ 50 và đường từ 51 được bố trí cách xa nhau kéo dài theo hướng nhất định. Đường bit 52 và đường bit 53 được bố trí cách xa nhau kéo dài theo hướng vắt ngang đường từ 50 và đường từ 51. Các đường từ 50 và 51 và các đường bit 52 và 53 được bố trí vắt ngang nhau được cách ly khỏi nhau. Phần tử nhớ 54, phần tử nhớ 55, phần tử nhớ 56, và phần tử nhớ 57 được bố trí trong bốn vùng tương ứng (các vùng được bao quanh bởi các đường nét đứt trên FIG.8) được thiết lập bởi các điểm vắt ngang tương ứng giữa các đường từ 50 và 51 và các đường bit 52 và 53.

Mặc dù FIG.8 là ví dụ cho mảng nhớ 500 dùng cho 4 bit để đơn giản hóa việc mô tả, đương nhiên, mảng nhớ 500 theo phương án thứ ba không bị giới hạn ở mảng nhớ dùng cho 4 bit và có thể là mảng nhớ dùng cho 2 bit hoặc nhiều hơn 2 bit.

FIG.9A là hình vẽ mặt cắt giản lược dọc theo đường III-III' của mảng nhớ được minh họa trên FIG.8. FIG.9A minh họa ví dụ về kết cấu của hai loại phần

tử nhớ được bao gồm trong mảng nhớ 500 (dựa vào FIG.8) theo phương án thứ ba.

Như được minh họa trên FIG.9A, phần tử nhớ 54 và phần tử nhớ 55 là các ví dụ của hai loại phần tử nhớ được tạo thành trên nền 41. Mỗi phần tử trong số phần tử nhớ 54 và phần tử nhớ 55 có điện cực thứ nhất 45, điện cực thứ hai 46, lớp cách ly 43, và điện cực thứ ba 42 trên nền 41. Điện cực thứ ba 42 được cách điện với điện cực thứ nhất 45 và điện cực thứ hai 46 bởi lớp cách ly 43. Điện cực thứ nhất 45 và điện cực thứ hai 46 được bố trí cách xa nhau trên lớp cách ly 43, chẳng hạn. Mỗi phần tử trong số phần tử nhớ 54 và phần tử nhớ 55 có lớp bán dẫn 44 trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46.

Theo phương án thứ ba, phần tử nhớ 54 và phần tử nhớ 55 là các ví dụ của hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất 45 và điện cực thứ hai 46. Như được minh họa trên FIG.9A, trong số hai loại phần tử nhớ này, một phần tử nhớ 54 còn có lớp cách ly thứ nhất 48 trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46. Phần tử nhớ còn lại 55 còn có lớp cách ly thứ hai 49 trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46.

FIG.9B là hình vẽ mặt cắt giản lược dọc theo đường III-III' của phương án cải biến của mảng nhớ được minh họa trên FIG.8. Trong mỗi phần tử trong số phần tử nhớ 54 và phần tử nhớ 55 được minh họa trên FIG.9B, độ dày của lớp bán dẫn 44 có thể sánh được với độ dày của điện cực thứ nhất 45 và điện cực thứ hai 46. Trong trường hợp này, phần tử nhớ 54 có lớp cách ly thứ nhất 48 trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46, vùng hướng về phía lớp bán dẫn 44 xen giữa các điện cực này theo hướng chiều dày của nó (ở trên, chẳng hạn) (cụ thể là, vùng không xen giữa điện cực thứ nhất 45 và điện cực thứ hai 46). Phần tử nhớ 55 có lớp cách ly thứ hai 49 trong vùng tương tự với vùng của phần tử nhớ 54 này. Các thành phần còn lại trên FIG.9B giống như các thành phần được minh họa trên FIG.9A.

Lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49 được tạo thành bằng các vật liệu cách ly tương ứng được phủ để tiếp xúc với lớp bán dẫn 44 ở phía đối diện lớp cách ly 43 bằng phương pháp phủ mong muốn. Lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49 chứa các vật liệu khác nhau tương ứng. Khi được đưa đến tiếp xúc với lớp bán dẫn 44, lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49 thay đổi các thuộc tính điện của lớp bán dẫn 44 tiếp xúc với chúng. Với thay đổi này, các thuộc tính điện của lớp bán dẫn 44 ở phía lớp cách ly thứ nhất 48 và các thuộc tính điện của lớp bán dẫn 44 ở phía lớp cách ly thứ hai 49 được làm cho khác nhau. Phần sau có thể được xem là lý do cho điều này.

Khi tiếp xúc với không khí, lớp bán dẫn 44 được tác động bởi oxy và nước trong khí quyển tiếp xúc với lớp này. Do đó, các thuộc tính điện của lớp bán dẫn 44 có thể thay đổi. Tuy nhiên, lớp cách ly thứ nhất 48 hoặc lớp cách ly thứ hai 49 bao phủ lớp bán dẫn 44 tiếp xúc với chúng (dựa vào FIG.9A và FIG.9B), nhờ đó triệt tiêu sự tác động do môi trường bên ngoài lên lớp bán dẫn 44.

Điều được công nhận là vật liệu được chứa trong lớp cách ly thứ nhất 48 tạo ra một số tác động lên các thuộc tính điện của lớp bán dẫn 44 tiếp xúc với chúng và vật liệu được chứa trong lớp cách ly thứ hai 49 tạo ra một số tác động lên các thuộc tính điện của lớp bán dẫn 44 tiếp xúc với chúng. Như được minh họa trên FIG.9A và FIG.9B, khi lớp cách ly thứ nhất 48 tiếp xúc với lớp bán dẫn 44, với sự tác động lên lớp bán dẫn 44 do môi trường bên ngoài được triệt tiêu, thì trị số cường độ dòng điện đi qua giữa điện cực thứ nhất 45 và điện cực thứ hai 46 qua lớp bán dẫn 44 suy giảm hoặc gia tăng tùy theo loại vật liệu được chứa trong lớp cách ly thứ nhất 48 này, chẳng hạn. Hiện tượng này cũng có thể xảy ra khi lớp cách ly thứ hai 49 tiếp xúc với lớp bán dẫn 44. Khi các vật liệu tương ứng được chứa trong lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49 khác nhau, mức độ thay đổi đối với các thuộc tính điện của lớp bán dẫn 44 của phần tử nhớ 54 và mức độ thay đổi đối với các thuộc tính điện của lớp bán dẫn 44 của phần tử nhớ 55 khác nhau. Do đó, các thuộc tính điện của lớp bán dẫn 44

của phần tử nhớ 54 và các thuộc tính điện của lớp bán dẫn 44 của phần tử nhớ 55 được làm cho khác nhau.

Nhờ sự khác biệt về các thuộc tính điện của các lớp bán dẫn 44 tương ứng do lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49, nên các đoạn thông tin tương ứng cần được ghi trong phần tử nhớ 54 và phần tử nhớ 55 chẳng hạn như "0" hoặc "1" được xác định.

Nói cách khác, trong số hai loại phần tử nhớ theo phương án thứ ba, khi phần tử nhớ có lớp cách ly thứ nhất 48 chẳng hạn như phần tử nhớ 54 được định nghĩa là Phần tử nhớ (c), trong khi đó phần tử nhớ có lớp cách ly thứ hai 49 chẳng hạn như phần tử nhớ 55 được định nghĩa là Phần tử nhớ (d), và khi lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49 có các vật liệu khác nhau, Phần tử nhớ (c) và Phần tử nhớ (d) ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện của các lớp bán dẫn 44 tương ứng do lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49.

Sự "thay đổi các thuộc tính điện của lớp bán dẫn" có nghĩa là khi các Phần tử nhớ (c) và (d) được lựa chọn, tức là, khi điện áp nhất định được đặt lên các điện cực thứ ba tương ứng 42 của các Phần tử nhớ (c) và (d), thì các Phần tử nhớ (c) và (d) khác nhau về trị số cường độ dòng điện đi qua giữa điện cực thứ nhất 45 và điện cực thứ hai 46. Nhờ sự khác biệt về trị số cường độ dòng điện, trạng thái "0" và trạng thái "1" có thể được phân biệt với nhau trong Phần tử nhớ (c) và Phần tử nhớ (d). Để thực hiện đủ sự phân biệt này, đối với trị số cường độ dòng điện đi qua giữa điện cực thứ nhất 45 và điện cực thứ hai 46 của phần tử nhớ ghi "1" và trị số cường độ dòng điện đi qua giữa điện cực thứ nhất 45 và điện cực thứ hai 46 của phần tử nhớ ghi "0", một trị số tốt hơn là bằng hoặc lớn hơn 100 lần và tốt hơn nữa là bằng hoặc lớn hơn 1000 lần so với trị số còn lại.

Lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49 cũng có thể có chức năng làm các lớp bảo vệ để bảo vệ lớp bán dẫn 44 khỏi môi trường bên ngoài và các dạng tương tự. Lớp bán dẫn 44 được bảo vệ bởi hoặc lớp cách ly thứ nhất 48

hoặc lớp cách ly thứ hai 49, nhờ đó độ tin cậy của các phần tử nhớ được cải thiện.

FIG.10 là hình vẽ phối cảnh với phần bao quanh của hai loại phần tử nhớ được bao gồm trong mảng nhớ được minh họa trên FIG.8 được tách ra. FIG.10 là ví dụ cho phần tử nhớ 54 và phần tử nhớ 55 là hai loại phần tử nhớ này. Nên lưu ý rằng mặc dù FIG.8 minh họa đường từ 50 ở phía trên của hình vẽ (phía xa) của các phần tử nhớ 54 và 55, FIG.10 minh họa đường từ 50 ở phía gần của các phần tử nhớ 54 và 55 để cho dễ hiểu.

Như được minh họa trên FIG.10, trong mỗi phần tử trong số phần tử nhớ 54 và phần tử nhớ 55, điện cực thứ ba 42 là cực công, ví dụ, và được nối điện với đường từ 50 qua dây dẫn. Điện cực thứ nhất 45 là cực máng, chẳng hạn. Điện cực thứ nhất 45 của phần tử nhớ 54 được nối điện với đường bit 52 qua dây dẫn. Điện cực thứ nhất 45 của phần tử nhớ 55 được nối điện với đường bit 53 qua dây dẫn. Điện cực thứ hai 46 là cực nguồn, chẳng hạn. Mặc dù không được minh họa cụ thể, điện cực thứ hai 46 của mỗi phần tử trong số các phần tử nhớ 54 và 55 được nối với đường điện thế chuẩn qua dây dẫn. Lớp bán dẫn 44 được tạo thành trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 trên mỗi lớp cách ly 43 của phần tử nhớ 54 và phần tử nhớ 55.

Như được minh họa trên FIG.10, lớp cách ly thứ nhất 48 trong phần tử nhớ 54 tiếp xúc với lớp bán dẫn 44 ở phía đối diện lớp cách ly 43 (phía mặt trên, chẳng hạn) và bao phủ lớp bán dẫn 44 này. Với kết cấu này, lớp cách ly thứ nhất 48 giữ lớp bán dẫn 44 này kết hợp với lớp cách ly 43 theo hướng chiều dày màng. Tương tự, lớp cách ly thứ hai 49 trong phần tử nhớ 55 tiếp xúc với lớp bán dẫn 44 ở phía đối diện lớp cách ly 43 và bao phủ lớp bán dẫn 44 này và, với kết cấu này, giữ lớp bán dẫn 44 này kết hợp với lớp cách ly 43 theo hướng chiều dày màng.

Các phần tử nhớ dư 56 và 57 trong số bốn phần tử nhớ 54, 55, 56, và 57 được bao gồm trong mảng nhớ 500 được minh họa trên FIG.8 có cấu trúc giống

như cấu trúc của một trong hai loại phần tử nhớ 54 và 55 được minh họa trên các FIG.9A, FIG.9B, và FIG.10. Trong mỗi phần tử trong số phần tử nhớ 56 và phần tử nhớ 57, điện cực thứ ba được nối điện với đường từ 51 qua dây dẫn, chẳng hạn. Điện cực thứ nhất của phần tử nhớ 56 được nối điện với đường bit 52 qua dây dẫn. Điện cực thứ nhất của phần tử nhớ 57 được nối điện với đường bit 53 qua dây dẫn. Điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ 56 và 57 được nối với đường điện thế chuẩn qua dây dẫn.

Trong mảng nhớ 500, thông tin cần được ghi được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ khác nhau về các thuộc tính điện, tức là, Phần tử nhớ (c) và Phần tử nhớ (d). Thông tin được xác định này có thể được ghi trong mảng nhớ 500 dưới dạng thông tin duy nhất chẳng hạn như số ID duy nhất đối với mảng nhớ 500. Theo cách bố trí bốn phần tử nhớ 54, 55, 56, và 57 [phần tử nhớ 54, phần tử nhớ 55, phần tử nhớ 56, phần tử nhớ 57], khi mỗi phần tử trong số các phần tử nhớ 54 và 55 là một loại Phần tử nhớ (c) và mỗi phần tử trong số các phần tử nhớ 56 và 57 là loại Phần tử nhớ (d) còn lại, thì thông tin [1, 1, 0, 0] hoặc [0, 0, 1, 1] được ghi trong mảng nhớ 500 dưới dạng thông tin duy nhất, chẳng hạn. Khi mỗi phần tử trong số các phần tử nhớ 54, 55, và 57 là một loại Phần tử nhớ (c) và phần tử nhớ 56 là loại Phần tử nhớ (d) còn lại, thì thông tin [1, 1, 0, 1] hoặc [0, 0, 1, 0] được ghi trong mảng nhớ 500 dưới dạng thông tin duy nhất.

Theo phương án thứ ba, lớp bán dẫn được tạo thành trong vùng giữa điện cực thứ nhất và điện cực thứ hai của phần tử nhớ, lớp cách ly thứ nhất hoặc lớp cách ly thứ hai được tạo thành bằng vật liệu cách ly được phủ lên vùng giữa điện cực thứ nhất và điện cực thứ hai để tiếp xúc với lớp bán dẫn này còn được tạo thành, thông tin nhị phân (thông tin "0" hoặc "1", chẳng hạn) được ghi trong mỗi phần tử trong số các phần tử nhớ theo sự khác biệt về các thuộc tính điện của lớp bán dẫn do lớp cách ly thứ nhất và lớp cách ly thứ hai, và thông tin cần được ghi trong mảng nhớ được xác định bằng cách bố trí với sự kết hợp bất kỳ của các phần tử nhớ. Do đó, mảng nhớ có thể được chế tạo với chi phí thấp bằng

cách sử dụng các quy trình đơn giản hơn chẳng hạn như phương pháp phủ hơn là phương pháp ROM mặt nạ, và mỗi một lần các đoạn thông tin duy nhất khác nhau lại có thể được ghi trong mảng nhớ.

Như được ví dụ trên FIG.9A và FIG.9B, cấu trúc của phần tử nhớ được sử dụng cho mảng nhớ 500 theo phương án thứ ba là cấu trúc được gọi là cấu trúc cổng dưới. Tuy nhiên, cấu trúc của phần tử nhớ có thể được sử dụng cho mảng nhớ 500 theo phương án thứ ba không bị giới hạn ở ví dụ này và có thể là cấu trúc được gọi là cấu trúc cổng trên.

Phần sau mô tả các thành phần chung cho phương án thứ nhất đến thứ ba một cách chi tiết. Trong phần mô tả nền, các nền tương ứng theo phương án thứ nhất đến thứ ba sẽ được gọi chung là "nền" khi phù hợp. Trong phần mô tả các điện cực và các dây dẫn, điện cực thứ nhất, điện cực thứ hai, và điện cực thứ ba theo phương án thứ nhất đến thứ ba sẽ được gọi chung là "điện cực" khi phù hợp. Các loại dây dẫn khác nhau trên nền bao gồm các đường từ và các đường bit theo phương án thứ nhất đến thứ ba sẽ được gọi chung là "dây dẫn" khi phù hợp. Trong phần mô tả bộ phận bán dẫn, lớp bán dẫn theo phương án thứ nhất và thứ ba và lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai theo phương án thứ hai sẽ được gọi chung là "lớp bán dẫn" khi phù hợp.

(Nền)

Nền có thể được tạo thành bằng vật liệu bất kỳ chỉ cần ít nhất bề mặt mà các điện cực được bố trí trên đó cách điện. Các ví dụ ưu tiên của nền bao gồm các nền được tạo thành bằng các vật liệu vô cơ chẳng hạn như các lát silic, thủy tinh, saphia, và khối thiêu kết nhôm và các vật liệu hữu cơ chẳng hạn như polyimide, rượu polyvinyl, polyvinyl clorua, polyetylen terephthalat, polyvinyliden florua, polysiloxan, polyvinylphenol (PVP), polyester, polycacbonat, polysulfon, polyetessulfon, polyetylen, polyphenylen sulfua, và poly-p-xylen.

Nền không bị giới hạn ở các vật liệu trên và có thể được tạo thành bằng

nhiều vật liệu được xếp chồng chẳng hạn như màng PVP được tạo thành trên lát silic và màng polysiloxan được tạo thành trên polyetylen terephthalat.

(Điện cực và dây dẫn)

Vật liệu sử dụng trong điện cực và dây dẫn có thể là vật liệu bất kỳ chỉ cần nó là vật liệu dẫn điện có thể thường được sử dụng làm các điện cực. Các ví dụ của vật liệu dẫn điện này bao gồm các oxit kim loại dẫn điện chẳng hạn như oxit thiếc, oxit indi, và oxit thiếc indi (ITO). Các ví dụ của vật liệu bao gồm các kim loại chẳng hạn như bạch kim, vàng, bạc, đồng, sắt, thiếc, kẽm, nhôm, indi, crôm, liti, natri, kali, xesi, canxi, magiê, paladi, molypden, silic vô định hình, và polysilic, các hợp kim của nhiều kim loại được lựa chọn từ các kim loại này, và các vật liệu dẫn điện vô cơ chẳng hạn như đồng iodua và đồng sulfua. Các ví dụ của vật liệu bao gồm polythiophen, polypyrrol, polyanilin, phức chất của polyetylendioxythiophen và axit polystyren sulfonic, và các polyme dẫn điện có độ dẫn điện được cải thiện bằng cách pha iodua hoặc chất tương tự. Các ví dụ khác nữa của vật liệu bao gồm các vật liệu cacbon và các vật liệu chứa thành phần hữu cơ và chất dẫn điện. Tuy nhiên, vật liệu dẫn điện của điện cực và dây dẫn không bị giới hạn ở các vật liệu này. Các vật liệu dẫn điện này có thể được sử dụng riêng, hoặc nhiều vật liệu có thể được sử dụng theo cách được xếp chồng hoặc được trộn.

Chiều rộng và độ dày của điện cực và khoảng cách giữa các điện cực (khoảng cách giữa điện cực thứ nhất và điện cực thứ hai, chẳng hạn) có các trị số bất kỳ. Cụ thể là, chiều rộng của các điện cực tốt hơn là bằng hoặc lớn hơn $5\mu\text{m}$ và nhỏ hơn hoặc bằng 1mm . Độ dày của các điện cực tốt hơn là bằng hoặc lớn hơn $0,01\mu\text{m}$ và nhỏ hơn hoặc bằng $100\mu\text{m}$. Khoảng cách giữa điện cực thứ nhất và điện cực thứ hai tốt hơn là bằng hoặc lớn hơn $1\mu\text{m}$ và nhỏ hơn hoặc bằng $500\mu\text{m}$. Tuy nhiên, các kích thước này không bị giới hạn ở các kích thước nêu trên.

Ngoài ra, chiều rộng và độ dày của dây dẫn cũng có các trị số bất kỳ. Cụ thể là, độ dày của dây dẫn tốt hơn là bằng hoặc lớn hơn $0,01\mu\text{m}$ và nhỏ hơn hoặc bằng $100\mu\text{m}$. Chiều rộng của dây dẫn tốt hơn là bằng hoặc lớn hơn $5\mu\text{m}$ và nhỏ hơn hoặc bằng $500\mu\text{m}$. Tuy nhiên, các kích thước này không bị giới hạn ở các kích thước nêu trên.

Các ví dụ của phương pháp tạo thành điện cực và dây dẫn bao gồm các phương pháp để tạo thành các bộ phận này bằng cách sử dụng các kỹ thuật đã biết chẳng hạn như lắng nung bằng điện trở, các kỹ thuật chùm điện tử, phún xạ, mạ, lắng hơi hóa học (CVD), phủ mạ ion, phụt mực, và in. Các ví dụ của các phương pháp bao gồm bước phủ hỗn hợp nhão của vật liệu chứa thành phần hữu cơ và chất dẫn điện được mô tả ở trên lên nền cách ly bằng kỹ thuật đã biết chẳng hạn như phủ xoay, phủ bằng lưới, phủ bằng đầu có khe, in lưới, phủ bằng thanh, đúc, in và truyền, hoặc nhúng và nhấc lên và thực hiện sấy khô bằng cách sử dụng lò, tấm nóng, tia tia hồng ngoại, hoặc dạng tương tự. Tuy nhiên, phương pháp tạo thành điện cực và dây dẫn không bị giới hạn ở phương pháp cụ thể chỉ cần phương pháp này là phương pháp có thể thiết lập tính liên tục.

Các ví dụ của phương pháp để tạo mẫu hình điện cực và dây dẫn bao gồm, nhưng không bị giới hạn ở, phương pháp tạo mẫu hình màng mỏng điện cực được chế tạo bằng các phương pháp nêu trên thành hình dạng mong muốn bằng phương pháp in litô hoặc phương pháp tương tự đã biết. Các ví dụ của các phương pháp này bao gồm phương pháp thực hiện tạo mẫu hình qua mặt nạ có hình dạng mong muốn khi vật liệu dẫn điện của điện cực và dây dẫn được lắng hoặc được phún xạ. Các ví dụ của các phương pháp này bao gồm phương pháp tạo thành các mẫu hình một cách trực tiếp bằng cách sử dụng phương pháp phụt mực hoặc in.

Mẫu hình điện cực và mẫu hình dây dẫn có thể được xử lý và được tạo thành tách biệt, hoặc ít nhất hai trong số các mẫu hình điện cực và các mẫu hình dây dẫn có thể được xử lý và được tạo thành bằng một công đoạn. Khi xem xét

giảm bớt các quy trình chế tạo và độ dễ dàng khi kết nối và độ chính xác của các mẫu hình, thì mẫu hình điện cực và mẫu hình dây dẫn tốt hơn là được xử lý bằng một công đoạn.

(Lớp cách ly)

Các ví dụ của vật liệu cách ly để sử dụng trong lớp cách ly bao gồm, nhưng không bị giới hạn ở, các vật liệu vô cơ chẳng hạn như silic oxit và nhôm; các vật liệu polyme hữu cơ chẳng hạn như polyimide, rượu polyvinyl, polyvinyl clorua, polyetylen terephthalat, polyvinyliden florua, polysiloxan, và polyvinyl phenol; và các hỗn hợp của bột vật liệu vô cơ và các vật liệu hữu cơ. Trong số các vật liệu này, vật liệu cách ly để sử dụng trong lớp cách ly tốt hơn là chứa hợp chất hữu cơ chứa liên kết giữa nguyên tử silic và nguyên tử cacbon. Ngoài ra, tốt hơn nữa là vật liệu này chứa hợp chất kim loại chứa liên kết giữa nguyên tử kim loại và nguyên tử oxy.

Lớp cách ly có thể được tạo thành bằng một lớp hoặc được tạo thành bằng nhiều lớp. Một lớp cách ly có thể được tạo thành bằng nhiều vật liệu cách ly, hoặc nhiều lớp cách ly có thể được tạo thành bằng cách xếp chồng nhiều vật liệu cách ly.

Các ví dụ của phương pháp tạo thành lớp cách ly bao gồm các kỹ thuật đã biết chẳng hạn như lắng nung bằng điện trở, các kỹ thuật chùm điện tử, phun xạ, mạ, CVD, phủ mạ ion, phụt mực, in, phủ xoay, phủ bằng lưới, phủ bằng đầu có khe, in lưới, phủ bằng thanh, đúc, in và truyền, và nhúng và nhấc lên. Tuy nhiên, phương pháp tạo thành lớp cách ly không bị giới hạn ở các ví dụ này.

(Lớp bán dẫn)

Vật liệu bán dẫn được sử dụng cho lớp bán dẫn không bị giới hạn ở vật liệu bán dẫn cụ thể chỉ cần vật liệu này có các thuộc tính bán dẫn; các ví dụ của các vật liệu này bao gồm các chất bán dẫn vô cơ chẳng hạn như các chất bán dẫn silic và các chất bán dẫn oxit, các chất bán dẫn hữu cơ, và các chất bán dẫn

cacbon chẳng hạn như CNT, graphen, và fullerene.

Các ví dụ của các chất bán dẫn hữu cơ bao gồm các polythiophen, polypyrrol, poly(p-phenylenvinyl) chẳng hạn như poly(p-phenylenvinyl), polyanilin, polyaxetylen, polydiaxetylen, polycacbazol, polyfuran, polyheteroaryl, các chất bán dẫn dạng hợp chất phân tử lượng thấp đa vòng được ngưng tụ, các chất bán dẫn dạng hợp chất phân tử lượng thấp có các vòng thơm khác loại. Các ví dụ của các polythiophen bao gồm poly-3-hexylthiophen và polybenzothiophen. Các ví dụ của polyfuran bao gồm polyfuran và polybenzofuran. Các ví dụ của polyheteroaryl bao gồm các hợp chất có vòng thơm chứa-nitơ chẳng hạn như pyridin, quinolin, phenantrolin, oxazol, hoặc oxadiazol làm đơn vị cấu trúc. Các ví dụ của các chất bán dẫn dạng hợp chất phân tử lượng thấp đa vòng được ngưng tụ bao gồm antracen, pyren, naphacen, pentacen, hexacen, và rubren. Các ví dụ của các chất bán dẫn dạng hợp chất phân tử lượng thấp có các vòng thơm khác loại bao gồm furan, thiophen, benzothiophen, dibenzofuran, pyridin, quinolin, phenantrolin, oxazol, và oxadiazol.

Trong số các hợp chất này, khi xem xét khả năng tạo thành lớp bán dẫn bằng cách phủ, thì lớp bán dẫn tốt hơn là chứa một hoặc nhiều vật liệu được lựa chọn từ nhóm bao gồm CNT, graphen, fullerene, và các chất bán dẫn hữu cơ làm vật liệu bán dẫn. Khi xem xét khả năng được tạo thành ở các nhiệt độ thấp nhỏ hơn hoặc bằng 200°C và có các thuộc tính bán dẫn cao, thì lớp bán dẫn tốt hơn nữa là chứa CNT làm vật liệu bán dẫn.

Trong số CNT, được đặc biệt ưu tiên là composit CNT trong đó polyme liên hợp được gắn vào ít nhất một phần của các bề mặt của CNT. Sở dĩ như vậy là do CNT có thể được phân tán đều trong dung dịch để tạo thành lớp bán dẫn mà không làm suy giảm các thuộc tính điện cao của CNT. Dung dịch trong đó CNT được phân tán đều được sử dụng, nhờ đó màng trong đó CNT được phân tán đều có thể được tạo thành dưới dạng lớp bán dẫn bằng cách phủ chẳng hạn

như phụt mực.

"Trạng thái trong đó polyme liên hợp được gắn vào ít nhất một phần của các bề mặt của CNT" có nghĩa là trạng thái trong đó polyme liên hợp bao phủ một phần hoặc toàn bộ các bề mặt của CNT. Điều được đánh giá là lý do polyme liên hợp có thể bao phủ CNT là do sự tương tác xảy ra do chồng lấp các đám mây electron π bắt nguồn từ các cấu trúc liên hợp của hai thành phần này. Việc liệu CNT có được bao phủ bởi polyme liên hợp hay không có thể được xác định bằng màu được phản xạ của CNT được bao phủ ngả sang màu của polyme liên hợp từ màu của CNT không được bao phủ. Sự có mặt của nền được gắn và tỷ lệ trọng lượng của nền được gắn đối với CNT có thể được xác định theo cách định lượng bằng phương pháp phân tích nguyên tố chẳng hạn như phổ học quang điện tử bằng tia X (X-ray photoelectron spectroscopy - XPS).

Các ví dụ của phương pháp để gắn polyme liên hợp với CNT bao gồm bốn phương pháp sau. Phương pháp thứ nhất là phương pháp bổ sung CNT vào polyme liên hợp nóng chảy để trộn chúng với nhau. Phương pháp thứ hai là phương pháp phân hủy polyme liên hợp trong dung môi và bổ sung CNT vào dung môi này để trộn chúng với nhau. Phương pháp thứ ba là phương pháp phân tán sơ bộ CNT trong dung môi thông qua các sóng siêu âm hoặc dạng tương tự và bổ sung polyme liên hợp vào đó để trộn chúng với nhau. Phương pháp thứ tư là phương pháp cho polyme liên hợp và CNT vào trong dung môi và chiếu xạ hệ được trộn bằng các sóng siêu âm để trộn chúng với nhau. Sáng chế có thể sử dụng phương pháp bất kỳ và kết hợp nhiều phương pháp trong số các phương pháp này.

Các ví dụ của polyme liên hợp bao gồm, nhưng không bị giới hạn ở các polyme gốc polythiophen, polyme gốc polypyrrol, polyme gốc polyanilin, polyme gốc polyaxetylen, polyme gốc poly-p-phenylen, và polyme gốc poly-p-phenylenvinylen. Đối với các polyme, tốt hơn nếu các polyme có các đơn vị monome đơn được bố trí được sử dụng, và các polyme có khối các đơn vị

monome khác nhau được đồng trùng hợp hoặc được đồng trùng hợp một cách ngẫu nhiên cũng được sử dụng. Các polyme được đồng trùng hợp ghép cũng có thể được sử dụng.

Theo phương án thứ hai của sáng chế, các polyme của chất bán dẫn hữu cơ chẳng hạn như các polythiophen, polypyrrol, và polyanilin tốt hơn là được sử dụng làm vật liệu bán dẫn của lớp bán dẫn thứ nhất, trong khi đó CNT tốt hơn là được sử dụng làm vật liệu bán dẫn của lớp bán dẫn thứ hai, chẳng hạn. Bằng cách làm như vậy, khi điện áp nhất định được đặt lên các điện cực thứ ba tương ứng của Phần tử nhớ (a) và Phần tử nhớ (b), Phần tử nhớ (a) và Phần tử nhớ (b) có thể được làm cho khác nhau về trị số cường độ dòng điện đi qua giữa điện cực thứ nhất và điện cực thứ hai.

(Lớp cách ly thứ nhất và Lớp cách ly thứ hai)

Phần sau mô tả lớp cách ly thứ nhất và lớp cách ly thứ hai theo phương án thứ ba của sáng chế (dựa vào lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49 được lấy làm ví dụ trên FIG.9A, FIG.9B, và FIG.10). Vật liệu cách ly để sử dụng trong lớp cách ly thứ nhất và lớp cách ly thứ hai không bị giới hạn ở vật liệu cụ thể chỉ cần vật liệu này có thể thay đổi các thuộc tính điện của lớp bán dẫn. Việc tạo thành lớp cách ly thứ nhất và lớp cách ly thứ hai cũng có thể bảo vệ lớp bán dẫn khỏi môi trường bên ngoài chẳng hạn như oxy hoặc nước.

Các ví dụ của vật liệu cách ly để sử dụng trong lớp cách ly thứ nhất và lớp cách ly thứ hai bao gồm các nhựa acrylic, nhựa epoxy, nhựa novolak, nhựa phenol, nhựa tiền chất polyimit, nhựa polyimit, nhựa polysiloxan, nhựa gốc Flo, và nhựa polyvinyl axetal.

Các nhựa acrylic là các nhựa chứa cấu trúc bắt nguồn từ ít nhất một monome acrylic làm đơn vị lặp lại. Các ví dụ cụ thể của monome acrylic bao gồm tất cả các hợp chất có liên kết đôi cacbon-cacbon. Các ví dụ ưu tiên của monome acrylic bao gồm các monome acrylic chẳng hạn như metyl acrylat, axit

acrylic, 2-ethylhexyl acrylat, etyl metacrylat, n-butyl acrylat, i-butyl acrylat, i-propyl acrylat, glycidyl acrylat, N-metoxymetyl acrylamit, N-etoxymetyl acrylamit, N-n-butoxymetyl acrylamit, N-isobutoxymetyl acrylamit, butoxytrietylen glycol acrylat, dixyclopentanyl acrylat, dixyclopentenyl acrylat, 2-hydroxyetyl acrylat, isobornyl acrylat, 2-hydroxypropyl acrylat, isodecyl acrylat, isooctyl acrylat, lauryl acrylat, 2-metoxyetyl acrylat, metoxyetylen glycol acrylat, metoxydietylen glycol acrylat, octaflopentyl acrylat, phenoxyetyl acrylat, stearyl acrylat, trifloetyl acrylat, acrylamit, aminoetyl acrylat, phenyl acrylat, ~~phenoxyetyl acrylat~~, 1-naphtyl acrylat, 2-naphtyl acrylat, thiophenol acrylat, và benzyl mercaptan acrylat và các hợp chất thu được bằng cách thay thế acrylat của các monome này với metacrylat. Các monome acrylic này có thể được sử dụng riêng, hoặc hai hoặc nhiều hơn hai monome này có thể được sử dụng kết hợp.

Các nhựa epoxy là các nhựa chứa cấu trúc có tiền polyme chứa hai hoặc nhiều hơn hai nhóm epoxy trong cấu trúc phân tử. Các ví dụ của tiền polyme bao gồm các hợp chất có khung biphenyl và các hợp chất có khung dixyclopentadien. Vật liệu cách ly để sử dụng trong lớp cách ly thứ nhất và lớp cách ly thứ hai có thể có chất hóa cứng ngoài nhựa epoxy. Các ví dụ của chất hóa cứng bao gồm các nhựa phenol novolak, bisphenol Các nhựa loại novolak, các hợp chất amino triazin, các hợp chất naphtol, và các hợp chất diamin. Lớp cách ly để sử dụng trong lớp cách ly thứ nhất và lớp cách ly thứ hai có thể còn có chất tăng tốc hóa cứng chẳng hạn như hợp chất chelat kim loại. Các ví dụ của hợp chất chelat kim loại bao gồm triphenylphosphin, các hợp chất gốc benzimidazol, và tris(2,4-pentanedionato)coban.

Các nhựa tiền chất polyimit dùng để chỉ các nhựa sẽ được chuyển đổi thành các nhựa polyimit bằng ít nhất một trong số các phản ứng đóng vòng bằng nhiệt và hóa học. Các ví dụ của các nhựa tiền chất polyimit bao gồm các axit polyamit, các este của axit polyamit, và các este của silyl axit polyamit.

Các nhựa tiền chất polyimit có thể được tổng hợp bằng phản ứng polime hóa của hợp chất diamin và axit dianhydrit hoặc dẫn xuất của axit này. Các ví dụ của dẫn xuất của axit dianhydrit bao gồm axit tetracacboxylic, axit clorua, và mono, di, tri và tetraeste của axit tetracacboxylic. Các ví dụ cụ thể của cấu trúc được este hóa bao gồm các cấu trúc được este hóa với nhóm methyl, nhóm etyl, nhóm n-propyl, nhóm isopropyl, nhóm n-butyl, nhóm sec-butyl, nhóm tert-butyl, hoặc nhóm tương tự. Phương pháp phản ứng polime hóa không bị giới hạn ở phương pháp cụ thể chỉ cần phương pháp này có thể chế tạo các nhựa tiền chất polyimit đích, và các phương pháp phản ứng đã biết có thể được sử dụng cho nhựa này.

Các nhựa polysiloxan là các đa trùng ngưng của các hợp chất silan. Các ví dụ của các hợp chất silan bao gồm, nhưng không bị giới hạn ở, dietoxydimethylsilan, dietoxydiphenylsilan, tetrametoxysilan, tetraetoxysilan, vinyltrimetoxysilan, methyltrimetoxysilan, etyltrimetoxysilan, propyltrimetoxysilan, hexyltrimetoxysilan, octadecyltrimetoxysilan, phenyltrimetoxysilan, p-tolyltrimetoxysilan, benzyltrimetoxysilan, α -naphthyltrimetoxysilan, β -naphthyltrimetoxysilan, trifloetyltrimetoxysilan, trimetoxysilan, và γ -metacryloxypropyltrimetoxysilan. Các hợp chất silan này có thể được sử dụng riêng, hoặc hai hoặc nhiều hơn hai hợp chất có thể được sử dụng kết hợp.

Các ví dụ của các nhựa gốc Flo bao gồm, nhưng không bị giới hạn ở, polyvinyliden florua (PVDF), poly(vinyliden florua-trifloetylen) (PVDF-TrFE), poly(vinyliden florua-tetrafloetylen) (PVDF-TeFE), poly(vinyliden florua-clotrifloetylen) (PVDF-CTFE), poly(vinyliden florua-clofloetylen) (PVDF-CFE), poly(vinyliden florua-trifloetylen-clofloetylen) (PVDF-TrFE-CFE), poly(vinyliden florua-trifloetylen-clotrifloetylen) (PVDF-TrFE-CTFE), tetrafloetylen, poly(vinyliden florua-hexaflopropylen), polytriclofloetylen, polyclotrifloetylen, copolyme của etylen-clotrifloetylen, polyvinyl florua,

copolyme của tetrafloetylen-perflodioxole, copolyme của etylen-tetrafloetylen, copolyme của perfloetylenpropen, và perfloalkoxyalkan. Các nhựa gốc Flo này có thể được sử dụng riêng, hoặc hai hoặc nhiều hơn hai nhựa này có thể được sử dụng kết hợp.

Các nhựa polyvinyl axetal là các nhựa thu được bằng cách axetal hóa các rượu polyvinyl. Các ví dụ của các nhựa polyvinyl axetal bao gồm polyvinyl butyral.

Các ví dụ của các nhựa khác bao gồm styren, các dẫn xuất của styren chẳng hạn như p-metylstyren, o-metylstyren, m-metylstyren, p-hydroxystyren, o-hydroxystyren, m-hydroxystyren, α -metylstyren, clometylstyren, và hydroxymetylstyren, các nhựa chứa cấu trúc bắt nguồn từ monome gốc vinyl chẳng hạn như 1-vinyl-2-pyrrolidon, và các nhựa chứa cấu trúc hydrocacbon vòng chẳng hạn như xycloolefin. Monome gốc vinyl, mà không bị giới hạn ở các monome này, có thể được sử dụng riêng, hoặc hai hoặc nhiều hơn hai monome này có thể được sử dụng kết hợp.

Ngoài vật liệu cách ly, lớp cách ly thứ nhất và lớp cách ly thứ hai có thể chứa các vật liệu vô cơ chẳng hạn như silicon oxit, alumin, ziricon và các hợp chất chứa nitơ nguyên tử chẳng hạn như các hợp chất gốc amit, các hợp chất gốc imit, các hợp chất gốc ure, các hợp chất gốc amin, các hợp chất gốc imin, các hợp chất gốc anilin, và các hợp chất gốc nitril. Lớp cách ly thứ nhất và lớp cách ly thứ hai chứa các hợp chất này và nhờ đó, còn có thể thay đổi các thuộc tính điện của lớp bán dẫn chẳng hạn như điện áp ngưỡng và trị số cường độ dòng điện.

Cụ thể là, các ví dụ của các hợp chất gốc amit bao gồm polyamit, formamit, axetamit, poly-N-vinylaxetamit, N,N-dimetylformamit, axetanilit, benzanilit, N-metylbenzanilit, sulfonamit, nylon, polyvinylpyrrolidon, N-metylpyrrolidon, polyvinylpolypyrrolidon, β -lactam, γ -lactam, δ -lactam, và ϵ -caprolactam. Các ví dụ của các hợp chất gốc imit bao gồm polyimit, phtalimit,

maleimit, aloxan, và suxinimit. Các ví dụ của các hợp chất gốc ure bao gồm uraxil, thymine, ure, polyurethan, axetohexamit, alantoin, 2-imidazolidinon, 1,3-dimetyl-2-imidazolidinon, dixyandiamidin, và xitruilin. Các ví dụ của các hợp chất gốc amin bao gồm metylamin, dimetylamin, trimetylamin, etylamin, dietylamin, trietylamin, diisopropyletylamin, xyclohexylamin, metylcyclohexylamin, dimetylxcyclohexylamin, dixycyclohexylamin, dixycyclohexylmetylamin, trixycyclohexylamin, xyclooctylamin, xyclodecylamin, xyclododecylamin, 1-azabixyclo[2.2.2]octan (quinuclidin), 1,8-diazabixyclo[5.4.0]undec-7-en (DBU), 1,5-diazabixyclo[4.3.0]non-5-en (DBN), 1,5,7-triazabixyclo[4.4.0]dec-5-en (TBD), 7-metyl-1,5,7-triazabixyclo[4.4.0]dec-5-en (MTBD), poly(melamin-co-formaldehyt), tetrametyletylendiamin, piperidin, julolidin, và phenylalanin. Các ví dụ của các hợp chất gốc imin bao gồm imidazol, pyrimidin, và axit poly(melamin-co-formaldehyt) metylaminobenzoic. Các ví dụ của các hợp chất gốc anilin bao gồm anilin, diphenylamin, và triphenylamin. Các ví dụ của các hợp chất gốc nitril bao gồm axetonitril và acrylonitril.

Trong số lớp cách ly thứ nhất và lớp cách ly thứ hai, một trong số các lớp này tốt hơn là chứa nhựa có nhóm phân cực, trong khi đó lớp còn lại trong số chúng tốt hơn là không chứa nhựa bất kỳ có nhóm phân cực. Các ví dụ của nhóm phân cực bao gồm nhóm hydroxy, nhóm cacboxy, nhóm cacbonyl, nhóm aldehyt, nhóm amino, nhóm imino, nhóm nitro, nhóm sulfo, nhóm cyano, nhóm glycidyl, và halogen. Một phần của các nhóm phân cực này có thể được thế.

Theo sáng chế, nhựa có nhóm phân cực dùng để chỉ nhựa có nhóm phân cực trong đơn vị lặp lại của nhựa. Khi nhựa chứa nhiều đơn vị lặp lại, thì nhóm phân cực chỉ được yêu cầu được chứa trong ít nhất một trong số các đơn vị lặp lại này.

Lớp cách ly thứ nhất chứa nhựa có nhóm phân cực và lớp cách ly thứ hai không chứa nhựa có nhóm phân cực khác nhau về độ điện thẩm tương đối. Với

kết cấu này, các điện áp ngưỡng tương ứng của các lớp bán dẫn tiếp xúc với lớp cách ly thứ nhất và lớp cách ly thứ hai có thể được thay đổi đến mức độ mà các điện áp này khác nhau.

Độ điện thẩm tương đối của các vật liệu cách ly tương ứng được chứa trong lớp cách ly thứ nhất và lớp cách ly thứ hai có thể được đo như sau. Đầu tiên, các vật liệu cấu trúc tương ứng của lớp cách ly thứ nhất và lớp cách ly thứ hai được xác định. Quy trình xác định này có thể được thực hiện bằng cách sử dụng các loại phương pháp phân tích hữu cơ và phương pháp phân tích vô cơ khác nhau chẳng hạn như phân tích nguyên tố, phân tích cộng hưởng từ hạt nhân, phân tích phổ học tia hồng ngoại, và phổ học quang điện tử bằng tia X một cách riêng lẻ hoặc kết hợp với nhau. Tụ điện được chế tạo bằng mỗi vật liệu trong số các vật liệu cấu trúc được xác định bằng quy trình xác định này được sử dụng làm lớp điện môi, và điện dung khi điện áp AC được đặt lên tụ điện này với tần số 1kHz được đo. Tụ điện dung (C) được đo, vùng điện cực của tụ điện (S), và độ dày màng là lớp điện môi (d), độ điện thẩm tương đối (ϵ_r) được tính toán bằng cách sử dụng biểu thức sau.

$$C = \epsilon_r \epsilon_0 S / d$$

trong đó độ điện thẩm trong chân không (ϵ_0) bằng $8,854 \times 10^{-12}$.

Độ dày màng là lớp cách ly thứ nhất và lớp cách ly thứ hai thường lớn hơn hoặc bằng 50nm và nhỏ hơn hoặc bằng 10 μ m và tốt hơn là lớn hơn hoặc bằng 100nm và nhỏ hơn hoặc bằng 3 μ m. Mỗi lớp trong số lớp cách ly thứ nhất và lớp cách ly thứ hai có thể được tạo thành gồm một lớp hoặc được tạo thành gồm nhiều lớp. Trong mỗi lớp trong số lớp cách ly thứ nhất và lớp cách ly thứ hai, một lớp có thể được tạo thành bằng nhiều vật liệu cách ly, hoặc nhiều lớp có thể được tạo thành bằng cách xếp chồng nhiều vật liệu cách ly.

<Phương pháp chế tạo màng nhớ>

Phần sau mô tả phương pháp chế tạo mảng nhớ theo sáng chế. Phương pháp chế tạo mảng nhớ theo sáng chế chế tạo mảng nhớ theo phương án thứ nhất, mảng nhớ theo phương án thứ hai, hoặc mảng nhớ theo phương án thứ ba. Phương pháp chế tạo này bao gồm ít nhất quy trình phủ để tạo thành lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các phần tử nhớ bằng cách phủ. Trong phương pháp chế tạo này, các phương pháp để tạo thành các điện cực, các lớp cách ly, và các lớp bán dẫn được bao gồm trong các phần tử nhớ được bao gồm trong mảng nhớ cần được chế tạo là giống như được mô tả ở trên. Thứ tự của các phương pháp tạo thành này được lựa chọn một cách phù hợp, nhờ đó mảng nhớ theo sáng chế có thể được chế tạo.

Đầu tiên, phần sau đây mô tả một cách cụ thể ví dụ của phương pháp chế tạo mảng nhớ theo phương án thứ nhất của sáng chế. FIG.11 là hình vẽ sơ đồ của ví dụ của phương pháp chế tạo mảng nhớ theo phương án thứ nhất của sáng chế. Phương pháp chế tạo mảng nhớ theo phương án thứ nhất của sáng chế bao gồm các loại quy trình khác nhau để tạo thành nhiều phần tử nhớ, ít nhất một đường từ, và nhiều đường bit được bao gồm trong mảng nhớ này chẳng hạn như quy trình tạo thành điện cực thứ nhất và dây dẫn, quy trình tạo thành lớp cách ly, quy trình tạo thành điện cực thứ hai và dây dẫn, và quy trình phủ.

Cụ thể là, như được minh họa trên FIG.11, đầu tiên, quy trình tạo thành điện cực thứ nhất và dây dẫn (Quy trình ST1) được thực hiện. Trong quy trình ST1 này, ít nhất một đường từ (đường từ 10, chẳng hạn) và nhiều điện cực thứ ba 2 được tạo thành đồng thời trên nền 1 bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ, chẳng hạn. Trong quy trình này, khi có một số đường từ cần thiết (đường từ 11 được minh họa trên FIG.1, chẳng hạn) cách xa đường từ 10 được minh họa trên FIG.11, thì số lượng cần thiết các đường từ được tạo thành sao cho được bố trí cách xa nhau kéo dài theo hướng nhất định. Mặc dù FIG.11 minh họa hai điện cực thứ ba 2, nhưng số lượng các điện cực bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên nền 1. Các

điện cực thứ ba 2 này được nối với một trong số ít nhất một đường từ chẳng hạn như đường từ 10 được minh họa trên FIG.11 qua các dây dẫn tương ứng.

Tiếp theo, như được minh họa trên FIG.11, quy trình tạo thành lớp cách ly (Quy trình ST2) được thực hiện. Trong quy trình ST2 này, nhiều lớp cách ly 3 được tạo thành trên nền 1 tương ứng với các điện cực thứ ba 2 bằng phương pháp nêu trên, hoặc in, chẳng hạn. Mỗi trong số các lớp cách ly 3 tiếp xúc với điện cực thứ ba 2 từ phía trên và kẹp điện cực thứ ba 2 giữa lớp cách ly 3 và nền 1 để bao phủ điện cực thứ ba 2.

Tiếp theo, như được minh họa trên FIG.11, quy trình tạo thành điện cực thứ hai và dây dẫn (Quy trình ST3) được thực hiện. Trong quy trình ST3 này, nhiều đường bit (các đường bit 12 và 13, chẳng hạn) và nhiều cặp điện cực thứ nhất 5 và điện cực thứ hai 6 được tạo thành đồng thời bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ bằng cách sử dụng cùng vật liệu, chẳng hạn. Trong quy trình này, các đường bit 12 và 13 được tạo thành trên nền 1 sao cho được bố trí cách xa nhau khi kéo dài theo hướng vắt ngang ít nhất một đường từ (đường từ 10, chẳng hạn). Khi có một số đường bit cần thiết cách xa các đường bit 12 và 13 được minh họa trên FIG.11, thì số lượng cần thiết các đường bit được tạo thành tương tự với các đường bit 12 và 13 này. Mặc dù hai cặp điện cực thứ nhất 5 và điện cực thứ hai 6 (hai điện cực thứ nhất 5 và hai điện cực thứ hai 6) được minh họa trên FIG.11, nhưng số lượng cặp điện cực bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên các lớp cách ly 3 tương ứng. Mỗi trong số các điện cực thứ nhất 5 được nối với một trong số các đường bit chẳng hạn như đường bit 12 hoặc đường bit 13 được minh họa trên FIG.11 qua dây dẫn.

Tiếp theo, như được minh họa trên FIG.11, quy trình phủ (Quy trình ST4) được thực hiện. Lớp phủ cần được phủ trong Quy trình ST4 này là lớp bán dẫn 4. Trong quy trình ST4 này, phần tử nhớ, mà lớp phủ cần được phủ lên phần tử này, được lựa chọn trong số các phần tử nhớ trên nền 1 tương ứng với thông tin cần

được ghi. Tiếp theo, lớp bán dẫn 4 được tạo thành bằng cách phủ trong vùng giữa điện cực thứ nhất 5 và điện cực thứ hai 6 của phần tử nhớ được lựa chọn, mà lớp phủ cần được phủ lên phần tử này, (phần tử nhớ 14 trên FIG.11). Dung dịch chứa CNT được phủ lên vùng giữa điện cực thứ nhất 5 và điện cực thứ hai 6 của phần tử nhớ 14 và được sấy khô nếu cần để tạo thành lớp bán dẫn 4, chẳng hạn. Ngược lại, lớp bán dẫn 4 không được tạo thành trong phần tử nhớ không được lựa chọn làm phần tử nhớ, mà lớp phủ cần được phủ lên phần tử này, (phần tử nhớ 15 trên FIG.11) trong số các phần tử nhớ. Do đó, các phần tử nhớ trên nền 1 được chế tạo tách biệt thành hai loại phần tử nhớ khác nhau về các thuộc tính điện (tức là, khác nhau về thông tin cần được ghi) theo sự có mặt hoặc không có mặt của lớp bán dẫn 4. Do đó, mảng nhớ (mảng nhớ 200 được minh họa trên FIG.1, chẳng hạn) mà ghi thông tin duy nhất được xác định theo cách bố trí bất kỳ của hai loại phần tử nhớ này có thể được chế tạo.

Phương pháp phủ trong Quy trình ST4, mà không bị giới hạn ở phương pháp cụ thể, tốt hơn là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán, và phun mực. Trong số các phương pháp này, phụt mực được ưu tiên làm phương pháp phủ hơn khi xem xét khả năng gia công mẫu hình của điện cực và dây dẫn và hiệu quả sử dụng vật liệu thô.

Phần sau đây mô tả một cách cụ thể ví dụ của phương pháp chế tạo mảng nhớ theo phương án thứ hai của sáng chế. FIG.12 là hình vẽ sơ đồ của ví dụ của phương pháp chế tạo mảng nhớ theo phương án thứ hai của sáng chế. Phương pháp chế tạo mảng nhớ theo phương án thứ hai bao gồm các loại quy trình khác nhau để tạo thành nhiều phần tử nhớ, ít nhất một đường từ, và nhiều đường bit được bao gồm trong mảng nhớ này chẳng hạn như quy trình tạo thành điện cực thứ nhất và dây dẫn, quy trình tạo thành lớp cách ly, quy trình tạo thành điện cực thứ hai và dây dẫn, và quy trình phủ.

Cụ thể là, như được minh họa trên FIG.12, đầu tiên, quy trình tạo thành điện cực thứ nhất và dây dẫn (Quy trình ST11) được thực hiện. Trong quy trình

ST11 này, ít nhất một đường từ (đường từ 30, chẳng hạn) và nhiều điện cực thứ ba 22 được tạo thành đồng thời trên nền 21 bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ, chẳng hạn. Trong quy trình này, khi có một số đường từ cần thiết (đường từ 31 được minh họa trên FIG.4, chẳng hạn) cách xa đường từ 30 được minh họa trên FIG.12, thì số lượng cần thiết các đường từ được tạo thành sao cho được bố trí cách xa nhau kéo dài theo hướng nhất định. Mặc dù FIG.12 minh họa hai điện cực thứ ba 22, nhưng số lượng các điện cực bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên nền 21. Các điện cực thứ ba 22 này được nối với một trong số ít nhất một đường từ chẳng hạn như đường từ 30 được minh họa trên FIG.12 qua các dây dẫn tương ứng.

Tiếp theo, như được minh họa trên FIG.12, quy trình tạo thành lớp cách ly (Quy trình ST12) được thực hiện. Trong quy trình ST12 này, nhiều lớp cách ly 23 được tạo thành trên nền 21 tương ứng với các điện cực thứ ba 22 bằng phương pháp nêu trên, hoặc in, chẳng hạn. Mỗi trong số các lớp cách ly 23 tiếp xúc với điện cực thứ ba 22 từ phía trên và kẹp điện cực thứ ba 22 giữa lớp cách ly 23 và nền 21 để bao phủ điện cực thứ ba 22.

Tiếp theo, như được minh họa trên FIG.12, quy trình tạo thành điện cực thứ hai và dây dẫn (Quy trình ST13) được thực hiện. Trong quy trình ST13 này, nhiều đường bit (các đường bit 32 và 33, chẳng hạn) và nhiều cặp điện cực thứ nhất 25 và điện cực thứ hai 26 được tạo thành đồng thời bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ bằng cách sử dụng cùng vật liệu, chẳng hạn. Trong quy trình này, các đường bit 32 và 33 được tạo thành trên nền 21 sao cho được bố trí cách xa nhau khi kéo dài theo hướng vắt ngang ít nhất một đường từ (đường từ 30, chẳng hạn). Khi có một số đường bit cần thiết cách xa các đường bit 32 và 33 được minh họa trên FIG.12, thì số lượng cần thiết các đường bit được tạo thành tương tự với các đường bit 32 và 33 này. Mặc dù hai cặp điện cực thứ nhất 25 và điện cực thứ hai 26 (hai điện cực thứ nhất 25 và hai điện cực thứ hai 26) được minh họa trên FIG.12, nhưng số lượng các cặp điện cực bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên các lớp

cách ly 23 tương ứng. Mỗi trong số các điện cực thứ nhất 25 được nối với một trong số các đường bit chẳng hạn như đường bit 32 hoặc đường bit 33 được minh họa trên FIG.12 qua dây dẫn.

Tiếp theo, như được minh họa trên FIG.12, quy trình phủ (Quy trình ST14) được thực hiện. Các lớp phủ cần được phủ trong Quy trình ST14 này là các lớp bán dẫn 24 và 27 khác nhau về các thuộc tính điện. Trong quy trình ST14 này, lớp bán dẫn 24 hoặc lớp bán dẫn 27 được tạo thành bằng cách phủ trong vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 của mỗi phần tử trong số các phần tử nhớ trên nền 21 tương ứng với thông tin cần được ghi. Dung dịch chứa poly(3-hexylthiophen) (P3HT) được phủ lên vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 của phần tử nhớ 35 và được sấy khô nếu cần để tạo thành lớp bán dẫn 27, chẳng hạn. Dung dịch chứa CNT được phủ lên vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 của phần tử nhớ 34 và được sấy khô nếu cần để tạo thành lớp bán dẫn 24. Do đó, các phần tử nhớ trên nền 21 được chế tạo tách biệt thành hai loại phần tử nhớ khác nhau về các thuộc tính điện (tức là, khác nhau về thông tin cần được ghi) tùy theo lớp nào trong số các lớp bán dẫn 24 và 27 được bao gồm trong phần tử. Do đó, mảng nhớ (mảng nhớ 300 được minh họa trên FIG.4, chẳng hạn) mà ghi thông tin duy nhất được xác định theo cách bố trí bất kỳ của hai loại phần tử nhớ này có thể được chế tạo.

Phương pháp phủ trong Quy trình ST14 tốt hơn là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán, và phun mực tương tự với quy trình phủ (Quy trình ST4) theo phương án thứ nhất. Trong số các phương pháp này, phụt mực được ưu tiên hơn.

Các ví dụ của phương pháp để tạo ra các thuộc tính điện khác nhau cho phần tử nhớ 34 và phần tử nhớ 35 bao gồm các phương pháp sau đây ngoài cách làm cho các vật liệu bán dẫn tương ứng tạo thành các lớp bán dẫn 24 và 27 khác nhau. Một là phương pháp làm cho lượng phủ của dung dịch CNT khi lớp bán dẫn 24 được tạo thành lớn hơn lượng phủ của dung dịch CNT khi lớp bán dẫn

27 được tạo thành và nhờ đó làm cho độ dày màng là lớp bán dẫn 24 lớn hơn độ dày màng là lớp bán dẫn 27 (dựa vào FIG.5). Phương pháp khác là phương pháp làm cho nồng độ dung dịch CNT khi lớp bán dẫn 24 được tạo thành cao hơn nồng độ dung dịch CNT khi lớp bán dẫn 27 được tạo thành trong khi cân bằng các lượng phủ tương ứng của các vật liệu bán dẫn khi lớp bán dẫn 24 và lớp bán dẫn 27 được tạo thành (dựa vào FIG.7). Nhờ các phương pháp này, phân tử nhớ 34 được khiến cho ghi một thông tin "0" và "1", trong khi đó phân tử nhớ 35 được khiến cho ghi thông tin còn lại, chẳng hạn, nhờ đó cách bố trí của các phân tử nhớ với sự kết hợp bất kỳ của hai loại phân tử nhớ mà ghi các đoạn thông tin tương ứng khác nhau, tức là, mảng nhớ có thể được chế tạo bằng cùng quy trình. Nên lưu ý rằng phương pháp khác có thể được sử dụng chỉ cần nó là phương pháp có thể làm cho các thuộc tính điện của các lớp bán dẫn đủ khác nhau.

Phần sau đây mô tả một cách cụ thể ví dụ của phương pháp chế tạo mảng nhớ theo phương án thứ ba của sáng chế. FIG.13 là hình vẽ sơ đồ của ví dụ của phương pháp chế tạo mảng nhớ theo phương án thứ ba của sáng chế. Phương pháp chế tạo mảng nhớ theo phương án thứ ba bao gồm các loại quy trình khác nhau để tạo thành nhiều phân tử nhớ, ít nhất một đường từ, và nhiều đường bit được bao gồm trong mảng nhớ này chẳng hạn như quy trình tạo thành điện cực thứ nhất và dây dẫn, quy trình tạo thành lớp cách ly, quy trình tạo thành điện cực thứ hai và dây dẫn, quy trình tạo thành lớp bán dẫn, và quy trình phủ.

Cụ thể là, như được minh họa trên FIG.13, đầu tiên, quy trình tạo thành điện cực thứ nhất và dây dẫn (Quy trình ST21) được thực hiện. Trong quy trình ST21 này, ít nhất một đường từ (đường từ 50, chẳng hạn) và nhiều điện cực thứ ba 42 được tạo thành đồng thời trên nền 41 bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ, chẳng hạn. Trong quy trình này, khi có một số đường từ cần thiết (đường từ 51 được minh họa trên FIG.8, chẳng hạn) cách xa đường từ 50 được minh họa trên FIG.13, thì số lượng cần thiết các đường từ được tạo thành sao cho được bố trí cách xa nhau kéo dài theo hướng nhất định. Mặc dù FIG.13 minh họa hai điện cực thứ ba 42, nhưng số lượng các điện cực

bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên nền 41. Các điện cực thứ ba 42 này được nối với một trong số ít nhất một đường từ chẳng hạn như đường từ 50 được minh họa trên FIG.13 qua các dây dẫn tương ứng.

Tiếp theo, như được minh họa trên FIG.13, quy trình tạo thành lớp cách ly (Quy trình ST22) được thực hiện. Trong quy trình ST22 này, nhiều lớp cách ly 43 được tạo thành trên nền 41 tương ứng với các điện cực thứ ba 42 bằng phương pháp nêu trên, hoặc in, chẳng hạn. Mỗi trong số các lớp cách ly 43 tiếp xúc với điện cực thứ ba 42 từ phía trên và kẹp điện cực thứ ba 42 giữa lớp cách ly 43 và nền 41 để bao phủ điện cực thứ ba 42.

Tiếp theo, như được minh họa trên FIG.13, quy trình tạo thành điện cực thứ hai và dây dẫn (Quy trình ST23) được thực hiện. Trong quy trình ST23 này, nhiều đường bit (các đường bit 52 và 53, chẳng hạn) và nhiều cặp điện cực thứ nhất 45 và điện cực thứ hai 46 được tạo thành đồng thời bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ bằng cách sử dụng cùng vật liệu, chẳng hạn. Trong quy trình này, các đường bit 52 và 53 được tạo thành trên nền 41 sao cho được bố trí cách xa nhau khi kéo dài theo hướng vắt ngang ít nhất một đường từ (đường từ 50, chẳng hạn). Khi có một số đường bit cần thiết cách xa các đường bit 52 và 53 được minh họa trên FIG.13, thì số lượng cần thiết các đường bit được tạo thành tương tự với các đường bit 52 và 53 này. Mặc dù hai cặp điện cực thứ nhất 45 và điện cực thứ hai 46 (hai điện cực thứ nhất 45 và hai điện cực thứ hai 46) được minh họa trên FIG.13, nhưng số lượng các cặp điện cực bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên các lớp cách ly 43 tương ứng. Mỗi trong số các điện cực thứ nhất 45 được nối với một trong số các đường bit chẳng hạn như đường bit 52 hoặc đường bit 53 được minh họa trên FIG.13 qua dây dẫn.

Tiếp theo, như được minh họa trên FIG.13, quy trình tạo thành lớp bán dẫn (Quy trình ST24) được thực hiện. Trong quy trình ST24 này, lớp bán dẫn 44 được tạo thành trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 của

mỗi phần tử trong số các phần tử nhớ cần được chế tạo để tiếp xúc với lớp cách ly 43. Dung dịch chứa CNT được phủ lên vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 là các thành phần của phần tử nhớ 54 và được sấy khô nếu cần để tạo thành lớp bán dẫn 44 tiếp xúc với mặt trên của lớp cách ly 43, chẳng hạn. Tương tự, lớp bán dẫn 44 được tạo thành trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 là các thành phần của phần tử nhớ 55.

Tiếp theo, như được minh họa trên FIG.13, quy trình phủ (Quy trình ST25) được thực hiện. Lớp phủ cần được phủ trong Quy trình ST25 này là lớp cách ly thứ nhất 48 hoặc lớp cách ly thứ hai 49 khác nhau về các thuộc tính điện. Trong quy trình ST25 này, lớp cách ly thứ nhất 48 hoặc lớp cách ly thứ hai 49 được tạo thành trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 của mỗi phần tử trong số các phần tử nhớ trên nền 41 để tiếp xúc với lớp bán dẫn 44 ở phía đối diện lớp cách ly 43 tương ứng với thông tin cần được ghi. Đối với phần tử nhớ 54, dung dịch chứa vật liệu cách ly để tạo thành lớp cách ly thứ nhất 48 được phủ lên vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 để bao phủ lớp bán dẫn 44 và được sấy khô nếu cần để tạo thành lớp cách ly thứ nhất 48, chẳng hạn. Đối với phần tử nhớ 55, dung dịch chứa vật liệu cách ly để tạo thành lớp cách ly thứ hai 49 được phủ lên vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 để bao phủ lớp bán dẫn 44 và được sấy khô nếu cần để tạo thành lớp cách ly thứ hai 49. Do đó, các phần tử nhớ trên nền 41 được chế tạo tách biệt thành hai loại phần tử nhớ khác nhau về các thuộc tính điện (tức là, khác nhau về thông tin cần được ghi) tùy theo lớp nào trong số lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49 được bao gồm trong phần tử. Do đó, mảng nhớ (mảng nhớ 500 được minh họa trên FIG.8, chẳng hạn) mà ghi thông tin duy nhất được xác định theo cách bố trí bất kỳ của hai loại phần tử nhớ này có thể được chế tạo.

Phương pháp phủ trong Quy trình ST25 tốt hơn là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán, và phun mực tương tự với quy trình phủ (Quy trình ST4) theo phương án thứ nhất. Trong số các phương

pháp này, phụt mực được ưu tiên hơn.

Như được mô tả ở trên, khi mảng nhớ theo phương án thứ nhất và thứ hai của sáng chế được chế tạo, quy trình xử lý theo lô có thể được sử dụng, quy trình này tạo thành các thành phần tương ứng của tất cả các phần tử nhớ cần được chế tạo trên cùng nền theo cách hàng loạt trong các quy trình trước khi tạo thành lớp bán dẫn. Sau đó, lớp bán dẫn có thể được tạo thành theo cách có chọn lọc chỉ trong phần tử nhớ cụ thể bằng cách phủ, hoặc hai loại trong số các lớp bán dẫn khác nhau về các thuộc tính điện có thể được tạo ra tách biệt đối với mỗi phần tử trong số các phần tử nhớ bằng cách phủ.

Khi mảng nhớ theo phương án thứ ba của sáng chế được chế tạo, quy trình xử lý theo lô có thể được sử dụng, quy trình này tạo thành các thành phần tương ứng của tất cả các phần tử nhớ cần được chế tạo trên cùng nền theo cách hàng loạt trong các quy trình cho đến khi tạo thành lớp bán dẫn. Sau đó, lớp cách ly thứ nhất và lớp cách ly thứ hai khác nhau về thành phần vật liệu có thể được tạo ra tách biệt đối với mỗi phần tử trong số các phần tử nhớ bằng cách phủ.

Theo phương pháp bất kỳ trong số các phương pháp chế tạo mảng nhớ theo phương án thứ nhất đến thứ ba, các phần tử nhớ có thể ghi thông tin "0" hoặc "1" có thể được chế tạo tách biệt trong cùng quy trình bằng cách sử dụng phương pháp đơn giản, hoặc phương pháp phủ.

Phương pháp chế tạo bất kỳ theo phương án thứ nhất đến thứ ba có lợi về mặt các quy trình và chi phí khi nhiều mảng nhớ khác nhau về thông tin được ghi được chế tạo. Các mảng nhớ khác nhau về thông tin được ghi khác nhau về cách bố trí với sự kết hợp bất kỳ của phần tử nhớ ghi thông tin "0" và phần tử nhớ ghi thông tin "1." Khi các mảng nhớ được tạo thành sao cho cách bố trí của hai loại phần tử nhớ này khác nhau giữa mảng nhớ này với mảng nhớ kia, thì các quy trình và chi phí thường gia tăng vì một số lý do chẳng hạn như cần các mặt nạ quang tương ứng với các mảng nhớ tương ứng. Các phương pháp chế tạo

mảng nhớ theo phương án thứ nhất đến thứ ba của sáng chế có thể thay đổi vị trí của phần tử nhớ mà lớp phủ chẳng hạn như lớp bán dẫn, lớp cách ly thứ nhất, hoặc lớp cách ly thứ hai cần được tạo thành trên phần tử nhớ này cho mỗi mảng trong số các mảng nhớ một cách đơn giản mà không sử dụng mặt nạ bất kỳ và nhờ đó, có thể chế tạo nhiều loại mảng nhớ khác nhau về cách bố trí của hai loại phần tử nhớ. Do đó, nhiều mảng nhớ khác nhau về thông tin được ghi có thể được chế tạo bằng các quy trình đơn giản và với chi phí thấp.

<Mạch nhớ>

Phần sau mô tả mạch nhớ bao gồm mảng nhớ theo phương án thứ nhất đến thứ ba của sáng chế. FIG.14 là hình vẽ sơ đồ khối của ví dụ về kết cấu của mạch nhớ bao gồm mảng nhớ theo sáng chế. Như được minh họa trên FIG.14, mạch nhớ 130 này có mảng nhớ 131, mạch dao động vòng 132, mạch đếm 133, và mạch lật 134. Mảng nhớ 131 là mảng nhớ theo sáng chế và là mảng nhớ 200, mảng nhớ 300, hoặc mảng nhớ 500 theo phương án thứ nhất đến thứ ba, chẳng hạn.

Trong mạch nhớ 130 này, tín hiệu đồng hồ được tạo ra từ mạch dao động vòng 132 được nhập vào mạch đếm 133. Với hoạt động này, mạch đếm 133 kết xuất các tín hiệu lựa chọn tương ứng đến các đường bit (các đường bit 12 và 13 được minh họa trên FIG.1, chẳng hạn) và các đường từ (các đường từ 10 và 11 được minh họa trên FIG.1, chẳng hạn) của mảng nhớ 131. Với việc kết xuất các tín hiệu lựa chọn này, phần tử nhớ mà thông tin cần được đọc từ đó được lựa chọn liên tục theo thứ tự nhất định trong số nhiều phần tử nhớ trong mảng nhớ 131 (các phần tử nhớ 14 đến 17 được minh họa trên FIG.1, chẳng hạn). Các đoạn thông tin tương ứng (thông tin nhị phân chẳng hạn như "0" hoặc "1", chẳng hạn) được ghi trong các phần tử nhớ được đọc liên tục tương ứng với thứ tự lựa chọn này. Các đoạn thông tin này được sắp xếp theo thứ tự đọc được nhập từ mảng nhớ 131 vào mạch lật 134 dưới dạng thông tin duy nhất của mảng nhớ 131. Mạch lật 134, trên cơ sở tín hiệu đồng hồ được nhập từ mạch dao động vòng 132

và các đoạn thông tin được nhập từ mảng nhớ 131, thực hiện quy trình ổn định hóa đối với các đoạn thông tin. Các đoạn thông tin trải qua quy trình ổn định hóa được kết xuất từ mạch lật 134 ra ngoài mạch nhớ 130 dưới dạng thông tin duy nhất của mảng nhớ 131.

Các tranzito được bao gồm trong các mạch, hoặc mạch dao động vòng 132, mạch đếm 133, và mạch lật 134 có thể là các tranzito thường được sử dụng, trong đó các vật liệu được sử dụng và hình dạng không bị giới hạn ở các vật liệu và hình dạng cụ thể. Các vật liệu nối điện các mạch với nhau có thể là các vật liệu bất kỳ chỉ cần chúng là các vật liệu dẫn điện có thể được sử dụng phổ biến. Phương pháp nối các mạch có thể là phương pháp bất kỳ chỉ cần phương pháp này có thể thiết lập tính liên tục về điện, và các bộ phận nối giữa các mạch có chiều rộng và độ dày bất kỳ.

<Tấm mảng nhớ>

Phần sau mô tả tấm mảng nhớ theo sáng chế. Ví dụ của tấm mảng nhớ theo sáng chế bao gồm sự kết hợp của nhiều mảng nhớ bất kỳ trong số các mảng nhớ theo phương án thứ nhất đến thứ ba được tạo thành trên tấm. Trong tấm mảng nhớ này, tấm là nền dạng tấm và được sử dụng thay cho nền theo phương án thứ nhất đến thứ ba. Các đoạn thông tin tương ứng được ghi trong các mảng nhớ được tạo thành trên tấm khác nhau. Phần sau mô tả tấm mảng nhớ này làm phương án thứ tư của sáng chế.

(Phương án thứ tư)

FIG.15 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu của tấm mảng nhớ theo phương án thứ tư của sáng chế. Như được minh họa trên FIG.15, tấm mảng nhớ này 65 theo phương án thứ tư có nhiều mảng nhớ, hoặc bốn mảng nhớ, ví dụ, bao gồm mảng nhớ 61, mảng nhớ 62, mảng nhớ 63, và mảng nhớ 64 trên tấm 60. Bốn mảng nhớ 61 đến 64 này ghi các đoạn thông tin tương ứng khác nhau, hoặc các đoạn thông tin tương ứng duy nhất đối với các mảng nhớ tương

ứng (các đoạn thông tin tương ứng duy nhất), chẳng hạn.

Mặc dù FIG.15 là ví dụ cho tấm mảng nhớ 65 có bốn mảng nhớ 61 đến 64 để đơn giản hóa việc mô tả, tấm mảng nhớ 65 theo phương án thứ tư không bị giới hạn ở tấm có bốn mảng nhớ 61 đến 64 và có thể là tấm có hai hoặc nhiều hơn hai mảng nhớ.

Mỗi mảng trong số các mảng nhớ 61 đến 64 theo phương án thứ tư có kết cấu tương tự với kết cấu của mảng nhớ bất kỳ trong số các mảng nhớ 200, 300, và 500 (dựa vào FIG.1, FIG.4, và FIG.8) theo phương án thứ nhất đến thứ ba, chẳng hạn. FIG.16 là hình vẽ sơ đồ giản lược minh họa tấm mảng nhớ theo phương án thứ tư của sáng chế một cách chi tiết hơn. FIG.16 là ví dụ cho tấm mảng nhớ 65 trong đó bốn mảng nhớ 61 đến 64 được tạo thành trên tấm 60, mỗi mảng chứa bốn phần tử nhớ.

Cụ thể là, như được minh họa trên FIG.16, mỗi mảng trong số các mảng nhớ 61 đến 64 có sự kết hợp của bốn phần tử nhớ bao gồm hai loại phần tử nhớ 66 và 67 ghi các đoạn thông tin nhị phân tương ứng ("0" hoặc "1", chẳng hạn) khác nhau.

Là ví dụ thứ nhất của phương án thứ tư, phần tử nhớ 66 và phần tử nhớ 67 ghi các đoạn thông tin tương ứng khác nhau theo sự có mặt hoặc không có mặt của lớp bán dẫn. Nói cách khác, phần tử nhớ 66 và phần tử nhớ 67 tương tự với hai loại phần tử nhớ theo phương án thứ nhất. Cụ thể là, phần tử nhớ 66 có kết cấu tương tự với kết cấu của phần tử nhớ 14 (dựa vào FIG.2 và FIG.3) có lớp bán dẫn 4 trong vùng giữa điện cực thứ nhất 5 và điện cực thứ hai 6 theo phương án thứ nhất. Phần tử nhớ 67 có kết cấu tương tự với kết cấu của phần tử nhớ 15 (dựa vào FIG.2 và FIG.3) không có lớp bán dẫn 4 theo phương án thứ nhất.

Là ví dụ thứ hai của phương án thứ tư, phần tử nhớ 66 và phần tử nhớ 67 ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện của các lớp bán dẫn. Nói cách khác, phần tử nhớ 66 và phần tử nhớ 67

tương tự với hai loại phần tử nhớ theo phương án thứ hai. Cụ thể là, phần tử nhớ 66 có kết cấu tương tự với kết cấu của phần tử nhớ 34 (dựa vào các hình vẽ từ FIG.5 đến FIG.7) có lớp bán dẫn 24 trong vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 theo phương án thứ hai. Phần tử nhớ 67 có kết cấu tương tự với kết cấu của phần tử nhớ 35 (dựa vào các hình vẽ từ FIG.5 đến FIG.7) có lớp bán dẫn 27 khác với lớp bán dẫn 24 về các thuộc tính điện trong vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 theo phương án thứ hai.

Là ví dụ thứ ba của phương án thứ tư, phần tử nhớ 66 và phần tử nhớ 67 ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện của lớp bán dẫn nhờ lớp cách ly thứ nhất và lớp cách ly thứ hai. Nói cách khác, phần tử nhớ 66 và phần tử nhớ 67 tương tự với hai loại phần tử nhớ theo phương án thứ ba. Cụ thể là, phần tử nhớ 66 có kết cấu tương tự với kết cấu của phần tử nhớ 54 (dựa vào FIG.9A, FIG.9B, và FIG.10) có lớp cách ly thứ nhất 48 mà bao phủ lớp bán dẫn 44 trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 theo phương án thứ ba. Phần tử nhớ 67 có kết cấu tương tự với kết cấu của phần tử nhớ 55 (dựa vào FIG.9A, FIG.9B, và FIG.10) có lớp cách ly thứ hai 49 mà bao phủ lớp bán dẫn 44 trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 theo phương án thứ ba.

Mặc dù hai loại phần tử nhớ 66 và 67 tương tự với phần tử nhớ theo phương án bất kỳ trong số phương án thứ nhất đến thứ ba, các mảng nhớ 61 đến 64 theo phương án thứ tư được làm cho khác nhau về sự kết hợp của bốn phần tử nhớ bao gồm hai loại phần tử nhớ 66 và 67 như được minh họa trên FIG.16, chẳng hạn. Do đó, các đoạn thông tin tương ứng được ghi trong các mảng nhớ 61 đến 64 này là các đoạn thông tin duy nhất khác nhau giữa các mảng nhớ.

Tám mảng nhớ theo phương án thứ tư bố trí nhiều mảng nhớ bao gồm sự kết hợp của hai loại phần tử nhớ tương tự với phương án bất kỳ trong số phương pháp thứ nhất đến thứ ba trên tám. Do đó, tám mảng nhớ theo phương án thứ tư tạo ra hiệu quả tương tự với hiệu quả của phương án bất kỳ trong số phương

pháp thứ nhất đến thứ ba.

(Phương án thứ năm)

Phần sau mô tả tấm mảng nhớ theo phương án thứ năm của sáng chế. Tấm mảng nhớ theo phương án thứ năm bao gồm sự kết hợp của nhiều mảng nhớ, mỗi mảng bao gồm nhiều dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và nhiều phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai được tạo thành trên tấm. Các phần tử nhớ bao gồm hai loại phần tử nhớ bao gồm phần tử nhớ có mẫu hình dây dẫn thứ nhất và phần tử nhớ có mẫu hình dây dẫn thứ hai. Mẫu hình dây dẫn thứ nhất là mẫu hình dây dẫn trong đó cả dây dẫn thứ nhất và dây dẫn thứ hai và phần tử nhớ được nối điện với nhau. Mẫu hình dây dẫn thứ hai là mẫu hình dây dẫn trong đó ít nhất hoặc dây dẫn thứ nhất hoặc dây dẫn thứ hai và phần tử nhớ không được nối điện với nhau. Mẫu hình dây dẫn thứ nhất và mẫu hình dây dẫn thứ hai được tạo thành bằng vật liệu dẫn điện được phủ lên tấm. Thông tin cần được ghi trong mảng nhớ trên tấm được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ này. Ngoài ra, các đoạn thông tin tương ứng được ghi trong các mảng nhớ được tạo thành trên tấm khác nhau.

FIG.17 là hình vẽ sơ đồ giản lược của ví dụ của kết cấu giản lược của tấm mảng nhớ theo phương án thứ năm của sáng chế. Như được minh họa trên FIG.17, tấm mảng nhớ này 75 theo phương án thứ năm có nhiều mảng nhớ, hoặc bốn mảng nhớ 71, 72, 73, và 74, ví dụ, trên tấm 70. Bốn mảng nhớ này ghi các đoạn thông tin tương ứng khác nhau (các đoạn thông tin tương ứng duy nhất chẳng hạn như các số ID duy nhất đối với các mảng nhớ tương ứng, chẳng hạn).

Mặc dù FIG.17 là ví dụ cho tấm mảng nhớ 75 có bốn mảng nhớ 71, 72, 73, và 74 để đơn giản hóa việc mô tả, tấm mảng nhớ 75 theo phương án thứ năm không bị giới hạn ở tấm có bốn mảng nhớ và có thể là tấm có hai hoặc nhiều hơn hai mảng nhớ.

FIG.18 là hình vẽ sơ đồ giản lược của ví dụ về kết cấu cụ thể của tấm màng nhớ được minh họa trên FIG.17. Trong tấm màng nhớ 75 theo phương án thứ năm, phần tử nhớ có mẫu hình dây dẫn thứ nhất có điện cực thứ nhất được nối điện với một trong số các dây dẫn thứ nhất, điện cực thứ hai được nối điện với điện cực thứ nhất qua lớp bán dẫn, và điện cực thứ ba được nối điện với một trong số ít nhất một dây dẫn thứ hai. Ngược lại, phần tử nhớ có mẫu hình dây dẫn thứ hai không có ít nhất một trong số kết nối điện giữa một trong số các dây dẫn thứ nhất và điện cực thứ nhất, kết nối điện giữa điện cực thứ nhất và điện cực thứ hai, và kết nối điện giữa một trong số ít nhất một dây dẫn thứ hai và điện cực thứ ba.

Như được minh họa trên FIG.18, tấm màng nhớ 75 theo phương án thứ năm có các đường từ 80 và 81 là các ví dụ của dây dẫn thứ hai, các đường bit 82 và 83 là các ví dụ của các dây dẫn thứ nhất, các phần tử nhớ 90 đến 105 là các ví dụ của các phần tử nhớ, các bộ phận nối 106 đến 109 mà mỗi bộ phận này nối điện một phần tử nhớ và một đường từ với nhau, và các bộ phận nối 110 đến 119 mà mỗi bộ phận này nối điện một phần tử nhớ và một đường bit với nhau trên tấm 70. Các đường từ 80 và 81 tương tự với các đường từ theo phương án thứ nhất đến thứ ba. Các đường bit 82 và 83 tương tự với các đường bit theo phương án thứ nhất đến thứ ba.

Cụ thể là, như được minh họa trên FIG.18, màng nhớ 71 có các đường từ 80 và 81, các đường bit 82 và 83, các phần tử nhớ 90 đến 93, các bộ phận nối 106 đến 109 và các bộ phận nối 110 đến 113 chẳng hạn như các dây dẫn trên tấm 70. Trong màng nhớ 71 này, phần tử nhớ 90 được nối điện với đường từ 80 qua bộ phận nối 106 và được nối điện với đường bit 82 qua bộ phận nối 110. Phần tử nhớ 91 được nối điện với đường từ 80 qua bộ phận nối 107 và được nối điện với đường bit 83 qua bộ phận nối 111. Phần tử nhớ 92 được nối điện với đường từ 81 qua bộ phận nối 108 và được nối điện với đường bit 82 qua bộ phận nối 112. Phần tử nhớ 93 được nối điện với đường từ 81 qua bộ phận nối 109 và được nối điện với đường bit 83 qua bộ phận nối 113. Nói cách khác, các phần tử

nhớ 90 đến 93 này là tất cả các phần tử nhớ có mẫu hình dây dẫn thứ nhất, trong đó cả dây dẫn thứ nhất và dây dẫn thứ hai và phần tử nhớ được nối điện với nhau. Các phần tử nhớ 90 đến 93 này ghi cùng các đoạn thông tin (thông tin là "0" hoặc "1", chẳng hạn).

Như được minh họa trên FIG.18, mảng nhớ 72 có các đường từ 80 và 81, các đường bit 82 và 83, các phần tử nhớ 94 đến 97, các bộ phận nối 106 đến 109 và các bộ phận nối 114 và 115 chẳng hạn như các dây dẫn trên tấm 70. Trong mảng nhớ 72 này, phần tử nhớ 94 được nối điện với đường từ 80 qua bộ phận nối 106 nhưng không được nối với đường bit 82. Phần tử nhớ 95 được nối điện với đường từ 80 qua bộ phận nối 107 và được nối điện với đường bit 83 qua bộ phận nối 114. Phần tử nhớ 96 được nối điện với đường từ 81 qua bộ phận nối 108 và được nối điện với đường bit 82 qua bộ phận nối 115. Phần tử nhớ 97 được nối điện với đường từ 81 qua bộ phận nối 109 nhưng không được nối với đường bit 83. Nói cách khác, trong số các phần tử nhớ 94 đến 97 này, các phần tử nhớ 95 và 96 là các phần tử nhớ có mẫu hình dây dẫn thứ nhất. Ngược lại, các phần tử nhớ 94 và 97 là các phần tử nhớ có mẫu hình dây dẫn thứ hai, trong đó ít nhất hoặc dây dẫn thứ nhất hoặc dây dẫn thứ hai và phần tử nhớ không được nối điện với nhau. Các phần tử nhớ 94 đến 97 này ghi các đoạn thông tin tương ứng là "0" hoặc "1." Trong trường hợp này, các đoạn thông tin tương ứng được ghi trong các phần tử nhớ 95 và 96 với mẫu hình dây dẫn thứ nhất là giống như nhau. Các đoạn thông tin tương ứng được ghi trong các phần tử nhớ 94 và 97 với mẫu hình dây dẫn thứ hai là giống như nhau và khác với thông tin của các phần tử nhớ 95 và 96.

Như được minh họa trên FIG.18, mảng nhớ 73 có các đường từ 80 và 81, các đường bit 82 và 83, các phần tử nhớ 98 đến 101, các bộ phận nối 106 đến 109 và các bộ phận nối 116 đến 118 chẳng hạn như các dây dẫn trên tấm 70. Trong mảng nhớ 73 này, phần tử nhớ 98 được nối điện với đường từ 80 qua bộ phận nối 106 nhưng không được nối với đường bit 82. Phần tử nhớ 99 được nối điện với đường từ 80 qua bộ phận nối 107 và được nối điện với đường bit 83

qua bộ phận nối 116. Phần tử nhớ 100 được nối điện với đường từ 81 qua bộ phận nối 108 và được nối điện với đường bit 82 qua bộ phận nối 117. Phần tử nhớ 101 được nối điện với đường từ 81 qua bộ phận nối 109 và được nối điện với đường bit 83 qua bộ phận nối 118. Nói cách khác, trong số các phần tử nhớ 98 đến 101 này, các phần tử nhớ 99 đến 101 là các phần tử nhớ có mẫu hình dây dẫn thứ nhất. Ngược lại, phần tử nhớ 98 là phần tử nhớ có mẫu hình dây dẫn thứ hai. Các phần tử nhớ 98 đến 101 này ghi các đoạn thông tin tương ứng là "0" hoặc "1." Trong trường hợp này, các đoạn thông tin tương ứng được ghi trong các phần tử nhớ 99 đến 101 với mẫu hình dây dẫn thứ nhất là giống như nhau. Thông tin được ghi trong phần tử nhớ 98 với mẫu hình dây dẫn thứ hai khác với thông tin của các phần tử nhớ 99 đến 101.

Như được minh họa trên FIG.18, mảng nhớ 74 có các đường từ 80 và 81, các đường bit 82 và 83, các phần tử nhớ 102 đến 105, các bộ phận nối 106 đến 109 và bộ phận nối 119 chẳng hạn như các dây dẫn trên tấm 70. Trong mảng nhớ 74 này, phần tử nhớ 102 được nối điện với đường từ 80 qua bộ phận nối 106 và được nối điện với đường bit 82 qua bộ phận nối 119. Phần tử nhớ 103 được nối điện với đường từ 80 qua bộ phận nối 107 nhưng không được nối với đường bit 83. Phần tử nhớ 104 được nối điện với đường từ 81 qua bộ phận nối 108 nhưng không được nối với đường bit 82. Phần tử nhớ 105 được nối điện với đường từ 81 qua bộ phận nối 109 nhưng không được nối với đường bit 83. Nói cách khác, trong số các phần tử nhớ 102 đến 105 này, phần tử nhớ 102 là phần tử nhớ có mẫu hình dây dẫn thứ nhất. Ngược lại, các phần tử nhớ 103 đến 105 là các phần tử nhớ có mẫu hình dây dẫn thứ hai. Các phần tử nhớ 102 đến 105 này ghi các đoạn thông tin tương ứng là "0" hoặc "1." Các đoạn thông tin tương ứng được ghi trong các phần tử nhớ 103 đến 105 với mẫu hình dây dẫn thứ hai là giống như nhau. Thông tin được ghi trong phần tử nhớ 102 với mẫu hình dây dẫn thứ nhất khác với thông tin của các phần tử nhớ 103 đến 105.

Như được mô tả ở trên, các mảng nhớ 71 đến 74 khác nhau về cách bố trí nhờ sự kết hợp của bốn phần tử nhớ ghi thông tin "0" hoặc "1." Với kết cấu này,

các mảng nhớ 71 đến 74 ghi các đoạn thông tin tương ứng khác nhau, hoặc các đoạn thông tin tương ứng duy nhất đối với các mảng nhớ tương ứng, chẳng hạn.

FIG.19 là hình vẽ phối cảnh với phần bao quanh của hai loại phần tử nhớ được bao gồm trong tấm mảng nhớ được minh họa trên FIG.18 được tách ra. FIG.19 là ví dụ cho phần tử nhớ 94 với mẫu hình dây dẫn thứ hai và phần tử nhớ 95 với mẫu hình dây dẫn thứ nhất là hai loại phần tử nhớ này. Nên lưu ý rằng mặc dù FIG.18 minh họa đường từ 80 ở phía trên của hình vẽ (phía xa) của các phần tử nhớ 94 và 95, nhưng FIG.19 minh họa đường từ 80 ở phía gần của các phần tử nhớ 94 và 95 để cho dễ hiểu.

Như được minh họa trên FIG.19, phần tử nhớ 94 và phần tử nhớ 95 được tạo thành trên tấm 70. Mỗi phần tử trong số phần tử nhớ 94 và phần tử nhớ 95 có điện cực thứ nhất 85, điện cực thứ hai 86, lớp cách ly 87, và điện cực thứ ba 88 trên tấm 70. Điện cực thứ ba 88 được cách điện với điện cực thứ nhất 85 và điện cực thứ hai 86 bởi lớp cách ly 87. Điện cực thứ nhất 85 và điện cực thứ hai 86 được bố trí cách xa nhau trên lớp cách ly 87, chẳng hạn. Mỗi phần tử trong số phần tử nhớ 94 và phần tử nhớ 95 có lớp bán dẫn 89 trong vùng giữa điện cực thứ nhất 85 và điện cực thứ hai 86.

Như được minh họa trên FIG.19, phần tử nhớ 94 và phần tử nhớ 95 lần lượt có các bộ phận nối 106 và 107 nối điện điện cực thứ ba 88 và đường từ 80 với nhau. Trong số phần tử nhớ 94 và phần tử nhớ 95, phần tử nhớ 95 còn có bộ phận nối 114 nối điện điện cực thứ nhất 85 và đường bit 83 với nhau. Bộ phận nối 114 được tạo thành bằng vật liệu dẫn điện được phủ bằng phương pháp phủ mong muốn. Ngược lại, phần tử nhớ 94 không có bất kỳ bộ phận nối nào nối điện điện cực thứ nhất 85 và đường bit 82 với nhau. Mặc dù không được minh họa cụ thể, điện cực thứ hai 86 của mỗi phần tử trong số các phần tử nhớ 94 và 95 được nối với đường điện thể chuẩn qua dây dẫn.

Trong các phần tử nhớ 94 và 95 được minh họa trên FIG.19, tùy theo việc liệu bộ phận nối 114 được tạo thành giữa điện cực thứ nhất 85 của phần tử nhớ

94 và đường bit 82 và giữa điện cực thứ nhất 85 của phần tử nhớ 95 và đường bit 83, các đoạn thông tin tương ứng cần được ghi trong các phần tử nhớ 94 và 95 chẳng hạn như "0" hoặc "1" được xác định. Nói cách khác, các phần tử nhớ 94 và 95 ghi các đoạn thông tin tương ứng khác nhau tùy theo việc liệu các phần tử này có bộ phận nối mà nối điện điện cực thứ nhất và đường bit với nhau (là phần tử nhớ với mẫu hình dây dẫn nào trong số mẫu hình dây dẫn thứ nhất và mẫu hình dây dẫn thứ hai) hay không. Lý do tại sao các đoạn thông tin tương ứng được ghi trong hai loại phần tử nhớ khác nhau về mẫu hình dây dẫn khác nhau như vậy là do khi các phần tử nhớ 94 và 95 được lựa chọn, tức là, khi điện áp nhất định được đặt lên các điện cực thứ ba tương ứng 88 của các phần tử nhớ 94 và 95, mặc dù dòng điện đi qua phần tử nhớ 95 có bộ phận nối 114, nhưng dòng điện không đi qua phần tử nhớ 94 không có bộ phận nối.

Trong bốn mảng nhớ 71 đến 74 được bao gồm trong tám mảng nhớ 75 được minh họa trên FIG.18, các phần tử nhớ 97, 98, và 103 đến 105 có cấu trúc giống như cấu trúc của phần tử nhớ 94 được minh họa trên FIG.19. Các phần tử nhớ 90 đến 93, 96, và 99 đến 102 có cấu trúc giống như cấu trúc của phần tử nhớ 95 được minh họa trên FIG.19.

Trong mảng nhớ 72, thông tin cần được ghi được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ bao gồm "phần tử nhớ có bộ phận nối mà nối điện điện cực thứ nhất và đường bit với nhau (phần tử nhớ có mẫu hình dây dẫn thứ nhất)" được ví dụ bởi phần tử nhớ 95 và "phần tử nhớ không có bộ phận nối mà nối điện điện cực thứ nhất và đường bit với nhau (phần tử nhớ có mẫu hình dây dẫn thứ hai)" được ví dụ bởi phần tử nhớ 94. Thông tin được xác định này có thể được ghi trong mảng nhớ 72 dưới dạng thông tin duy nhất chẳng hạn như số ID duy nhất đối với mảng nhớ ~~71~~72. Theo cách bố trí bốn phần tử nhớ 94, 95, 96, và 97 [phần tử nhớ 94, phần tử nhớ 95, phần tử nhớ 96, phần tử nhớ 97], khi mỗi phần tử trong số các phần tử nhớ 95 và 96 có bộ phận nối và mỗi phần tử trong số các phần tử nhớ 94 và 97 không có bộ phận nối, thông tin [1, 0, 0, 1] hoặc [0, 1, 1, 0] được ghi trong mảng nhớ 72

dưới dạng thông tin duy nhất, chẳng hạn. Khi phần tử nhớ 95 có bộ phận nối và mỗi phần tử trong số các phần tử nhớ 94, 96 và 97 không có bộ phận nối, thông tin [0, 1, 0, 0] hoặc [1, 0, 1, 1] được ghi trong mảng nhớ 72 dưới dạng thông tin duy nhất.

Tám mảng nhớ theo phương án thứ tư và thứ năm của sáng chế có thể bố trí lặp lại các mảng nhớ ghi các đoạn thông tin duy nhất giống nhau nhưng tốt hơn là kết hợp nhiều mảng nhớ ghi các đoạn thông tin duy nhất khác nhau tương ứng như được minh họa trên FIG.16 và FIG.18. Sở dĩ như vậy là do việc thực hiện như vậy có thể thu được các mảng nhớ tương ứng với các đoạn thông tin duy nhất đa dạng cần được ghi một cách đơn giản bằng cách cắt tám mảng nhớ có sự kết hợp của các mảng nhớ này thành mỗi mảng nhớ riêng biệt.

Theo phương án thứ năm, thông tin nhị phân (thông tin "0" hoặc "1", chẳng hạn) được ghi trong mỗi phần tử trong số các phần tử nhớ tùy theo việc là phần tử nhớ với mẫu hình dây dẫn nào trong số mẫu hình dây dẫn thứ nhất có bộ phận nối mà nối điện phần tử nhớ và đường bit với nhau và mẫu hình dây dẫn thứ hai không có bộ phận nối này, và thông tin cần được ghi trong mảng nhớ được xác định bằng cách bố trí với sự kết hợp bất kỳ của các phần tử nhớ này. Do đó, tám mảng nhớ có nhiều mảng nhớ ghi các đoạn thông tin duy nhất khác nhau tương ứng trên tám có thể đạt được với chi phí thấp bằng cách sử dụng các quy trình đơn giản hơn chẳng hạn như phương pháp phủ hơn là phương pháp ROM mặt nạ.

Mặc dù phương án thứ năm là ví dụ cho mẫu hình dây dẫn thứ hai, trong đó phần tử nhớ và đường bit không được nối điện với nhau, sáng chế không bị giới hạn ở ví dụ này; mẫu hình dây dẫn thứ hai chỉ được yêu cầu là mẫu hình dây dẫn làm cho ít nhất hoặc đường bit hoặc đường từ và phần tử nhớ được cách ly khỏi nhau và có thể là mẫu hình dây dẫn (mẫu hình điện cực) trong đó ít nhất một trong số điện cực thứ nhất, điện cực thứ hai, và điện cực thứ ba của phần tử nhớ không được tạo thành hoặc mẫu hình dây dẫn trong đó bộ phận nối mà nối

điện điện cực thứ ba của phân tử nhớ và đường từ với nhau không được tạo thành, chẳng hạn.

(Tấm)

Tấm theo phương án thứ tư và thứ năm (tấm 60 được minh họa trên FIG.15 và FIG.16 hoặc tấm 70 được minh họa trên FIG.17 và FIG.18, chẳng hạn) có thể được tạo thành bằng vật liệu bất kỳ chỉ cần ít nhất bề mặt mà các điện cực được bố trí trên đó cách điện. Các ví dụ ưu tiên của tấm bao gồm các tấm được tạo thành bằng các vật liệu vô cơ chẳng hạn như các lát silic, thủy tinh, saphia, và khối thiêu kết nhôm và các vật liệu hữu cơ chẳng hạn như polyimide, rượu polyvinyl, polyvinyl clorua, polyetylen terephthalat, polyvinyliden florua, polysiloxan, PVP, polyester, polycacbonat, polysulfon, polyetessulfon, polyetylen, polyphenylen sulfua, và poly-p-xylen.

Tấm không bị giới hạn ở các vật liệu nêu trên và có thể được tạo thành bằng nhiều vật liệu được xếp chồng chẳng hạn như màng PVP được tạo thành trên lát silic và màng polysiloxan được tạo thành trên polyetylen terephthalat.

Trong số các phương pháp này, khi xem xét khả năng chế tạo nhiều mảng nhớ trên cùng tấm bằng phương pháp con lăn-đối-con lăn hoặc dạng tương tự bằng cách sử dụng màng tấm, tốt hơn là vật liệu được chứa là một hoặc nhiều vật liệu được lựa chọn từ nhóm bao gồm các vật liệu hữu cơ chẳng hạn như polyimide, rượu polyvinyl, polyvinyl clorua, polyetylen terephthalat, polyvinyliden florua, polysiloxan, PVP, polyester, polycacbonat, polysulfon, polyete sulfon, polyetylen, polyphenylen sulfua, và poly-p-xylen.

<Phương pháp chế tạo Tấm mảng nhớ>

Phần sau mô tả phương pháp chế tạo tấm mảng nhớ theo sáng chế. Phương pháp chế tạo tấm mảng nhớ theo sáng chế nhằm chế tạo tấm mảng nhớ theo phương án thứ tư hoặc tấm mảng nhớ theo phương án thứ năm. Phương pháp chế tạo khi tấm mảng nhớ theo phương án thứ tư được chế tạo bao gồm ít

nhất quy trình phủ tạo thành lớp phủ bằng cách phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các phần tử nhớ. Phương pháp chế tạo khi tấm mỏng nhớ theo phương án thứ năm được chế tạo bao gồm ít nhất quy trình phủ tạo thành mẫu hình dây dẫn thứ nhất, trong đó cả dây dẫn thứ nhất và dây dẫn thứ hai và phần tử nhớ được nối điện với nhau hoặc mẫu hình dây dẫn thứ hai, trong đó ít nhất hoặc dây dẫn thứ nhất hoặc dây dẫn thứ hai và phần tử nhớ không được nối điện với nhau bằng cách phủ đối với mỗi phần tử nhớ được bao gồm trong các phần tử nhớ.

Đầu tiên, phần sau đây mô tả một cách cụ thể ví dụ thứ nhất của phương pháp chế tạo tấm mỏng nhớ theo phương án thứ tư của sáng chế. FIG.20A là hình vẽ sơ đồ làm ví dụ cho nửa quy trình đầu của ví dụ thứ nhất của phương pháp chế tạo tấm mỏng nhớ theo phương án thứ tư của sáng chế. FIG.20B là hình vẽ sơ đồ làm ví dụ cho nửa quy trình sau của ví dụ thứ nhất của phương pháp chế tạo tấm mỏng nhớ theo phương án thứ tư của sáng chế. Phương pháp chế tạo tấm mỏng nhớ là ví dụ thứ nhất này chế tạo tấm mỏng nhớ có nhiều mảng nhớ theo phương án thứ nhất trên cùng tấm. Phương pháp chế tạo này bao gồm các loại quy trình khác nhau để tạo thành các mảng nhớ chẳng hạn như quy trình tạo thành điện cực thứ nhất và dây dẫn, quy trình tạo thành lớp cách ly, quy trình tạo thành điện cực thứ hai và dây dẫn, và quy trình phủ.

Cụ thể là, như được minh họa trên FIG.20A, đầu tiên, quy trình tạo thành điện cực thứ nhất và dây dẫn (Quy trình ST31) được thực hiện. Trong quy trình ST31 này, ít nhất một đường từ (các đường từ 10 và 11, chẳng hạn) và nhiều điện cực thứ ba 2 được tạo thành đồng thời trên tấm 60 bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ, chẳng hạn. Trong quy trình này, khi có một số đường từ cần thiết cách xa các đường từ 10 và 11 được minh họa trên FIG.20A, thì số lượng cần thiết các đường từ được tạo thành sao cho được bố trí cách xa nhau kéo dài theo hướng nhất định. Số lượng các điện cực thứ ba 2 bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên tấm 60. Các đường từ 10 và 11 này và các điện cực thứ ba 2 được tạo thành sao cho

được nối điện với nhau qua các dây dẫn trong quy trình lắng chân không thông qua mặt nạ. Như được minh họa trên FIG.20A, việc tạo thành này của các đường từ 10 và 11 và các điện cực thứ ba 2 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a của tấm 60. Các vùng 61a đến 64a này là các vùng trong đó các mảng nhớ 61 đến 64 theo phương án thứ tư lần lượt được tạo thành.

Tiếp theo, như được minh họa trên FIG.20A, quy trình tạo thành lớp cách ly (Quy trình ST32) được thực hiện. Trong quy trình ST32 này, nhiều lớp cách ly 3 được tạo thành trên tấm 60 tương ứng với các điện cực thứ ba 2 bằng các phương pháp nêu trên, hoặc in, chẳng hạn. Mỗi trong số các lớp cách ly 3 tiếp xúc với điện cực thứ ba 2 từ phía trên và kẹp điện cực thứ ba 2 giữa lớp cách ly 3 và tấm 60 để bao phủ điện cực thứ ba 2. Như được minh họa trên FIG.20A, việc tạo thành này của các lớp cách ly 3 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a.

Tiếp theo, như được minh họa trên FIG.20B, quy trình tạo thành điện cực thứ hai và dây dẫn (Quy trình ST33) được thực hiện. Trong quy trình ST33 này, nhiều đường bit (các đường bit 12 và 13, chẳng hạn) và nhiều cặp điện cực thứ nhất 5 và điện cực thứ hai 6 được tạo thành đồng thời bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ, chẳng hạn. Trong quy trình này, các đường bit 12 và 13 được tạo thành trên tấm 60 sao cho được bố trí cách xa nhau theo hướng vắt ngang các đường từ 10 và 11 khi kéo dài. Khi có một số đường bit cần thiết cách xa các đường bit 12 và 13 được minh họa trên FIG.20B, thì số lượng cần thiết các đường bit được tạo thành tương tự với các đường bit 12 và 13 này. Số lượng các điện cực thứ nhất 5 và các điện cực thứ hai 6 bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên các lớp cách ly 3 tương ứng. Các đường bit 12 và 13 này và các điện cực thứ nhất 5 được tạo thành sao cho được nối điện với nhau qua các dây dẫn trong quy trình lắng chân không thông qua mặt nạ. Như được minh họa trên FIG.20B, việc tạo thành này của các đường bit 12 và 13, các điện cực thứ nhất 5, và các điện cực thứ hai 6 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a.

Tiếp theo, như được minh họa trên FIG.20B, quy trình phủ (Quy trình ST34) được thực hiện. Lớp phủ cần được phủ trong Quy trình ST34 này là lớp bán dẫn 4. Trong quy trình ST34 này, phần tử nhớ, mà lớp phủ cần được phủ lên phần tử này, được lựa chọn trong số các phần tử nhớ trên tấm 60 tương ứng với thông tin cần được ghi. Tiếp theo, lớp bán dẫn 4 được tạo thành bằng cách phủ trong vùng giữa điện cực thứ nhất 5 và điện cực thứ hai 6 của phần tử nhớ được lựa chọn, mà lớp phủ cần được phủ lên phần tử này, (phần tử nhớ 14 trên FIG.20B). Dung dịch chứa CNT được phủ lên vùng giữa điện cực thứ nhất 5 và điện cực thứ hai 6 của phần tử nhớ 14 và được sấy khô nếu cần để tạo thành lớp bán dẫn 4, chẳng hạn. Ngược lại, phần tử bán dẫn 4 không được tạo thành trong phần tử nhớ không được lựa chọn làm phần tử nhớ, mà lớp phủ cần được phủ lên phần tử này, (phần tử nhớ 15 trên FIG.11) trong số các phần tử nhớ.

Do đó, các phần tử nhớ trên tấm 60 được chế tạo tách biệt thành hai loại phần tử nhớ khác nhau về các thuộc tính điện (tức là, khác nhau về thông tin cần được ghi) theo sự có mặt hoặc không có mặt của lớp bán dẫn 4. Do đó, các mảng nhớ 61, 62, 63, và 64 được tạo thành trên tấm 60. Trong quy trình này, các mảng nhớ 61, 62, 63, và 64 được làm cho khác nhau về cách bố trí của phần tử nhớ 14 có lớp bán dẫn 4 và phần tử nhớ 15 không có lớp bán dẫn 4. Các đoạn thông tin tương ứng duy nhất của các mảng nhớ 61, 62, 63, và 64 được xác định bằng cách bố trí bất kỳ này của các phần tử nhớ 14 và 15. Do đó, các mảng nhớ 61, 62, 63, và 64 này ghi các đoạn thông tin tương ứng khác nhau dưới dạng các đoạn thông tin duy nhất, và tấm mảng nhớ 65 có các mảng nhớ 61, 62, 63, và 64 này có thể được chế tạo.

Phương pháp phủ trong Quy trình ST34, mà không bị giới hạn ở phương pháp cụ thể, tốt hơn là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán, và phun mực. Trong số các phương pháp này, phụt mực được ưu tiên làm phương pháp phủ hơn khi xem xét khả năng gia công mẫu hình của điện cực và dây dẫn và hiệu quả sử dụng vật liệu thô.

Phần sau đây mô tả một cách cụ thể ví dụ thứ hai của phương pháp chế tạo tấm mỏng nhớ theo phương án thứ tư của sáng chế. FIG.21A là hình vẽ sơ đồ làm ví dụ cho nửa quy trình đầu của ví dụ thứ hai của phương pháp chế tạo tấm mỏng nhớ theo phương án thứ tư của sáng chế. FIG.21B là hình vẽ sơ đồ làm ví dụ cho nửa quy trình sau của ví dụ thứ hai của phương pháp chế tạo tấm mỏng nhớ theo phương án thứ tư của sáng chế. Phương pháp chế tạo tấm mỏng nhớ là ví dụ thứ hai này chế tạo tấm mỏng nhớ có nhiều mảng nhớ theo phương án thứ hai trên cùng tấm. Phương pháp chế tạo này bao gồm các loại quy trình khác nhau để tạo thành các mảng nhớ chẳng hạn như quy trình tạo thành điện cực thứ nhất và dây dẫn, quy trình tạo thành lớp cách ly, quy trình tạo thành điện cực thứ hai và dây dẫn, và quy trình phủ.

Cụ thể là, như được minh họa trên FIG.21A, đầu tiên, quy trình tạo thành điện cực thứ nhất và dây dẫn (Quy trình ST41) được thực hiện. Trong quy trình ST41 này, ít nhất một đường từ (các đường từ 30 và 31, chẳng hạn) và nhiều điện cực thứ ba 22 được tạo thành đồng thời trên tấm 60 bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ, chẳng hạn. Trong quy trình này, khi có một số đường từ cần thiết cách xa các đường từ 30 và 31 được minh họa trên FIG.21A, thì số lượng cần thiết các đường từ được tạo thành sao cho được bố trí cách xa nhau kéo dài theo hướng nhất định. Số lượng các điện cực thứ ba 22 bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên tấm 60. Các đường từ 30 và 31 này và các điện cực thứ ba 22 được tạo thành sao cho được nối điện với nhau qua các dây dẫn trong quy trình lắng chân không thông qua mặt nạ. Như được minh họa trên FIG.21A, việc tạo thành này của các đường từ 30 và 31 và các điện cực thứ ba 22 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a của tấm 60.

Tiếp theo, như được minh họa trên FIG.21A, quy trình tạo thành lớp cách ly (Quy trình ST42) được thực hiện. Trong quy trình ST42 này, nhiều lớp cách ly 23 được tạo thành trên tấm 60 tương ứng với các điện cực thứ ba 22 bằng phương pháp nêu trên, hoặc in, chẳng hạn. Mỗi trong số các lớp cách ly 23 tiếp

xúc với điện cực thứ ba 22 từ phía trên và kẹp điện cực thứ ba 22 giữa lớp cách ly 23 và tấm 60 để bao phủ điện cực thứ ba 22. Như được minh họa trên FIG.21A, việc tạo thành này của các lớp cách ly 23 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a.

Tiếp theo, như được minh họa trên FIG.21B, quy trình tạo thành điện cực thứ hai và dây dẫn (Quy trình ST43) được thực hiện. Trong quy trình ST43 này, nhiều đường bit (các đường bit 32 và 33, chẳng hạn) và nhiều cặp điện cực thứ nhất 25 và điện cực thứ hai 26 được tạo thành đồng thời bằng phương pháp nêu trên, hoặc lắng chân không thông qua mặt nạ, chẳng hạn. Trong quy trình này, các đường bit 32 và 33 được tạo thành trên tấm 60 sao cho được bố trí cách xa nhau theo hướng vắt ngang các đường từ 30 và 31 khi kéo dài. Khi có một số đường bit cần thiết cách xa các đường bit 32 và 33 được minh họa trên FIG.21B, thì số lượng cần thiết các đường bit được tạo thành tương tự với các đường bit 32 và 33 này. Số lượng các điện cực thứ nhất 25 và các điện cực thứ hai 26 bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên các lớp cách ly 23 tương ứng. Các đường bit 32 và 33 này và các điện cực thứ nhất 25 được tạo thành sao cho được nối điện với nhau qua các dây dẫn trong quy trình lắng chân không thông qua mặt nạ. Như được minh họa trên FIG.21B, việc tạo thành này của các đường bit 32 và 33, các điện cực thứ nhất 25, và các điện cực thứ hai 26 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a.

Tiếp theo, như được minh họa trên FIG.21B, quy trình phủ (Quy trình ST44) được thực hiện. Các lớp phủ cần được phủ trong Quy trình ST44 này là các lớp bán dẫn 24 và 27 khác nhau về các thuộc tính điện. Trong quy trình ST44 này, lớp bán dẫn 24 hoặc lớp bán dẫn 27 được tạo thành bằng cách phủ trong vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 của mỗi phần tử trong số các phần tử nhớ trên tấm 60 tương ứng với thông tin cần được ghi. Dung dịch chứa CNT được phủ lên vùng giữa điện cực thứ nhất 25 và điện cực thứ hai 26 của phần tử nhớ 34 và được sấy khô nếu cần để tạo thành lớp bán dẫn 24, chẳng hạn. Dung dịch chứa P3HT được phủ lên vùng giữa điện cực thứ nhất

25 và điện cực thứ hai 26 của phần tử nhớ 35 và được sấy khô nếu cần để tạo thành lớp bán dẫn 27.

Do đó, các phần tử nhớ trên tấm 60 được chế tạo tách biệt thành hai loại phần tử nhớ khác nhau về các thuộc tính điện (tức là, khác nhau về thông tin cần được ghi) tùy theo lớp nào trong số các lớp bán dẫn 24 và 27 được bao gồm trong phần tử. Do đó, các mảng nhớ 61, 62, 63, và 64 được tạo thành trên tấm 60. Trong quy trình này, các mảng nhớ 61, 62, 63, và 64 được làm cho khác nhau về cách bố trí của phần tử nhớ 34 có lớp bán dẫn 24 và phần tử nhớ 35 có lớp bán dẫn 27. Các đoạn thông tin tương ứng duy nhất của các mảng nhớ 61, 62, 63, và 64 được xác định bằng cách bố trí bất kỳ này của các phần tử nhớ 34 và 35. Do đó, các mảng nhớ 61, 62, 63, và 64 này ghi các đoạn thông tin tương ứng khác nhau dưới dạng các đoạn thông tin duy nhất, và tấm mảng nhớ 65 có các mảng nhớ 61, 62, 63, và 64 này có thể được chế tạo.

Phương pháp phủ trong Quy trình ST44 tốt hơn là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán, và phun mực tương tự với quy trình phủ (Quy trình ST34) trong phương pháp chế tạo là ví dụ thứ nhất. Trong số các phương pháp này, phụt mực được ưu tiên hơn.

Phần sau đây mô tả một cách cụ thể ví dụ thứ ba của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế. FIG.22A là hình vẽ sơ đồ làm ví dụ cho nửa quy trình đầu của ví dụ thứ ba của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế. FIG.22B là hình vẽ sơ đồ làm ví dụ cho nửa quy trình sau của ví dụ thứ ba của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế. FIG.22C là hình vẽ sơ đồ làm ví dụ cho quy trình phủ của ví dụ thứ ba của phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư của sáng chế. Phương pháp chế tạo tấm mảng nhớ là ví dụ thứ ba này chế tạo tấm mảng nhớ có nhiều mảng nhớ theo phương án thứ ba trên cùng tấm. Phương pháp chế tạo này bao gồm các loại quy trình khác nhau để tạo thành các mảng nhớ chẳng hạn như quy trình tạo thành điện cực thứ nhất và dây

dẫn, quy trình tạo thành lớp cách ly, quy trình tạo thành điện cực thứ hai và dây dẫn, quy trình tạo thành lớp bán dẫn, và quy trình phủ.

Cụ thể là, như được minh họa trên FIG.22A, đầu tiên, quy trình tạo thành điện cực thứ nhất và dây dẫn (Quy trình ST51) được thực hiện. Trong quy trình ST51 này, ít nhất một đường từ (các đường từ 50 và 51, chẳng hạn) và nhiều điện cực thứ ba 42 được tạo thành đồng thời trên tấm 60 bằng phương pháp nêu trên, hoặc bằng cách phủ dung dịch phân tán hạt bạc mịn, mà sau đó được sấy khô và được nung nếu cần, chẳng hạn. Trong quy trình này, khi có một số đường từ cần thiết cách xa các đường từ 50 và 51 được minh họa trên FIG.22A, thì số lượng cần thiết các đường từ được tạo thành sao cho được bố trí cách xa nhau kéo dài theo hướng nhất định. Số lượng các điện cực thứ ba 42 bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên tấm 60. Các đường từ 50 và 51 này và các điện cực thứ ba 42 được tạo thành sao cho được nối điện với nhau qua các dây dẫn trong quy trình phủ dung dịch phân tán hạt bạc mịn. Như được minh họa trên FIG.22A, việc tạo thành này của các đường từ 50 và 51 và các điện cực thứ ba 42 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a của tấm 60.

Tiếp theo, như được minh họa trên FIG.22A, quy trình tạo thành lớp cách ly (Quy trình ST52) được thực hiện. Trong quy trình ST52 này, nhiều lớp cách ly 43 được tạo thành trên tấm 60 tương ứng với các điện cực thứ ba 42 bằng phương pháp nêu trên, hoặc in, chẳng hạn. Mỗi trong số các lớp cách ly 43 tiếp xúc với điện cực thứ ba 42 từ phía trên và kẹp điện cực thứ ba 42 giữa lớp cách ly 43 và tấm 60 để bao phủ điện cực thứ ba 42. Như được minh họa trên FIG.22A, việc tạo thành này của các lớp cách ly 43 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a.

Tiếp theo, như được minh họa trên FIG.22B, quy trình tạo thành điện cực thứ hai và dây dẫn (Quy trình ST53) được thực hiện. Trong quy trình ST53 này, nhiều đường bit (các đường bit 52 và 53, chẳng hạn) và nhiều cặp điện cực thứ

nhất 45 và điện cực thứ hai 46 được tạo thành đồng thời bằng phương pháp nêu trên, hoặc bằng cách phủ dung dịch phân tán hạt bạc mịn bằng cách sử dụng cùng vật liệu, mà sau đó được sấy khô và được nung nếu cần, chẳng hạn. Trong quy trình này, các đường bit 52 và 53 được tạo thành trên tấm 60 sao cho được bố trí cách xa nhau theo hướng vắt ngang các đường từ 50 và 51 khi kéo dài. Khi có một số đường bit cần thiết cách xa các đường bit 52 và 53 được minh họa trên FIG.22B, thì số lượng cần thiết các đường bit được tạo thành tương tự với các đường bit 52 và 53 này. Số lượng các điện cực thứ nhất 45 và các điện cực thứ hai 46 bằng số lượng các phần tử nhớ cần được chế tạo được tạo thành trên các lớp cách ly 43 tương ứng. Các đường bit 52 và 53 này và các điện cực thứ nhất 45 được tạo thành sao cho được nối điện với nhau qua các dây dẫn trong quy trình phủ của dung dịch phân tán hạt bạc mịn. Như được minh họa trên FIG.22B, việc tạo thành này của các đường bit 52 và 53, các điện cực thứ nhất 45, và các điện cực thứ hai 46 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a.

Tiếp theo, như được minh họa trên FIG.22B, quy trình tạo thành lớp bán dẫn (Quy trình ST54) được thực hiện. Trong quy trình ST54 này, lớp bán dẫn 44 được tạo thành trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 của mỗi phần tử trong số các phần tử nhớ cần được chế tạo để tiếp xúc với lớp cách ly 43. Dung dịch chứa CNT được phủ lên vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 là các thành phần của phần tử nhớ 54 (dựa vào FIG.22C) và được sấy khô nếu cần để tạo thành lớp bán dẫn 44 tiếp xúc với mặt trên của lớp cách ly 43, chẳng hạn. Tương tự, lớp bán dẫn 44 được tạo thành trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 là các thành phần của phần tử nhớ 55 (dựa vào FIG.22C). Như được minh họa trên FIG.22B, việc tạo thành này của các lớp bán dẫn 44 được thực hiện đối với mỗi vùng trong số các vùng 61a đến 64a.

Tiếp theo, như được minh họa trên FIG.22C, quy trình phủ (Quy trình ST55) được thực hiện. Lớp phủ cần được phủ trong Quy trình ST55 này là lớp

cách ly thứ nhất 48 hoặc lớp cách ly thứ hai 49 khác nhau về các thuộc tính điện. Trong quy trình ST55 này, lớp cách ly thứ nhất 48 hoặc lớp cách ly thứ hai 49 được tạo thành trong vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 của mỗi phần tử trong số các phần tử nhớ trên tấm 60 để tiếp xúc với lớp bán dẫn 44 ở phía đối diện lớp cách ly 43 tương ứng với thông tin cần được ghi. Đối với phần tử nhớ 54, dung dịch chứa vật liệu cách ly để tạo thành lớp cách ly thứ nhất 48 được phủ lên vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 để bao phủ lớp bán dẫn 44 và được sấy khô nếu cần để tạo thành lớp cách ly thứ nhất 48, chẳng hạn. Đối với phần tử nhớ 55, dung dịch chứa vật liệu cách ly để tạo thành lớp cách ly thứ hai 49 được phủ lên vùng giữa điện cực thứ nhất 45 và điện cực thứ hai 46 để bao phủ lớp bán dẫn 44 và được sấy khô nếu cần để tạo thành lớp cách ly thứ hai 49.

Do đó, các phần tử nhớ trên tấm 60 được chế tạo tách biệt thành hai loại phần tử nhớ khác nhau về các thuộc tính điện (tức là, khác nhau về thông tin cần được ghi) tùy theo lớp nào trong số lớp cách ly thứ nhất 48 và lớp cách ly thứ hai 49 được bao gồm trong phần tử. Do đó, các mảng nhớ 61, 62, 63, và 64 được tạo thành trên tấm 60. Trong quy trình này, các mảng nhớ 61, 62, 63, và 64 được làm cho khác nhau về cách bố trí của phần tử nhớ 54 có lớp cách ly thứ nhất 48 và phần tử nhớ 55 có lớp cách ly thứ hai 49. Các đoạn thông tin tương ứng duy nhất của các mảng nhớ 61, 62, 63, và 64 được xác định bằng cách bố trí bất kỳ này của các phần tử nhớ 54 và 55. Do đó, các mảng nhớ 61, 62, 63, và 64 này ghi các đoạn thông tin tương ứng khác nhau dưới dạng các đoạn thông tin duy nhất, và tám mảng nhớ 65 có các mảng nhớ 61, 62, 63, và 64 này có thể được chế tạo.

Phương pháp phủ trong Quy trình ST55 tốt hơn là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán, và phun mực tương tự với quy trình phủ (Quy trình ST34) trong phương pháp chế tạo là ví dụ thứ nhất. Trong số các phương pháp này, phụt mực được ưu tiên hơn.

Phần sau đây mô tả một cách cụ thể phương pháp chế tạo tấm màng nhớ theo phương án thứ năm của sáng chế. FIG.23A là hình vẽ sơ đồ làm ví dụ cho nửa quy trình đầu của phương pháp chế tạo tấm màng nhớ theo phương án thứ năm của sáng chế. FIG.23B là hình vẽ sơ đồ làm ví dụ cho nửa quy trình sau của phương pháp chế tạo tấm màng nhớ theo phương án thứ năm của sáng chế. FIG.23C là hình vẽ sơ đồ làm ví dụ cho quy trình phủ của phương pháp chế tạo tấm màng nhớ theo phương án thứ năm của sáng chế. Phương pháp chế tạo tấm màng nhớ theo phương án thứ năm của sáng chế bao gồm các loại quy trình khác nhau để tạo thành nhiều màng nhớ được bao gồm trong tấm màng nhớ này chẳng hạn như quy trình tạo thành điện cực thứ nhất và dây dẫn, quy trình tạo thành lớp cách ly, quy trình tạo thành điện cực thứ hai và dây dẫn, quy trình tạo thành lớp bán dẫn, và quy trình phủ.

Cụ thể là, như được minh họa trên FIG.23A, đầu tiên, quy trình tạo thành điện cực thứ nhất và dây dẫn (Quy trình ST61) được thực hiện. Trong quy trình ST61 này, ít nhất một đường từ (các đường từ 80 và 81, chẳng hạn), nhiều điện cực thứ ba 88, và các bộ phận nối 106 đến 109 mà nối điện các đường từ 80 và 81 này và các điện cực thứ ba 88 với nhau được tạo thành đồng thời trên tấm 70 bằng phương pháp nêu trên, hoặc bằng cách phủ dung dịch phân tán hạt bạc mịn, mà sau đó được sấy khô và được nung nếu cần, chẳng hạn. Trong quy trình này, khi có một số đường từ cần thiết cách xa các đường từ 80 và 81 được minh họa trên FIG.23A, thì số lượng cần thiết các đường từ được tạo thành sao cho được bố trí cách xa nhau kéo dài theo hướng nhất định. Số lượng các điện cực thứ ba 88 bằng số lượng các phân tử nhớ cần được chế tạo được tạo thành trên tấm 70. Như được minh họa trên FIG.23A, việc tạo thành này của các đường từ 80 và 81, các điện cực thứ ba 88, và các bộ phận nối 106 đến 109 được thực hiện đối với mỗi vùng trong số các vùng 71a đến 74a của tấm 70. Các vùng 71a đến 74a này là các vùng trong đó các màng nhớ 71 đến 74 theo phương án thứ năm lần lượt được tạo thành.

Tiếp theo, như được minh họa trên FIG.23A, quy trình tạo thành lớp cách

ly (Quy trình ST62) được thực hiện. Trong quy trình ST62 này, nhiều lớp cách ly 87 được tạo thành trên tấm 70 tương ứng với các điện cực thứ ba 88 bằng phương pháp nêu trên, hoặc in, chẳng hạn. Mỗi trong số các lớp cách ly 87 tiếp xúc với điện cực thứ ba 88 từ phía trên và kẹp điện cực thứ ba 88 giữa lớp cách ly 87 và tấm 70 để bao phủ điện cực thứ ba 88. Như được minh họa trên FIG.23A, việc tạo thành này của các lớp cách ly 87 được thực hiện đối với mỗi vùng trong số các vùng 71a đến 74a.

Tiếp theo, như được minh họa trên FIG.23B, quy trình tạo thành điện cực thứ hai và dây dẫn (Quy trình ST63) được thực hiện. Trong quy trình ST63 này, nhiều đường bit (các đường bit 82 và 83, chẳng hạn) và nhiều cặp điện cực thứ nhất 85 và điện cực thứ hai 86 được tạo thành đồng thời bằng phương pháp nêu trên, hoặc bằng cách phủ dung dịch phân tán hạt bạc mịn, mà sau đó được sấy khô và được nung nếu cần, chẳng hạn. Trong quy trình này, các đường bit 82 và 83 được tạo thành trên tấm 70 sao cho được bố trí cách xa nhau theo hướng vắt ngang các đường từ 80 và 81 khi kéo dài. Khi có một số đường bit cần thiết cách xa các đường bit 82 và 83 được minh họa trên FIG.23B, thì số lượng cần thiết các đường bit được tạo thành tương tự với các đường bit 82 và 83 này. Số lượng các điện cực thứ nhất 85 và các điện cực thứ hai 86 bằng số lượng các phân tử nhớ cần được chế tạo được tạo thành trên các lớp cách ly 87 tương ứng. Như được minh họa trên FIG.23B, việc tạo thành này của các đường bit 82 và 83, các điện cực thứ nhất 85, và các điện cực thứ hai 86 được thực hiện đối với mỗi vùng trong số các vùng 71a đến 74a.

Tiếp theo, như được minh họa trên FIG.23B, quy trình tạo thành lớp bán dẫn (Quy trình ST64) được thực hiện. Trong quy trình này ST64, lớp bán dẫn 89 được tạo thành trong vùng giữa điện cực thứ nhất 85 và điện cực thứ hai 86 của mỗi phân tử trong số các phân tử nhớ cần được chế tạo để tiếp xúc với lớp cách ly 87. Dung dịch chứa CNT được phủ lên vùng giữa điện cực thứ nhất 85 và điện cực thứ hai 86 là các thành phần của phân tử nhớ 90 (dựa vào FIG.23C) và được sấy khô nếu cần để tạo thành lớp bán dẫn 89 tiếp xúc với mặt trên của lớp

cách ly 87, chẳng hạn. Tương tự, lớp bán dẫn 89 được tạo thành cũng trong vùng giữa điện cực thứ nhất 85 và điện cực thứ hai 86 là các thành phần của mỗi phần tử trong số các phần tử nhớ 91 đến 105 (dựa vào FIG.23C). Như được minh họa trên FIG.23B, việc tạo thành này của các lớp bán dẫn 89 được thực hiện đối với mỗi vùng trong số các vùng 71a đến 74a.

Tiếp theo, như được minh họa trên FIG.23C, quy trình phủ (Quy trình ST65) được thực hiện. Trong quy trình ST65 này, mẫu hình dây dẫn thứ nhất, trong đó cả đường bit và đường từ và phần tử nhớ được nối điện với nhau hoặc mẫu hình dây dẫn thứ hai, trong đó ít nhất hoặc đường bit hoặc đường từ và phần tử nhớ không được nối điện với nhau, được tạo thành bằng cách phủ đối với mỗi phần tử trong số các phần tử nhớ 90 đến 105 trên tấm 70. Dung dịch phân tán hạt bạc mịn được phủ lên vùng giữa điện cực thứ nhất và đường bit của mỗi phần tử trong số các phần tử nhớ 90 đến 93, 95, 96, và 99 đến 102 được lựa chọn trong số các phần tử nhớ 90 đến 105 tương ứng với thông tin cần được ghi và sau đó, được sấy khô và được nung nếu cần để tạo thành các bộ phận nối 110 đến 119, chẳng hạn. Trong trường hợp này, các phần tử nhớ 90 đến 93, 95, 96, và 99 đến 102 mà các bộ phận nối 110 đến 119 dùng cho các phần tử này đã lần lượt được tạo thành, là các phần tử nhớ có mẫu hình dây dẫn thứ nhất. Các phần tử nhớ 94, 97, 98, và 103 đến 105 mà các bộ phận nối 110 đến 119 dùng cho các phần tử này đã không được tạo thành là các phần tử nhớ có mẫu hình dây dẫn thứ hai.

Do đó, các phần tử nhớ trên tấm 70 được chế tạo tách biệt thành hai loại phần tử nhớ khác nhau về các thuộc tính điện (tức là, khác nhau về thông tin cần được ghi) tùy theo mẫu hình dây dẫn nào trong số mẫu hình dây dẫn thứ nhất và mẫu hình dây dẫn thứ hai được bao gồm trong phần tử. Do đó, các mảng nhớ 71, 72, 73, và 74 được tạo thành trên tấm 70. Trong quy trình này, các mảng nhớ 71, 72, 73, và 74 được làm cho khác nhau về cách bố trí của phần tử nhớ có mẫu hình dây dẫn thứ nhất có bộ phận nối mà nối điện đường bit và điện cực thứ nhất với nhau và phần tử nhớ có mẫu hình dây dẫn thứ hai không có bộ phận nối mà

nối điện đường bit và điện cực thứ nhất với nhau. Các đoạn thông tin tương ứng duy nhất của các mảng nhớ 71, 72, 73, và 74 được xác định bằng cách bố trí bất kỳ này của hai loại phần tử nhớ. Do đó, các mảng nhớ này 71, 72, 73, và 74 ghi các đoạn thông tin tương ứng khác nhau dưới dạng các đoạn thông tin duy nhất, và tấm mảng nhớ 75 có các mảng nhớ này 71, 72, 73, và 74 có thể được chế tạo.

Phương pháp phủ trong Quy trình ST65 tốt hơn là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán, và phun mực tương tự với quy trình phủ (Quy trình ST34) trong phương pháp chế tạo là ví dụ thứ nhất. Trong số các phương pháp này, phụt mực được ưu tiên hơn.

Mặc dù phương pháp chế tạo tấm mảng nhớ theo phương án thứ năm chế tạo một cách tách biệt mẫu hình dây dẫn thứ nhất có bộ phận nối mà nối điện đường bit và điện cực thứ nhất với nhau và mẫu hình dây dẫn thứ hai không có bộ phận nối mà nối điện đường bit và điện cực thứ nhất với nhau bằng cách phủ, sáng chế không bị giới hạn ở ví dụ này; mẫu hình dây dẫn thứ hai có thể là mẫu hình dây dẫn không có ít nhất một trong số kết nối điện giữa đường bit và điện cực thứ nhất, kết nối điện giữa điện cực thứ nhất và điện cực thứ hai, và kết nối điện giữa đường từ và điện cực thứ ba, và mẫu hình dây dẫn thứ hai và mẫu hình dây dẫn thứ nhất "bao gồm điện cực thứ nhất được nối điện với đường bit, điện cực thứ hai được nối điện với điện cực thứ nhất qua lớp bán dẫn, và điện cực thứ ba được nối điện với đường từ" có thể được chế tạo tách biệt bằng cách lựa chọn liệu các bộ phận nối hay các loại điện cực khác nhau sẽ được tạo thành đối với mỗi phần tử trong số các phần tử nhớ bằng cách phủ, chẳng hạn.

Như được mô tả ở trên, khi tấm mảng nhớ có mảng nhớ theo phương án thứ nhất và thứ hai của sáng chế được chế tạo, quy trình xử lý theo lô có thể được sử dụng, quy trình này tạo thành các thành phần tương ứng của tất cả các phần tử nhớ cần được chế tạo trên cùng nền theo cách hàng loạt trong các quy trình trước khi tạo thành lớp bán dẫn. Sau đó, lớp bán dẫn có thể được tạo thành theo cách có chọn lọc chỉ trong phần tử nhớ cụ thể bằng cách phủ, hoặc hai loại

lớp bán dẫn khác nhau về các thuộc tính điện có thể được tạo ra tách biệt đối với mỗi phần tử trong số các phần tử nhớ bằng cách phủ.

Khi tấm mảng nhớ có các mảng nhớ theo phương án thứ ba của sáng chế được chế tạo, thì quy trình xử lý theo lô có thể được sử dụng, quy trình này tạo thành các thành phần tương ứng của tất cả các phần tử nhớ cần được chế tạo trên cùng nền theo cách hàng loạt trong các quy trình cho đến khi tạo thành lớp bán dẫn. Sau đó, lớp cách ly thứ nhất và lớp cách ly thứ hai khác nhau về thành phần vật liệu có thể được tạo ra tách biệt đối với mỗi phần tử trong số các phần tử nhớ bằng cách phủ.

Khi tấm mảng nhớ theo phương án thứ năm của sáng chế được chế tạo, quy trình xử lý theo lô có thể được sử dụng, quy trình này tạo thành các thành phần tương ứng của tất cả các phần tử nhớ cần được chế tạo trên cùng tấm theo cách hàng loạt trong các quy trình cho đến khi tạo thành lớp bán dẫn. Sau đó, các bộ phận nối mà nối điện các dây dẫn chẳng hạn như đường bit và các phần tử nhớ có thể được tạo ra tách biệt đối với mỗi phần tử trong số các phần tử nhớ bằng cách phủ.

Trong phương pháp bất kỳ trong số các phương pháp chế tạo tấm mảng nhớ, các phần tử nhớ có thể ghi thông tin là "0" hoặc "1" có thể được chế tạo tách biệt trong cùng quy trình bằng cách sử dụng phương pháp đơn giản, hoặc phương pháp phủ.

Phương pháp bất kỳ trong số các phương pháp chế tạo tấm mảng nhớ này có lợi về mặt các quy trình và chi phí khi nhiều mảng nhớ khác nhau về thông tin duy nhất được ghi được chế tạo trên cùng tấm. Các mảng nhớ khác nhau về thông tin được ghi là khác nhau về cách bố trí với sự kết hợp bất kỳ của phần tử nhớ ghi thông tin "0" và phần tử nhớ ghi thông tin "1." Khi các mảng nhớ được tạo thành sao cho cách bố trí của hai loại phần tử nhớ này khác nhau giữa mảng nhớ này với mảng nhớ kia, thì các quy trình và chi phí thường gia tăng. Khi nhiều mảng nhớ khác nhau về thông tin được ghi được chế tạo, thì mặt nạ quang

tương ứng với thông tin cần được ghi được yêu cầu chuẩn bị cho mỗi mảng trong số các mảng nhớ, ví dụ; kích thước của mặt nạ quang bị giới hạn, và số lượng của các mảng nhớ chế tạo được bị giới hạn tương ứng với kích thước mặt nạ. Vì lý do này, khi các mảng nhớ khác nhau về thông tin duy nhất được ghi được chế tạo tiếp trên cùng tấm, thì mặt nạ quang khác tương ứng với thông tin duy nhất được yêu cầu chuẩn bị. Phương pháp chế tạo tấm mảng nhớ theo phương án thứ tư và thứ năm của sáng chế có thể thay đổi vị trí của phần tử nhớ trong đó lớp phủ chẳng hạn như lớp bán dẫn, lớp cách ly thứ nhất, hoặc lớp cách ly thứ hai hoặc mẫu hình dây dẫn chẳng hạn như bộ phận nối cần được tạo thành đối với mỗi mảng trong số các mảng nhớ một cách đơn giản mà không sử dụng mặt nạ bất kỳ và nhờ đó, có thể chế tạo nhiều loại mảng nhớ khác nhau về cách bố trí của hai loại phần tử nhớ. Do đó, tấm mảng nhớ trong đó nhiều mảng nhớ khác nhau về thông tin được ghi được tạo thành trên cùng tấm có thể được chế tạo bằng các quy trình đơn giản và với chi phí thấp. Tấm mảng nhớ này được cắt thành mỗi mảng nhớ, nhờ đó các mảng nhớ này có thể thu được một cách đơn giản.

<Thiết bị truyền thông không dây>

Phần sau mô tả thiết bị truyền thông không dây bao gồm mảng nhớ theo sáng chế. Thiết bị truyền thông không dây này là thiết bị tiếp nhận tín hiệu không dây (sóng mang) được truyền phát từ ăng ten được lắp đặt trong bộ đọc/bộ ghi để thực hiện truyền thông điện chẳng hạn như thẻ RFID.

Hoạt động cụ thể của thẻ RFID dưới dạng ví dụ của thiết bị truyền thông không dây như sau, chẳng hạn. Ăng ten của thẻ RFID tiếp nhận tín hiệu không dây được truyền phát từ ăng ten được lắp đặt trong bộ đọc/bộ ghi. tín hiệu không dây được tiếp nhận được chuyển đổi thành tín hiệu DC bằng mạch chỉnh lưu của thẻ RFID. Trên cơ sở dòng điện DC này, thẻ RFID được kích thích. Tiếp theo, thẻ RFID được kích thích thu được lệnh trên cơ sở tín hiệu không dây từ bộ đọc/bộ ghi và thực hiện hoạt động đáp ứng lại lệnh này. Sau đó, thẻ RFID truyền

phát hồi đáp kết quả đáp ứng lại lệnh này dưới dạng tín hiệu không dây từ ăng ten của nó đến ăng ten của bộ đọc/bộ ghi. Hoạt động đáp ứng lại lệnh được thực hiện bằng ít nhất mạch giải điều biến, mạch điều khiển, và mạch điều biến đã biết.

Thiết bị truyền thông không dây theo sáng chế có ít nhất mạch nhớ có mảng nhớ, các tranzito, và ăng ten. Các tranzito là các thành phần trong mạch chỉnh lưu và mạch logic. Mạch logic bao gồm mạch giải điều biến, mạch điều khiển, và mạch điều biến.

FIG.24 là hình vẽ sơ đồ khối của ví dụ về kết cấu của thiết bị truyền thông không dây bao gồm mảng nhớ theo sáng chế. Như được minh họa trên FIG.24, thiết bị truyền thông không dây này 120 bao gồm mạch nhớ 121, ăng ten 122, bộ phận phát điện 123, mạch giải điều biến 124, mạch điều biến 125, và mạch điều khiển 126. Như được ví dụ bởi mạch nhớ 130 được minh họa trên FIG.14, mạch nhớ 121 bao gồm mảng nhớ trong đó thông tin duy nhất chẳng hạn như số ID được ghi theo cách đọc được. Mảng nhớ được bao gồm trong mạch nhớ 121 này là mảng nhớ theo phương án thứ nhất đến thứ ba hoặc mảng nhớ được cắt ra từ tám mảng nhớ theo phương án thứ tư và thứ năm. Ăng ten 122 truyền phát và tiếp nhận các tín hiệu không dây đến và từ thiết bị bên ngoài chẳng hạn như bộ đọc/bộ ghi. Bộ phận phát điện 123 có chức năng làm mạch chỉnh lưu trong thiết bị truyền thông không dây 120. Mạch giải điều biến 124, mạch điều biến 125, và mạch điều khiển 126 là các mạch tạo thành mạch logic trong thiết bị truyền thông không dây 120. Như được minh họa trên FIG.24, các mạch này và ăng ten 122 được nối điện với nhau qua các dây dẫn.

Trong thiết bị truyền thông không dây 120, ăng ten 122 tiếp nhận tín hiệu không dây (tín hiệu sóng được điều biến) được truyền phát từ thiết bị bên ngoài. Bộ phận phát điện 123 thực hiện sự chỉnh lưu mà chuyển đổi tín hiệu sóng được điều biến được tiếp nhận bởi ăng ten 122 thành dòng điện DC và cấp dòng điện DC (điện năng) thu được bằng cách này đến các bộ phận của thiết bị truyền

thông không dây 120. Mạch giải điều biến 124 giải điều biến tín hiệu sóng được điều biến này và truyền phát tín hiệu điện (lệnh) thu được bằng cách này đến mạch điều khiển 126. Mạch nhớ 121 giữ thông tin duy nhất được ghi trong mảng nhớ làm dữ liệu. Mạch điều khiển 126 đọc dữ liệu từ mạch nhớ 121 trên cơ sở lệnh thu được trên cơ sở tín hiệu điện được tiếp nhận từ mạch giải điều biến 124 và truyền phát dữ liệu đã được đọc này đến mạch điều biến 125. Mạch điều biến 125 điều biến dữ liệu được tiếp nhận từ mạch điều khiển 126 và truyền phát tín hiệu sóng được điều biến được tạo ra bằng cách này đến ăng ten 122. Ăng ten 122 truyền phát tín hiệu sóng được điều biến này từ mạch điều biến 125 dưới dạng tín hiệu không dây chứa dữ liệu đến thiết bị bên ngoài.

Thiết bị truyền thông không dây 120 bao gồm mạch nhớ 121 bao gồm mảng nhớ theo phương án thứ nhất đến thứ ba hoặc mảng nhớ được cắt ra từ tám mảng nhớ theo phương án thứ tư và thứ năm và có thể bao gồm mảng nhớ được chế tạo với chi phí thấp bằng cách sử dụng các quy trình đơn giản và ghi thông tin duy nhất khác với thông tin của mảng nhớ khác.

Trong thiết bị truyền thông không dây 120, thiết bị đầu cuối nhập, thiết bị đầu cuối xuất, ăng ten 122, các tranzito được bao gồm trong các mạch có thể là các thiết bị thường được sử dụng, và vật liệu để sử dụng trong các thiết bị này và các hình dạng của chúng không bị giới hạn ở vật liệu và hình dạng cụ thể. Các vật liệu của các dây dẫn và bộ phận tương tự mà nối điện các thiết bị này với nhau có thể là các vật liệu bất kỳ chỉ cần chúng là các vật liệu dẫn điện có thể thường được sử dụng. Phương pháp để nối các thiết bị này có thể là phương pháp bất kỳ chỉ cần phương pháp này có thể thiết lập tính liên tục về điện, và các dây dẫn và các điện cực dùng cho kết nối có chiều rộng và độ dày bất kỳ.

[Các ví dụ]

Phần sau mô tả sáng chế cụ thể hơn trên cơ sở các ví dụ. Các ví dụ sau đây không làm giới hạn sáng chế.

(Sản xuất Dung dịch bán dẫn)

Khi sản xuất dung dịch bán dẫn, đầu tiên, 1,0mg CNT (được sản xuất bởi CNI, là CNT một lớp, độ tinh khiết: 95%) được bổ sung vào dung dịch cloroform (10ml) chứa 2,0mg P3HT (được sản xuất bởi Aldrich, poly(3-hexylthiophen)) và được khuấy bằng siêu âm bằng cách sử dụng thiết bị đồng hóa bằng siêu âm (được sản xuất bởi Tokyo Rikakikai Co., Ltd., VCX-500) với sản lượng 20% trong 4 giờ trong khi đang được làm mát bằng đá. Với hoạt động này, thu được Dung dịch phân tán CNT A11 (với nồng độ compozit CNT so với dung môi bằng 0,96 g/l).

Tiếp theo, bằng cách sử dụng bộ lọc màng (đường kính lỗ: 10 μ m, đường kính: 25mm, Omnipore Membrane được sản xuất bởi Millipore Corporation), Dung dịch phân tán CNT A11 được lọc để loại bỏ compozit CNT có chiều dài lớn hơn hoặc bằng 10 μ m. Đối với dịch lọc thu được bằng cách lọc này, 5ml o-DCB (được sản xuất bởi Wako Pure Chemical Corporation) được bổ sung, và cloroform là dung môi có điểm sôi thấp được chưng cất ra bằng cách sử dụng máy chưng quay, nhờ đó dung môi được thay thế bằng o-DCB để thu được Dung dịch phân tán CNT B11. Đối với Dung dịch phân tán CNT B11 (1ml), 3ml o-DCB được bổ sung, nhờ đó thu được Dung dịch bán dẫn A1 (với nồng độ compozit CNT so với dung môi bằng 0,03 g/l).

(Ví dụ sản xuất chế phẩm 1)

Trong Ví dụ sản xuất chế phẩm 1, Dung dịch lớp cách ly A2 được sản xuất. Cụ thể là, đầu tiên, methyltrimetoxysilan (61,29g (0,45 mol)), 2(3,4-epoxyxyclohexyl)etyltrimetoxysilan (12,31g (0,05 mol)), và phenyltrimetoxysilan (99,15g (0,5 mol)) được phân hủy trong 203,36g propylen glycol monobutyl ete (điểm sôi: 170°C). Nước (54,90g) và axit phosphoric (0,864g) được bổ sung vào đó bằng cách khuấy. Nhờ đó thu được dung dịch được gia nhiệt ở nhiệt độ bề bằng 105°C trong 2 giờ để gia tăng nhiệt độ bên

trong lên đến 90°C để chưng cất ra thành phần chủ yếu chứa metanol dưới dạng phó phẩm. Tiếp theo, dung dịch được gia nhiệt ở nhiệt độ bề bằng 130°C trong 2 giờ để gia tăng nhiệt độ bên trong lên đến 118°C để chưng cất ra thành phần chủ yếu chứa nước và propylen glycol monobutyl ete. Sau đó, dung dịch được làm mát đến nhiệt độ phòng để thu được Dung dịch Polysiloxan A3 có nồng độ hàm lượng chất rắn là 26,0% theo trọng lượng. Phân tử lượng trung bình của polysiloxan trong Dung dịch Polysiloxan A3 thu được là 6,000.

Tiếp theo, 10g Dung dịch Polysiloxan A3 thu được được cân và được trộn với 54,4g propylen glycol monoethyl ete axetat (sau đây được gọi là PGMEA), và hỗn hợp này được khuấy ở nhiệt độ phòng trong 2 giờ. Theo đó, thu được Dung dịch lớp cách ly A2.

(Ví dụ sản xuất chế phẩm 2)

Trong Ví dụ sản xuất chế phẩm 2, Dung dịch lớp cách ly B2 được sản xuất. Cụ thể là, 10g Dung dịch Polysiloxan A3 được cân và được trộn với hợp chất hữu cơ nhôm nhất định (nhôm bis(etyl axetoaxetat)mono(2,4-pentanedionato), được sản xuất bởi Kawaken Fine Chemicals Co., Ltd., tên sản phẩm: "Alumichelate D") (0,13g) và propylen glycol monoethyl ete axetat (sau đây được gọi là "PGMEA") (54,4g), và hỗn hợp này được khuấy ở nhiệt độ phòng trong 2 giờ. Theo đó, thu được Dung dịch lớp cách ly B2. Hàm lượng polyme trong dung dịch này bằng 2000 phần theo trọng lượng so với 100 phần theo trọng lượng của hợp chất hữu cơ nhôm nhất định (Alumichelate D). Khi Dung dịch lớp cách ly B2 này được lưu trữ trong không khí ở nhiệt độ phòng, chất kết tủa không được quan sát thấy ngay cả sau 1 tháng, điều này thể hiện độ ổn định.

(Ví dụ tổng hợp 1)

Trong Ví dụ tổng hợp 1, Hợp chất P1 là thành phần hữu cơ được tổng hợp. Trong Ví dụ tổng hợp 1 này, tỷ lệ copolyme hóa (về mặt trọng lượng) giữa etyl

acrylat (sau đây được gọi là "EA"), 2-ethylhexyl metacrylat (sau đây được gọi là "2-EHMA"), styren (sau đây được gọi là "St"), glycidyl metacrylat (sau đây được gọi là "GMA"), và axit acrylic (sau đây được gọi là "AA") là 20:40:20:5:15.

Cụ thể là, đầu tiên, 150g dietylen glycol monoethyl ete axetat (sau đây được gọi là "DMEA") được nạp vào bình phản ứng trong môi trường nitơ và được gia nhiệt lên đến 80°C bằng cách sử dụng bể dầu. Hỗn hợp gồm 20g EA, 40g 2-EHMA, 20g St, 15g AA, 0,8g 2,2'-azobisisobutyronitril, và 10g DMEA được bổ sung nhỏ giọt vào đó trong 1 giờ. Sau khi kết thúc việc bổ sung nhỏ giọt, phản ứng polime hóa được thực hiện trong 6 giờ nữa. Sau đó, 1g hydroquinon monomethyl ete được bổ sung vào đó để ngừng phản ứng polime hóa. Sau đó, hỗn hợp gồm 5g GMA, 1g triethylbenzyl amoni clorua, và 10g DMEA được bổ sung nhỏ giọt vào đó trong 0,5 giờ. Sau khi kết thúc việc bổ sung nhỏ giọt, phản ứng cộng được thực hiện trong 2 giờ nữa. Dung dịch phản ứng thu được bằng quy trình này được tinh chế bằng metanol để loại bỏ các tạp chất không phản ứng và sau đó, được sấy khô trong chân không trong 24 giờ. Theo đó, thu được Hợp chất P1.

(Ví dụ tổng hợp 2)

Trong Ví dụ tổng hợp 2, Hợp chất P2 là thành phần hữu cơ được tổng hợp. Trong Ví dụ tổng hợp 2 này, tỷ lệ copolime hóa (về mặt trọng lượng) giữa epoxy acrylat monome lưỡng chức (Epoxyeste 3002A, được sản xuất bởi Kyoisha Chemical Co., Ltd.), epoxy acrylat monome lưỡng chức (Epoxyeste 70PA, được sản xuất bởi Kyoisha Chemical Co., Ltd.), GMA, St, và AA là 20:40:5:20:15.

Cụ thể là, đầu tiên, 150g DMEA được nạp vào bình phản ứng trong môi trường nitơ và được gia nhiệt lên đến 80°C bằng cách sử dụng bể dầu. Hỗn hợp gồm 20g Epoxyeste 3002A, 40g Epoxyeste 70PA, 20g St, 15g AA, 0,8g 2,2'-azobisisobutyronitril, và 10g DMEA được bổ sung nhỏ giọt vào đó trong 1 giờ. Sau khi kết thúc việc bổ sung nhỏ giọt, phản ứng polime hóa được thực hiện

trong 6 giờ nữa. Sau đó, 1g hydroquinon monometyl ete được bổ sung vào đó để ngừng phản ứng polime hóa. Sau đó, hỗn hợp gồm 5g GMA, 1g triethylbenzyl amoni clorua, và 10g DMEA được bổ sung nhỏ giọt vào đó trong 0,5 giờ. Sau khi kết thúc việc bổ sung nhỏ giọt, phản ứng cộng được thực hiện trong 2 giờ nữa. Dung dịch phản ứng thu được bằng quy trình này được tinh chế bằng metanol để loại bỏ các tạp chất không phản ứng và sau đó, được sấy khô trong chân không trong 24 giờ. Theo đó, thu được Hợp chất P2.

(Ví dụ tổng hợp 3)

Trong Ví dụ tổng hợp 3, Hợp chất P3 là thành phần hữu cơ được tổng hợp. Hợp chất P3 là hợp chất được cải biến dạng urethan trong Hợp chất P2 trong Ví dụ tổng hợp 2.

Cụ thể là, đầu tiên, 100g DMEA được nạp vào bình phản ứng trong môi trường nitơ và được gia nhiệt lên đến 80°C bằng cách sử dụng bể dầu. Hỗn hợp gồm 10g Hợp chất P2 (thành phần nhạy quang), 3,5g n-hexyl isoxyanat, và 10g DMEA được bổ sung nhỏ giọt vào đó trong 1 giờ. Sau khi kết thúc việc bổ sung nhỏ giọt, phản ứng được thực hiện trong 3 giờ nữa. Dung dịch phản ứng thu được bằng quy trình này được tinh chế bằng metanol để loại bỏ các tạp chất không phản ứng và sau đó, được sấy khô trong chân không trong 24 giờ. Theo đó, thu được Hợp chất P3 có liên kết urethan.

(Ví dụ điều chế 1)

Trong Ví dụ điều chế 1, Hỗn hợp nhão dẫn điện A4 được điều chế. Cụ thể là, đầu tiên, được nạp vào chai sạch 100ml là 16g Hợp chất P1, 4g Hợp chất P3, 4g chất khơi mào quang polime hóa OXE-01 (được sản xuất bởi BASF Japan Ltd.), 0,6g chất sinh axit SI-110 (được sản xuất bởi Sanshin Chemical Industry Co., Ltd.), và 10g γ -butyrolacton (được sản xuất bởi Mitsubishi Gas Chemical Company, Inc.), mà được trộn bằng máy trộn chân không quay/xoay "Awatori Rentaro" (nhãn hiệu đã đăng ký) (ARE-310 được sản xuất bởi Thinky

Corporation). Bằng hoạt động này, thu được 46,6g (hàm lượng chất rắn: 78,5% theo trọng lượng) dung dịch nhựa nhạy quang. Tiếp theo, dung dịch nhựa nhạy quang (8,0g) đã thu được này và các hạt Ag (42,0g) có đường kính hạt trung bình 0,2 μ m được trộn với nhau và được nhào trộn bằng cách sử dụng ba con lăn (tên sản phẩm: "EXAKT M-50" được sản xuất bởi EXAKT). Theo đó, thu được 50g Hỗn hợp nhào dẫn điện A4.

(Ví dụ 1)

Trong Ví dụ 1, màng nhớ theo phương án thứ nhất của sáng chế (dựa vào các hình vẽ từ FIG.1 đến FIG.3) được chế tạo. Cụ thể là, đầu tiên, 5nm crôm và 50nm vàng được lắng trong chân không trên nền 1 được làm bằng thủy tinh (độ dày màng: 0,7mm) thông qua mặt nạ bằng cách nung bằng điện trở để tạo thành các điện cực thứ ba 2 của các phần tử nhớ 14, 15, 16, và 17, đường từ 10, và đường từ 11. Tiếp theo, Dung dịch lớp cách ly A2 được phủ lên nền 1 bằng cách phủ xoay (1000 vòng trên phút $\times$ 20 giây), được trải qua bước xử lý nhiệt trong môi trường không khí ở 120°C trong 3 phút, và được trải qua bước xử lý nhiệt trong môi trường nitơ ở 150°C trong 120 phút để tạo thành lớp cách ly 3 có độ dày màng là 0,5 μ m. Tiếp theo, vàng được lắng trong chân không lên lớp này để tạo ra độ dày màng là 50nm bằng cách nung bằng điện trở, và chất cản quang (tên sản phẩm: "LC100-10cP" được chế tạo bởi công ty Rohm and Haas) được phủ vào đó bằng cách phủ xoay (1,000 vòng trên phút $\times$ 20 giây) và được gia nhiệt và được sấy khô ở 100°C trong 10 phút.

Tiếp theo, màng cản quang được chế tạo như được mô tả ở trên được trải qua bước phơi mẫu hình qua mặt nạ bằng cách sử dụng bộ căn chỉnh mặt nạ sáng song song (được chế tạo bởi Canon Inc., PLA-501F), được trải qua bước hiện hình bằng cách tưới bằng dung dịch tetrametylamoni hydroxit có nước 2,38% theo trọng lượng (tên sản phẩm: "ELM-D" được chế tạo bởi Mitsubishi Gas Chemical Company, Inc.) trong 70 giây bằng cách sử dụng thiết bị hiện hình tự động (được chế tạo bởi Takizawa Sangyo K.K., AD-2000), và được rửa

bằng nước trong 30 giây. Sau đó, nền 1 được trải qua bước xử lý khắc mòn bằng chất khắc mòn (tên sản phẩm: "AURUM-302" được chế tạo bởi Kanto Chemical Co., Inc.) trong 5 phút và được rửa bằng nước trong 30 giây. Tiếp theo, nền 1 được nhúng trong chất tẩy (tên sản phẩm: "AZ Remover 100" được chế tạo bởi AZ Electronic Materials) trong 5 phút để loại bỏ chất cản, được rửa bằng nước trong 30 giây, và được gia nhiệt và được sấy khô ở 120°C trong 20 phút để tạo thành điện cực thứ nhất 5, điện cực thứ hai 6, đường bit 12, và đường bit 13.

Chiều rộng của điện cực thứ nhất 5 và điện cực thứ hai 6 được thiết lập bằng 100µm, và khoảng cách giữa các điện cực này được thiết lập bằng 10µm. Trên nền 1 mà các điện cực đã được tạo thành trên đó như được mô tả ở trên, 100p1 Dung dịch bán dẫn A1 được phủ lên các phần tử nhớ 14 và 17 bằng cách phụt mực và được trải qua bước xử lý nhiệt trên tấm nóng trong dòng hơi nitơ ở 150°C trong 30 phút để tạo thành lớp bán dẫn 4. Theo đó, thu được Mảng nhớ theo Ví dụ 1.

Tiếp theo, các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai của các phần tử nhớ được bao gồm trong mảng nhớ theo Ví dụ 1 được đo. Cụ thể là, là các thuộc tính điện, cường độ dòng điện (I_d) và điện áp (V_{sd}) giữa điện cực thứ nhất và điện cực thứ hai khi điện áp (V_g) của điện cực thứ ba của các phần tử nhớ được thay đổi được đo. Đối với bước đo này, hệ thống đánh giá các thuộc tính bán dẫn 4200-SCS Model (được chế tạo bởi Keithley Instruments Ltd.) được sử dụng, và bước đo được thực hiện trong không khí. Với bước đo này, trị số I_d ở $V_g = -3$ V và $V_{sd} = -5$ V được xác định.

Bảng 1 dưới đây liệt kê các trị số I_d (các trị số cường độ dòng điện) của các phần tử nhớ 14 đến 17 của mảng nhớ theo Ví dụ 1. Như có thể thấy bằng cách dựa vào Bảng 1, có đủ sự chênh lệch về I_d đi qua giữa điện cực thứ nhất và điện cực thứ hai giữa các phần tử nhớ 14 và 17 có lớp bán dẫn 4 và các phần tử nhớ 15 và 16 không có lớp bán dẫn 4 trong Ví dụ 1. Điều được làm rõ từ kết quả này là đối với Ví dụ 1, các đoạn thông tin tương ứng khác nhau được ghi giữa

các phần tử nhớ 14 và 17 và các phần tử nhớ 15 và 16.

(Ví dụ 2)

Trong Ví dụ 2, màng PET có độ dày màng là 50 μ m được sử dụng thay vì nền 1 được làm bằng thủy tinh trong Ví dụ 1, và Hỗn hợp nhão dẫn điện A4 được phủ lên nền màng PET này bằng cách in lưới và được nung sơ bộ bằng lò sấy ở 100°C trong 10 phút. Sau đó, màng mỏng kết quả được phơi bằng cách sử dụng thiết bị phơi (tên sản phẩm: "PEM-8M" được chế tạo bởi Union Optical Co., Ltd.), được hiện hình bằng cách ngâm với dung dịch Na₂CO₃ 0,5% trong 30 giây, được rửa bằng nước siêu tinh khiết, và được hóa cứng bằng lò sấy ở 140°C trong 30 phút để tạo thành các điện cực thứ hai 2 của các phần tử nhớ 14, 15, 16, và 17, đường từ 10, và đường từ 11.

Tiếp theo, Dung dịch lớp cách ly A2 được phủ lên nền màng PET bằng cách phủ xoay (1,000 vòng trên phút $\times$ 20 giây), được trải qua bước xử lý nhiệt trong môi trường không khí ở 120°C trong 3 phút, và được trải qua bước xử lý nhiệt trong môi trường nitơ ở 150°C trong 120 phút để tạo thành lớp cách ly 3 có độ dày màng là 0,5 μ m.

Tiếp theo, Hỗn hợp nhão dẫn điện A4 được phủ lên nền màng PET bằng cách in lưới và được nung sơ bộ bằng lò sấy ở 100°C trong 10 phút. Sau đó, màng mỏng kết quả được phơi bằng cách sử dụng thiết bị phơi "PEM-8M", được hiện hình bằng cách ngâm với 0,5% Na₂CO₃ dung dịch trong 30 giây, được rửa bằng nước siêu tinh khiết, và được hóa cứng bằng lò sấy ở 140°C trong 30 phút để tạo thành điện cực thứ nhất 5, điện cực thứ hai 6, đường bit 12, và đường bit 13.

Trên nền mà các điện cực đã được tạo thành trên đó như được mô tả ở trên, 100p1 Dung dịch bán dẫn A1 được phủ lên các phần tử nhớ 14 và 17 bằng cách phụt mực và được trải qua bước xử lý nhiệt trên tấm nóng trong dòng hơi nitơ ở 150°C trong 30 phút để tạo thành lớp bán dẫn 4. Theo đó, thu được Mảng

nhớ theo Ví dụ 2. Chiều rộng và khoảng cách của điện cực thứ nhất và điện cực thứ hai của các phần tử nhớ của mảng nhớ theo Ví dụ 2 giống như chiều rộng và khoảng cách theo Ví dụ 1.

Tiếp theo, các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai của các phần tử nhớ được bao gồm trong mảng nhớ theo Ví dụ 2 được đo. Cụ thể là, đối với các thuộc tính điện, cường độ dòng điện (I_d) và điện áp (V_{sd}) giữa điện cực thứ nhất và điện cực thứ hai khi điện áp (V_g) của điện cực thứ ba của các phần tử nhớ được thay đổi được đo. Đối với bước đo này, hệ thống đánh giá các thuộc tính bán dẫn 4200-SCS Model (được chế tạo bởi Keithley Instruments Ltd.) được sử dụng, và bước đo được thực hiện trong không khí. Nhờ bước đo này, trị số I_d ở $V_g = -3$ V và $V_{sd} = -5$ V được xác định.

Bảng 1 liệt kê các trị số I_d (các trị số cường độ dòng điện) của các phần tử nhớ 14 đến 17 của mảng nhớ theo Ví dụ 2. Như có thể thấy bằng cách dựa vào Bảng 1, có đủ sự chênh lệch về I_d đi qua giữa điện cực thứ nhất và điện cực thứ hai giữa các phần tử nhớ 14 và 17 có lớp bán dẫn 4 và các phần tử nhớ 15 và 16 không có lớp bán dẫn 4 trong Ví dụ 2. Điều được làm rõ từ kết quả này là đối với Ví dụ 2, các đoạn thông tin tương ứng khác nhau được ghi giữa các phần tử nhớ 14 và 17 và các phần tử nhớ 15 và 16.

(Ví dụ 3)

Trong Ví dụ 3, mảng nhớ theo phương án thứ hai của sáng chế (dựa vào các hình vẽ từ FIG.4 đến FIG.6) được chế tạo. Cụ thể là, đầu tiên, 5nm crôm và 50nm vàng được lắng trong chân không trên nền 21 được làm bằng thủy tinh (độ dày màng: 0,7mm) thông qua mặt nạ bằng cách nung bằng điện trở để tạo thành các điện cực thứ ba 22 của các phần tử nhớ 34, 35, 36, và 37 và các đường từ 30 và 31. Tiếp theo, Dung dịch lớp cách ly A2 được phủ lên nền 21 bằng cách phủ xoay (1,000 vòng trên phút $\times$ 20 giây), được trải qua bước xử lý nhiệt trong môi trường không khí ở 120°C trong 3 phút, và được trải qua bước xử lý nhiệt trong

môi trường nito ở 150°C trong 120 phút để tạo thành lớp cách ly 23 có độ dày màng là 0,5µm. Tiếp theo, vàng được lắng trong chân không lên lớp này để tạo ra độ dày màng là 50nm bằng cách nung bằng điện trở, và chất cản quang (tên sản phẩm: "LC100-10cP" được chế tạo bởi công ty Rohm and Haas) được phủ vào đó bằng cách phủ xoay (1,000 vòng trên phút × 20 giây) và được gia nhiệt và được sấy khô ở 100°C trong 10 phút.

Tiếp theo, màng cản quang được chế tạo như được mô tả ở trên được trải qua bước phơi mẫu hình qua mặt nạ bằng cách sử dụng bộ căn chỉnh mặt nạ sáng song song (được chế tạo bởi Canon Inc., PLA-501F), được trải qua bước hiện hình bằng cách tưới với 2,38% theo trọng lượng dung dịch tetrametylamoni hydroxit có nước (tên sản phẩm: "ELM-D" được chế tạo bởi Mitsubishi Gas Chemical Company, Inc.) trong 70 giây bằng cách sử dụng thiết bị hiện hình tự động (được chế tạo bởi Takizawa Sangyo K.K., AD-2000), và được rửa bằng nước trong 30 giây. Sau đó, nền 21 được trải qua bước xử lý khắc mòn bằng chất khắc mòn (tên sản phẩm: "AURUM-302" được chế tạo bởi Kanto Chemical Co., Inc.) trong 5 phút và được rửa bằng nước trong 30 giây. Tiếp theo, nền 21 được nhúng trong chất tẩy (tên sản phẩm: "AZ Remover 100" được chế tạo bởi AZ Electronic Materials) trong 5 phút để loại bỏ chất cản, được rửa bằng nước trong 30 giây, và được gia nhiệt và được sấy khô ở 120°C trong 20 phút để tạo thành điện cực thứ nhất 25, điện cực thứ hai 26, đường bit 32, và đường bit 33.

Chiều rộng của điện cực thứ nhất 25 và điện cực thứ hai 26 được thiết lập bằng 100µm, và khoảng cách giữa các điện cực này được thiết lập bằng 10µm. Trên nền 21 mà các điện cực đã được tạo thành trên đó như được mô tả ở trên, 100pl dung dịch bán dẫn A1 được phủ lên các phần tử nhớ 34 và 37 bằng cách phụt mực và 20pl dung dịch bán dẫn A1 được phủ lên các phần tử nhớ 35 và 36 bằng cách phụt mực, đã được trải qua bước xử lý nhiệt trên tấm nóng trong dòng hơi nito ở 150°C trong 30 phút để tạo thành lớp bán dẫn 24 và lớp bán dẫn 27. Thu được mảng nhớ theo Ví dụ 3.

Tiếp theo, các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai của các phân tử nhớ được bao gồm trong mảng nhớ theo Ví dụ 3 được đo. Cụ thể là, các thuộc tính điện như, cường độ dòng điện (I_d) và điện áp (V_{sd}) giữa điện cực thứ nhất và điện cực thứ hai khi điện áp (V_g) của điện cực thứ ba của các phân tử nhớ được thay đổi được đo. Đối với bước đo này, hệ thống đánh giá các thuộc tính bán dẫn mô hình 4200-SCS (được chế tạo bởi Keithley Instruments Ltd.) được sử dụng, và bước đo được thực hiện trong không khí. Với bước đo này, trị số I_d ở $V_g = -3$ V và $V_{sd} = -5$ V được xác định.

Bảng 2 dưới đây liệt kê các trị số I_d (các trị số cường độ dòng điện) của các phân tử nhớ 34 đến 37 của mảng nhớ theo Ví dụ 3. Như có thể thấy bằng cách dựa vào Bảng 2, có đủ sự chênh lệch về I_d đi qua giữa điện cực thứ nhất và điện cực thứ hai giữa các phân tử nhớ 34 và 37 có lớp bán dẫn 24 và các phân tử nhớ 35 và 36 có lớp bán dẫn 27 trong Ví dụ 3. Điều được làm rõ từ kết quả này là đối với Ví dụ 3 các đoạn thông tin tương ứng khác nhau được ghi giữa các phân tử nhớ 34 và 37 và các phân tử nhớ 35 và 36.

(Ví dụ 4)

Trong Ví dụ 4, mảng nhớ theo phương án thứ ba của sáng chế (dựa vào FIG.8 đến FIG.10) được chế tạo. Cụ thể là, đầu tiên, 5nm crôm và 50nm vàng được lắng trong chân không trên nền 41 được làm bằng thủy tinh (độ dày màng: 0,7mm) thông qua mặt nạ bằng cách nung bằng điện trở để tạo thành các điện cực thứ ba 42 của các phân tử nhớ 54, 55, 56, và 57 và các đường từ 50 và 51. Tiếp theo, Dung dịch lớp cách ly B2 được phủ lên nền 41 bằng cách phủ xoay (1,000 vòng trên phút $\times$ 20 giây), được trải qua bước xử lý nhiệt trong môi trường không khí ở 120°C trong 3 phút, và được trải qua bước xử lý nhiệt trong môi trường nitơ ở 150°C trong 120 phút để tạo thành lớp cách ly 43 có độ dày màng là 0,5 μ m. Tiếp theo, vàng được lắng trong chân không lên lớp này để tạo ra độ dày màng là 50nm bằng cách nung bằng điện trở, và chất cản quang (tên sản phẩm: "LC100-10cP" được chế tạo bởi công ty Rohm and Haas) được phủ

vào đó bằng cách phủ xoay (1,000 vòng trên phút $\times$ 20 giây) và được gia nhiệt và được sấy khô ở 100°C trong 10 phút.

Tiếp theo, màng cản quang được chế tạo như được mô tả ở trên được trải qua bước phơi mẫu hình qua mặt nạ bằng cách sử dụng bộ căn chỉnh mặt nạ sáng song song (được chế tạo bởi Canon Inc., PLA-501F), được trải qua bước hiện hình bằng cách tưới với 2,38% theo trọng lượng dung dịch tetrametylamoni hydroxit có nước (tên sản phẩm: "ELM-D" được chế tạo bởi Mitsubishi Gas Chemical Company, Inc.) trong 70 giây bằng cách sử dụng thiết bị hiện hình tự động (AD-2000 được chế tạo bởi Takizawa Sangyo K.K.), và được rửa bằng nước trong 30 giây. Sau đó, nền 41 được trải qua bước xử lý khắc mòn bằng chất khắc mòn (tên sản phẩm: "AURUM-302" được chế tạo bởi Kanto Chemical Co., Inc.) trong 5 phút và được rửa bằng nước trong 30 giây. Tiếp theo, nền 41 được nhúng trong chất tẩy (tên sản phẩm: "AZ Remover 100" được chế tạo bởi AZ Electronic Materials) trong 5 phút để loại bỏ chất cản, được rửa bằng nước trong 30 giây, và được gia nhiệt và được sấy khô ở 120°C trong 20 phút để tạo thành điện cực thứ nhất 45, điện cực thứ hai 46, đường bit 52, và đường bit 53.

Chiều rộng của điện cực thứ nhất 45 và điện cực thứ hai 46 được thiết lập bằng 100 μ m, và khoảng cách giữa các điện cực này được thiết lập bằng 10 μ m. Trên nền 41 mà các điện cực đã được tạo thành trên đó như được mô tả ở trên, 100pl dung dịch bán dẫn A1 được phủ lên các phần tử nhớ 54, 55, 56, và 57 bằng cách phụt mực và được trải qua bước xử lý nhiệt trên tấm nóng trong dòng hơi nitơ ở 150°C trong 30 phút để tạo thành lớp bán dẫn 44.

Tiếp theo, rượu polyvinyl (PVA được chế tạo bởi Nacalai Tesque, Inc.) được phân hủy trong nước để được 2% theo trọng lượng, 150pl của rượu polyvinyl này được phủ lên các lớp bán dẫn 44 tương ứng của phần tử nhớ 54 và phần tử nhớ 57 bằng cách phụt mực để bao phủ các lớp bán dẫn 44. Polixetiren được phân hủy trong metyl etyl ketone (sau đây được gọi là "MEK") để được 5% theo trọng lượng, 150pl của polixetiren này được phủ lên các lớp bán dẫn 44

tương ứng của phần tử nhớ 55 và phần tử nhớ 56 bằng cách phụt mực để bao phủ các lớp bán dẫn 44. Sau đó, các chất lỏng được phủ này được trải qua bước xử lý nhiệt trong dòng hơi nitơ ở 100°C trong 10 phút để tạo thành lớp cách ly thứ nhất 48 trên các lớp bán dẫn 44 tương ứng của phần tử nhớ 54 và phần tử nhớ 57 và để tạo thành lớp cách ly thứ hai 49 trên các lớp bán dẫn 44 tương ứng của phần tử nhớ 55 và phần tử nhớ 56. Mảng nhớ theo Ví dụ 4 đã thu được.

Tiếp theo, các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai của các phần tử nhớ được bao gồm trong mảng nhớ theo Ví dụ 4 được đo. Cụ thể là, các thuộc tính điện như, cường độ dòng điện (I_d) và điện áp (V_{sd}) giữa điện cực thứ nhất và điện cực thứ hai khi điện áp (V_g) của điện cực thứ ba của các phần tử nhớ được thay đổi được đo. Đối với bước đo này, hệ thống đánh giá các thuộc tính bán dẫn mô hình 4200-SCS (được chế tạo bởi Keithley Instruments Ltd.) được sử dụng, và bước đo được thực hiện trong không khí. Với bước đo này, trị số I_d ở $V_g = -3\text{ V}$ và $V_{sd} = -5\text{ V}$ được xác định.

Bảng 3 dưới đây liệt kê các trị số I_d (các trị số cường độ dòng điện) của các phần tử nhớ 54 đến 57 của mảng nhớ theo Ví dụ 4. Như có thể thấy bằng cách dựa vào Bảng 3, có đủ sự chênh lệch về I_d đi qua giữa điện cực thứ nhất và điện cực thứ hai giữa các phần tử nhớ 54 và 57 có lớp cách ly thứ nhất 48 và các phần tử nhớ 55 và 56 có lớp cách ly thứ hai 49 trong Ví dụ 4. Điều được làm rõ từ kết quả này là đối với Ví dụ 4 các đoạn thông tin tương ứng khác nhau được ghi giữa các phần tử nhớ 54 và 57 và các phần tử nhớ 55 và 56.

(Các ví dụ 5 đến 13)

Theo Các ví dụ 5 đến 13, các mảng nhớ được chế tạo tương tự với Ví dụ 4 dựa trên các điều kiện được liệt kê trong Bảng 3. Đối với các phần tử nhớ của thu được các mảng nhớ, các trị số I_d ở $V_g = -3\text{ V}$ và $V_{sd} = -5\text{ V}$ được xác định tương tự với Ví dụ 4. Bảng 3 liệt kê các kết quả thu được.

Bảng 3 liệt kê các vật liệu tương ứng được sử dụng cho lớp cách ly thứ

nhất 48 và lớp cách ly thứ hai 49 ở dạng được viết tắt. Các vật liệu này được liệt kê trong dạng viết tắt là các dạng như sau.

"PVA" thu được bằng cách hòa tan rượu polyvinyl (được chế tạo bởi Nacalai Tesque, Inc.) trong nước để được 2% theo trọng lượng. "PVP" thu được bằng cách hòa tan polyvinylphenol (được chế tạo bởi Aldrich) trong 1-butanol để được 5% theo trọng lượng. "PMF" thu được bằng cách hòa tan poly(melamin-co-formaldehyt) (được chế tạo bởi Aldrich, nồng độ hàm lượng chất rắn: 84% theo trọng lượng, 1-butanol dung dịch) trong 1-butanol để được 5% theo trọng lượng. "CYEP" thu được bằng cách hòa tan cyanoethyl pullulan (được chế tạo bởi Shin-Etsu Chemical Co., Ltd.) trong MEK để được 5% theo trọng lượng. "P(VDF-TrFE)" thu được bằng cách hòa tan poly (vinyliden florua-trifloetylen) (được chế tạo bởi Solvay, Dung môi 250) trong PGMEA để được 5% theo trọng lượng. "Dung dịch Polysiloxan A3" thu được bằng cách hòa tan dung dịch Polysiloxan A3 trong PGMEA để được 3% theo trọng lượng. "Polystyren + DBU" thu được bằng cách hòa tan polystyren để được 5% theo trọng lượng và 1,8-diazabixyclo [5.4.0] undec-7-en (DBU, được chế tạo bởi Tokyo Chemical Industry Co., Ltd., loại thứ nhất) để được 0,5% theo trọng lượng trong MEK. "Polystyren + DBN" thu được bằng cách hòa tan polystyren để được 5% theo trọng lượng và 1,5-diazabixyclo [4.3.0] non-5-en (DBN, được chế tạo bởi Tokyo Chemical Industry Co., Ltd., loại thứ nhất) để được 0,5% theo trọng lượng trong MEK.

Bảng 3 liệt kê các trị số Id của các phần tử nhớ tương ứng 54 đến 57 của các ví dụ 5 đến 13. Như có thể thấy bằng cách dựa vào Bảng 3, có đủ sự chênh lệch về Id đi qua giữa điện cực thứ nhất và điện cực thứ hai giữa các phần tử nhớ 54 và 57 có lớp cách ly thứ nhất 48 và các phần tử nhớ 55 và 56 có lớp cách ly thứ hai 49 trong mỗi trong số Các ví dụ 5 đến 13. Điều được làm rõ từ kết quả này là đối với mỗi trong số Các ví dụ 5 đến 13 các đoạn thông tin tương ứng khác nhau được ghi giữa các phần tử nhớ 54 và 57 và các phần tử nhớ 55 và 56.

(Ví dụ 14)

Trong Ví dụ 14, các phần tử nhớ 66 và 67 theo phương án thứ tư của sáng chế (dựa vào FIG.16) được chế tạo với kết cấu tương tự với kết cấu của các phần tử nhớ 14 và 15 theo phương án thứ nhất (dựa vào FIG.2), và tấm mỏng nhớ có các mảng nhớ 61 đến 64 trong ví dụ thứ nhất của phương án thứ tư được chế tạo.

Cụ thể là, đầu tiên, hỗn hợp nhão dẫn điện A4 được phủ lên tấm 60 được làm bằng polyimide (độ dày màng: 0,02mm) bằng cách phủ bằng đầu có khe và được nung sơ bộ bằng lò sấy ở 100°C trong 10 phút. Sau đó, màng mỏng kết quả được phơi bằng cách sử dụng thiết bị phơi (tên sản phẩm: "PEM-8M" được chế tạo bởi Union Optical Co., Ltd.), được hiện hình bằng cách ngâm với 0,5% KOH dung dịch trong 60 giây, được rửa bằng nước siêu tinh khiết, và được hóa cứng bằng lò sấy ở 200°C trong 30 phút để tạo thành các điện cực thứ ba 2 của các phần tử nhớ 66 và 67, đường từ 10, và đường từ 11.

Tiếp theo, Dung dịch lớp cách ly A2 được phủ lên tấm 60 bằng cách phủ xoay (1,000 vòng trên phút $\times$ 20 giây), được trải qua bước xử lý nhiệt trong môi trường không khí ở 120°C trong 3 phút, và được trải qua bước xử lý nhiệt trong môi trường nitơ ở 150°C trong 120 phút để tạo thành lớp cách ly 3 có độ dày màng là 0,5 μ m. Tiếp theo, Hỗn hợp nhão dẫn điện A4 được phủ lên tấm 60 bằng cách phủ bằng đầu có khe và được nung sơ bộ bằng lò sấy ở 100°C trong 10 phút. Sau đó, màng mỏng kết quả được phơi bằng cách sử dụng thiết bị phơi (tên sản phẩm: "PEM-8M" được chế tạo bởi Union Optical Co., Ltd.), được hiện hình bằng cách ngâm với 0,5% KOH dung dịch trong 60 giây, được rửa bằng nước siêu tinh khiết, và được hóa cứng bằng lò sấy ở 200°C trong 30 phút để tạo thành điện cực thứ nhất 5, điện cực thứ hai 6, đường bit 12, và đường bit 13.

Chiều rộng của điện cực thứ nhất 5 và điện cực thứ hai 6 được thiết lập bằng 100 μ m, và khoảng cách giữa các điện cực này được thiết lập bằng 10 μ m. Trên tấm 60 trên tấm này điện cực thứ nhất 5 và điện cực thứ hai 6 đã được tạo

thành như được mô tả ở trên, 100pl Dung dịch bán dẫn A1 được phủ lên phần tử nhớ 66 bằng cách phụt mực và được trải qua bước xử lý nhiệt trên tấm nóng trong dòng hơi nitơ ở 150°C trong 30 phút để tạo thành lớp bán dẫn 4. Tấm mỏng nhớ theo Ví dụ 14 đã thu được.

Tiếp theo, các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai của các phần tử nhớ trong tấm mỏng nhớ theo Ví dụ 14 được đo. Cụ thể là, các thuộc tính điện như, cường độ dòng điện (I_d) và điện áp (V_{sd}) giữa điện cực thứ nhất và điện cực thứ hai khi điện áp (V_g) của điện cực thứ ba của các phần tử nhớ được thay đổi được đo. Đối với bước đo này, hệ thống đánh giá các thuộc tính bán dẫn mô hình 4200-SCS (được chế tạo bởi Keithley Instruments Ltd.) được sử dụng, và bước đo được thực hiện trong không khí. Với bước đo này, trị số I_d (trị số cường độ dòng điện) ở $V_g = -3$ V và $V_{sd} = -5$ V được xác định.

Trong Ví dụ 14, đối với phần tử nhớ 66 có lớp bán dẫn 4, trị số I_d theo thứ tự của μA được quan sát thấy. Ngược lại, đối với phần tử nhớ 67 không có lớp bán dẫn 4, không có trị số I_d nào được quan sát thấy. Điều được làm rõ từ kết quả này là phần tử nhớ 66 và phần tử nhớ 67 ghi các đoạn thông tin tương ứng khác nhau chẳng hạn như "1" hoặc "0." Ngoài ra, các mảng nhớ 61 đến 64 khác nhau về cách bố trí mô hình của phần tử nhớ 66 và phần tử nhớ 67, và cần được làm rõ rằng các mảng nhớ này 61 đến 64 ghi các đoạn thông tin duy nhất khác nhau tương ứng.

(Ví dụ 15)

Trong Ví dụ 15, các phần tử nhớ 90 đến 105 theo phương án thứ năm của sáng chế (dựa vào FIG.18) được chế tạo với kết cấu tương tự với kết cấu của các phần tử nhớ 94 và 95 được minh họa trên FIG.19, và tấm mỏng nhớ có các mảng nhớ 71 đến 74 theo phương án thứ năm được chế tạo.

Cụ thể là, đầu tiên, Hỗn hợp nhão dẫn điện A4 được phủ lên tấm 70 được làm bằng polyimide (độ dày màng: 0,02mm) bằng cách phủ bằng đầu có khe và

được nung sơ bộ bằng lò sấy ở 100°C trong 10 phút. Sau đó, màng mỏng kết quả được phơi bằng cách sử dụng thiết bị phơi (tên sản phẩm: "PEM-8M" được chế tạo bởi Union Optical Co., Ltd.), được hiện hình bằng cách ngâm với 0,5% KOH dung dịch trong 60 giây, được rửa bằng nước siêu tinh khiết, và được hóa cứng bằng lò sấy ở 200°C trong 30 phút để tạo thành các điện cực thứ ba 88 của các phần tử nhớ 90 đến 105, đường từ 80, đường từ 81, và các bộ phận nối 106 đến 109.

Tiếp theo, Dung dịch lớp cách ly A2 được phủ lên tấm 70 bằng cách phủ xoay (1,000 vòng trên phút $\times$ 20 giây), được trải qua bước xử lý nhiệt trong môi trường không khí ở 120°C trong 3 phút, và được trải qua bước xử lý nhiệt trong môi trường nitơ ở 150°C trong 120 phút để tạo thành lớp cách ly 87 có độ dày màng là 0,5 μ m. Tiếp theo, Hỗn hợp nhão dẫn điện A4 được phủ lên tấm 70 bằng cách phủ bằng đầu có khe và được nung sơ bộ bằng lò sấy ở 100°C trong 10 phút. Sau đó, màng mỏng kết quả được phơi bằng cách sử dụng thiết bị phơi (tên sản phẩm: "PEM-8M" được chế tạo bởi Union Optical Co., Ltd.), được hiện hình bằng cách ngâm với 0,5% KOH dung dịch trong 60 giây, được rửa bằng nước siêu tinh khiết, và được hóa cứng bằng lò sấy ở 200°C trong 30 phút để tạo thành điện cực thứ nhất 85, điện cực thứ hai 86, đường bit 82, và đường bit 83.

Chiều rộng của điện cực thứ nhất 85 và điện cực thứ hai 86 được thiết lập bằng 100 μ m, và khoảng cách giữa các điện cực này được thiết lập bằng 10 μ m. Đối với tấm 70 trên tấm này điện cực thứ nhất 85 và điện cực thứ hai 86 đã được tạo thành như được mô tả ở trên, 100pl dung dịch bán dẫn A1 được phủ bằng cách phụt mực và được trải qua bước xử lý nhiệt trên tấm nóng trong dòng hơi nitơ ở 150°C trong 30 phút để tạo thành lớp bán dẫn 89. Tiếp theo, trên tấm 70 trên tấm này điện cực thứ nhất 85 và điện cực thứ hai 86 đã được tạo thành, 30pl hỗn hợp nhão dẫn điện A4 được phủ chỉ to các phần tử nhớ 90 đến 93, 95, 96, và 99 đến 102 bằng cách phụt mực, được nung sơ bộ bằng lò sấy ở 100°C trong 10 phút, và còn được hóa cứng bằng lò sấy ở 200°C trong 30 phút để tạo thành các

bộ phận nối 110 đến 119. Tấm mảng nhớ theo Ví dụ 15 đã thu được.

Tiếp theo, các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai của các phần tử nhớ trong tấm mảng nhớ theo Ví dụ 15 được đo. Cụ thể là, các thuộc tính điện như, cường độ dòng điện (I_d) và điện áp (V_{sd}) giữa điện cực thứ nhất và điện cực thứ hai khi điện áp (V_g) của điện cực thứ ba của các phần tử nhớ được thay đổi được đo. Đối với bước đo này, hệ thống đánh giá các thuộc tính bán dẫn mô hình 4200-SCS (được chế tạo bởi Keithley Instruments Ltd.) được sử dụng, và bước đo được thực hiện trong không khí. Với bước đo này, trị số I_d (trị số cường độ dòng điện) ở $V_g = -3$ V và $V_{sd} = -5$ V được xác định.

Trong Ví dụ 15, đối với các phần tử nhớ 90 đến 93, 95, 96, và 99 đến 102 có các bộ phận nối 110 đến 119, tức là, có mẫu hình dây dẫn thứ nhất, trị số I_d theo thứ tự của μA được quan sát thấy. Ngược lại, đối với các phần tử nhớ 94, 97, 98, và 103 đến 105 không có bộ phận nối mà nối điện điện cực thứ nhất 85 và đường bit 82 hoặc đường bit 83 với nhau, tức là, có mẫu hình dây dẫn thứ hai, không có trị số I_d nào được quan sát thấy. Điều được làm rõ từ kết quả này là phần tử nhớ có mẫu hình dây dẫn thứ nhất và phần tử nhớ có mẫu hình dây dẫn thứ hai ghi các đoạn thông tin tương ứng khác nhau chẳng hạn như "1" hoặc "0." Ngoài ra, các mảng nhớ 71 đến 74 khác nhau về cách bố trí mô hình của phần tử nhớ có mẫu hình dây dẫn thứ nhất và phần tử nhớ có mẫu hình dây dẫn thứ hai, và cần được làm rõ rằng các mảng nhớ này 71 đến 74 ghi các đoạn thông tin duy nhất khác nhau tương ứng.

Bảng 1

	Vật liệu điện cực	Trị số cường độ dòng điện/ μA		
		Phần tử nhớ 14	Phần tử nhớ 15	Phần tử nhớ 16
Ví dụ 1	Au	1,2	Không đo được	Không đo được
Ví dụ 2	Hỗn hợp nhão dẫn điện A4	1,3	Không đo được	Không đo được

Bảng 2

	Vật liệu điện cực	Trị số cường độ dòng điện/ μA		
		Phần tử nhớ 34	Phần tử nhớ 35	Phần tử nhớ 36
Ví dụ 3	Au	1,0	$3,0 \times 10^{-3}$	$5,0 \times 10^{-3}$

Bảng 3

	Vật liệu điện cực	Lớp cách ly thứ nhất 48	Lớp cách ly thứ hai 49	Trị số cường độ dòng điện/ μA			
		Hợp chất	Hợp chất	Phân tử nhớ 54	Phân tử nhớ 55	Phân tử nhớ 56	Phân tử nhớ 57
Ví dụ 4	Au	PVA	Polystyren	1,0	$3,0 \times 10^{-3}$	$4,0 \times 10^{-3}$	0,9
Ví dụ 5	Au	PVA	Dung dịch Polysiloxan A3	1,0	$6,0 \times 10^{-3}$	$5,0 \times 10^{-3}$	0,9
Ví dụ 6	Au	CYEP	Polystyren	1,0	$5,0 \times 10^{-3}$	$3,0 \times 10^{-3}$	1,0
Ví dụ 7	Au	CYEP	PVP	0,9	$8,0 \times 10^{-3}$	$7,0 \times 10^{-3}$	1,0
Ví dụ 8	Au	PMF	PVP	0,9	$8,0 \times 10^{-3}$	$6,0 \times 10^{-3}$	0,9
Ví dụ 9	Au	PMF	Dung dịch Polysiloxan A3	0,9	$8,0 \times 10^{-3}$	$6,0 \times 10^{-3}$	0,9
Ví dụ 10	Au	P(VDF-TrFE)	Polystyren + DBU	0,9	$1,0 \times 10^{-4}$	$1,0 \times 10^{-4}$	0,9
Ví dụ 11	Au	P(VDF-TrFE)	Polystyren + DBN	1,0	$3,0 \times 10^{-4}$	$3,0 \times 10^{-4}$	1,1
Ví dụ 12	Hỗn hợp nhão dẫn điện A4	P(VDF-TrFE)	Polystyren + DBU	1,1	$3,0 \times 10^{-4}$	$3,0 \times 10^{-4}$	0,9
Ví dụ 13	Hỗn hợp nhão dẫn điện A4	CYEP	PVP	1,0	$1,0 \times 10^{-3}$	$1,0 \times 10^{-3}$	0,9

Khả năng ứng dụng công nghiệp

Như được mô tả ở trên, mảng nhớ, phương pháp chế tạo mảng nhớ, tấm mảng nhớ, phương pháp chế tạo tấm mảng nhớ, và thiết bị truyền thông không dây theo sáng chế phù hợp để đạt được mảng nhớ có thể được chế tạo với chi phí thấp bằng cách sử dụng các quy trình đơn giản và có thể ghi các đoạn thông tin duy nhất khác nhau mỗi một lần mảng nhớ được chế tạo và tấm mảng nhớ và thiết bị truyền thông không dây bao gồm mảng nhớ này.

Danh mục ký hiệu chỉ dẫn

1 Nền

2 Điện cực thứ ba

3 Lớp cách ly

4 Lớp bán dẫn

5 Điện cực thứ nhất

6 Điện cực thứ hai

10, 11 Đường từ

12, 13 Đường bit

14, 15, 16, 17 Phần tử nhớ

21 Nền

22 Điện cực thứ ba

23 Lớp cách ly

24, 27 Lớp bán dẫn

25 Điện cực thứ nhất

26 Điện cực thứ hai

30, 31 Đường từ

32, 33 Đường bit

34, 35, 36, 37 Phần tử nhớ

41 Nền

42 Điện cực thứ ba

43 Lớp cách ly

44 Lớp bán dẫn

45 Điện cực thứ nhất

46 Điện cực thứ hai

48 Lớp cách ly thứ nhất

49 Lớp cách ly thứ hai

50, 51 Đường từ

52, 53 Đường bit

54, 55, 56, 57 Phần tử nhớ

60 Tấm

61, 62, 63, 64 Mảng nhớ

61a, 62a, 63a, 64a Vùng

65 Tấm mảng nhớ

66, 67 Phần tử nhớ

70 Tấm

71, 72, 73, 74 Mảng nhớ

71a, 72a, 73a, 74a Vùng

75 Tấm mảng nhớ

80, 81 Đường từ

82, 83 Đường bit

85 Điện cực thứ nhất

86 Điện cực thứ hai

87 Lớp cách ly

88 Điện cực thứ ba

89 Lớp bán dẫn

90, 91, 92, 93, 94, 95, 96, 97, 98, 99, 100, 101, 102, 103, 104, 105 Phần tử
nhớ

106, 107, 108, 109, 110, 111, 112, 113, 114, 115, 116, 117, 118, 119 Bộ
phận nối

120 Thiết bị truyền thông không dây

121 Mạch nhớ

122 Ăng ten

123 Bộ phận phát điện

124 Mạch giải điều biến

125 Mạch điều biến

126 Mạch điều khiển

130 Mạch nhớ

131 Mảng nhớ

132 Mạch dao động vòng

133 Mạch đếm

134 Mạch lật

200, 300, 500 Mảng nhớ

YÊU CẦU BẢO HỘ

1. Mảng nhớ bao gồm:

các dây dẫn thứ nhất;

ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất; và

các phần tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các phần tử nhớ được tạo thành trên nền,

hoặc điện cực thứ nhất hoặc điện cực thứ hai được nối với một trong số các dây dẫn thứ nhất,

ít nhất một trong số các phần tử nhớ có lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai,

các phần tử nhớ bao gồm hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai bởi lớp phủ, trong đó:

lớp phủ là lớp bán dẫn được tạo thành bằng vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất và điện cực thứ hai,

lớp bán dẫn chứa các ống nano cacbon,

các ống nano cacbon chứa composit của ống nano cacbon trong đó polyme liên hợp được gắn vào ít nhất một phần của các bề mặt của các ống nano cacbon,

trong số hai loại phần tử nhớ, một loại phần tử nhớ là phần tử nhớ có lớp

bán dẫn, trong khi đó loại phân tử nhớ kia là phân tử nhớ không có lớp bán dẫn,

một loại phân tử nhớ và loại phân tử nhớ còn lại ghi các đoạn thông tin tương ứng khác nhau theo sự có mặt hoặc không có mặt của lớp bán dẫn, và

thông tin cần được ghi được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phân tử nhớ.

2. Mảng nhớ bao gồm:

các dây dẫn thứ nhất;

ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất; và

các phân tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phân tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các phân tử nhớ được tạo thành trên nền,

hoặc điện cực thứ nhất hoặc điện cực thứ hai được nối với một trong số các dây dẫn thứ nhất,

ít nhất một trong số các phân tử nhớ có lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai,

các phân tử nhớ bao gồm hai loại phân tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai bởi lớp phủ, trong đó:

lớp phủ được tạo thành bằng vật liệu bán dẫn được phủ lên vùng giữa điện cực thứ nhất và điện cực thứ hai và là lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai, lớp bán dẫn thứ nhất và thứ hai khác nhau về các thuộc tính điện,

trong số hai loại phần tử nhớ, một loại phần tử nhớ là phần tử nhớ có lớp bán dẫn thứ nhất, trong khi đó loại phần tử nhớ kia là phần tử nhớ có lớp bán dẫn thứ hai,

một loại phần tử nhớ và loại phần tử nhớ còn lại ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện giữa lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai, và

thông tin cần được ghi được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ.

3. Mảng nhớ theo điểm 2, trong đó lớp bán dẫn thứ hai chứa vật liệu bán dẫn khác với vật liệu của lớp bán dẫn thứ nhất.

4. Mảng nhớ theo điểm 2 hoặc 3, trong đó độ dày màng là lớp bán dẫn thứ hai lớn hơn độ dày màng là lớp bán dẫn thứ nhất.

5. Mảng nhớ theo điểm 3 hoặc 4, trong đó mỗi lớp trong số lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai chứa một hoặc nhiều vật liệu được lựa chọn từ nhóm bao gồm các ống nano cacbon, graphen, fullerene, và các chất bán dẫn hữu cơ làm vật liệu bán dẫn.

6. Mảng nhớ theo điểm 2, trong đó:

mỗi lớp trong số lớp bán dẫn thứ nhất và lớp bán dẫn thứ hai chứa các ống nano cacbon làm vật liệu bán dẫn, và

nồng độ của các ống nano cacbon của lớp bán dẫn thứ hai cao hơn nồng độ của các ống nano cacbon của lớp bán dẫn thứ nhất.

7. Mảng nhớ bao gồm:

các dây dẫn thứ nhất;

ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất; và

các phần tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các phần tử nhớ được tạo thành trên nền,

hoặc điện cực thứ nhất hoặc điện cực thứ hai được nối với một trong số các dây dẫn thứ nhất,

ít nhất một trong số các phần tử nhớ có lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai,

các phần tử nhớ bao gồm hai loại phần tử nhớ khác nhau về các thuộc tính điện giữa điện cực thứ nhất và điện cực thứ hai bởi lớp phủ, trong đó:

mỗi phần tử trong số các phần tử nhớ có lớp bán dẫn được tạo thành bằng vật liệu bán dẫn được phủ để tiếp xúc với lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai,

lớp phủ được tạo thành bằng vật liệu cách ly được phủ để tiếp xúc với lớp bán dẫn ở phía đối diện lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai, và là lớp cách ly thứ nhất hoặc lớp cách ly thứ hai mà thay đổi các thuộc tính điện của lớp bán dẫn thành các thuộc tính điện khác nhau,

trong số hai loại phần tử nhớ, một loại phần tử nhớ là phần tử nhớ có lớp cách ly thứ nhất, trong khi đó loại phần tử nhớ kia là phần tử nhớ có lớp cách ly thứ hai,

một loại phần tử nhớ và loại phần tử nhớ còn lại ghi các đoạn thông tin tương ứng khác nhau theo sự khác biệt về các thuộc tính điện của lớp bán dẫn do lớp cách ly thứ nhất và lớp cách ly thứ hai, và

thông tin cần được ghi được xác định bằng cách bố trí với sự kết hợp bất kỳ của hai loại phần tử nhớ.

8. Mảng nhớ theo điểm 7, trong đó lớp bán dẫn chứa một hoặc nhiều vật liệu được lựa chọn từ nhóm bao gồm các ống nano cacbon, graphen, fullerene, và các chất bán dẫn hữu cơ.

9. Mảng nhớ theo điểm 8, trong đó lớp bán dẫn chứa các ống nano cacbon.

10. Mảng nhớ theo một điểm bất kỳ trong số các điểm 5, 6, 8 và 9, trong đó các ống nano cacbon chứa composít của ống nano cacbon trong đó polyme liên hợp được gắn vào ít nhất một phần của các bề mặt của các ống nano cacbon.

11. Phương pháp chế tạo mảng nhớ bao gồm các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và các phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các phần tử nhớ được tạo thành trên nền,

phương pháp bao gồm quy trình phủ để tạo thành lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các phần tử nhớ bằng cách phủ, trong đó:

lớp phủ là lớp bán dẫn, và

quy trình phủ tạo thành lớp bán dẫn trong vùng giữa điện cực thứ nhất và điện cực thứ hai của phần tử nhớ, mà lớp phủ cần được phủ lên phần tử này, được lựa chọn trong số các phần tử nhớ tương ứng với thông tin cần được ghi.

12. Phương pháp chế tạo mảng nhớ bao gồm các dây dẫn thứ nhất, ít nhất một

dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và các phần tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các phần tử nhớ được tạo thành trên nền,

phương pháp bao gồm quy trình phủ để tạo thành lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các phần tử nhớ bằng cách phủ, trong đó:

lớp phủ là lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai, lớp bán dẫn thứ nhất và thứ hai khác nhau về các thuộc tính điện, và

quy trình phủ tạo thành lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ tương ứng với thông tin cần được thực hiện.

13. Phương pháp chế tạo mảng nhớ bao gồm các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và các phần tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai, và các phần tử nhớ được tạo thành trên nền,

phương pháp bao gồm quy trình phủ để tạo thành lớp phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các

phần tử nhớ bằng cách phủ, trong đó:

lớp phủ là lớp cách ly thứ nhất hoặc lớp cách ly thứ hai khác nhau về các thuộc tính điện,

lớp bán dẫn tiếp xúc với lớp cách ly được tạo thành từ trước trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ, và

quy trình phủ tạo thành lớp cách ly thứ nhất hoặc lớp cách ly thứ hai sao cho lớp cách ly thứ nhất hoặc thứ hai cần được tạo thành tiếp xúc với lớp bán dẫn ở phía đối diện lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ tương ứng với thông tin cần được ghi.

14. Phương pháp chế tạo mảng nhớ theo một điểm bất kỳ trong số các điểm từ 11 đến 13, trong đó phương pháp phủ là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phụt, phân tán, và phun mực.

15. Tám mảng nhớ bao gồm sự kết hợp của các mảng nhớ theo một điểm bất kỳ trong số các điểm từ 1 đến 10 được tạo thành trên tám,

các đoạn thông tin tương ứng được ghi trong các mảng nhớ được tạo thành trên tám là khác nhau.

16. Phương pháp chế tạo tám mảng nhớ bao gồm sự kết hợp của các mảng nhớ, mỗi mảng bao gồm các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và các phần tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các mảng nhớ được tạo thành trên tám,

phương pháp chế tạo tấm mảng nhớ bao gồm quy trình phủ để tạo thành lớp phủ bằng cách phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các phần tử nhớ, trong đó:

lớp phủ là lớp bán dẫn, và

quy trình phủ tạo thành lớp bán dẫn trong vùng giữa điện cực thứ nhất và điện cực thứ hai của phần tử nhớ, mà lớp phủ cần được phủ lên phần tử này, được lựa chọn trong số các phần tử nhớ tương ứng với thông tin cần được ghi, và

các đoạn thông tin tương ứng khác nhau được ghi trong các mảng nhớ được tạo thành trên tấm.

17. Phương pháp chế tạo tấm mảng nhớ bao gồm sự kết hợp của các mảng nhớ, mỗi mảng bao gồm các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và các phần tử nhớ được bố trí tương ứng với các điểm bắt chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các mảng nhớ được tạo thành trên tấm,

phương pháp chế tạo tấm mảng nhớ bao gồm quy trình phủ để tạo thành lớp phủ bằng cách phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các phần tử nhớ, trong đó:

lớp phủ là lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai, lớp bán dẫn thứ nhất và thứ hai khác nhau về các thuộc tính điện,

quy trình phủ tạo thành lớp bán dẫn thứ nhất hoặc lớp bán dẫn thứ hai trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ tương ứng với thông tin cần được thực hiện, và

các đoạn thông tin tương ứng khác nhau được ghi trong các mảng nhớ được tạo thành trên tấm.

18. Phương pháp chế tạo tấm mảng nhớ bao gồm sự kết hợp của các mảng nhớ, mỗi mảng bao gồm các dây dẫn thứ nhất, ít nhất một dây dẫn thứ hai vắt ngang các dây dẫn thứ nhất, và các phần tử nhớ được bố trí tương ứng với các điểm bất chéo tương ứng của các dây dẫn thứ nhất và ít nhất một dây dẫn thứ hai và mỗi phần tử có điện cực thứ nhất và điện cực thứ hai được bố trí cách xa nhau, điện cực thứ ba được nối với một trong số ít nhất một dây dẫn thứ hai, và lớp cách ly mà cách điện điện cực thứ nhất và điện cực thứ hai và điện cực thứ ba với nhau, các mảng nhớ được tạo thành trên tấm,

phương pháp chế tạo tấm mảng nhớ bao gồm quy trình phủ để tạo thành lớp phủ bằng cách phủ trong vùng giữa điện cực thứ nhất và điện cực thứ hai của ít nhất một phần tử nhớ trong số các phần tử nhớ, trong đó:

lớp phủ là lớp cách ly thứ nhất hoặc lớp cách ly thứ hai khác nhau về các thuộc tính điện,

lớp bán dẫn tiếp xúc với lớp cách ly được tạo thành từ trước trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ,

quy trình phủ tạo thành lớp cách ly thứ nhất hoặc lớp cách ly thứ hai sao cho lớp cách ly thứ nhất hoặc thứ hai cần được tạo thành tiếp xúc với lớp bán dẫn ở phía đối diện lớp cách ly trong vùng giữa điện cực thứ nhất và điện cực thứ hai của mỗi phần tử trong số các phần tử nhớ tương ứng với thông tin cần được ghi, và

các đoạn thông tin tương ứng khác nhau được ghi trong các mảng nhớ được tạo thành trên tấm.

19. Phương pháp chế tạo tấm mảng nhớ theo một điểm bất kỳ trong số các

điểm từ 16 đến 18, trong đó phương pháp phủ là một phương pháp bất kỳ được lựa chọn từ nhóm bao gồm phủ, phân tán, và phun mực.

20. Thiết bị truyền thông không dây bao gồm:

mảng nhớ theo một điểm bất kỳ trong số các điểm từ 1 đến 10 hoặc mảng nhớ được cắt ra từ tấm mảng nhớ theo điểm 15; và

ăng ten.

FIG.1

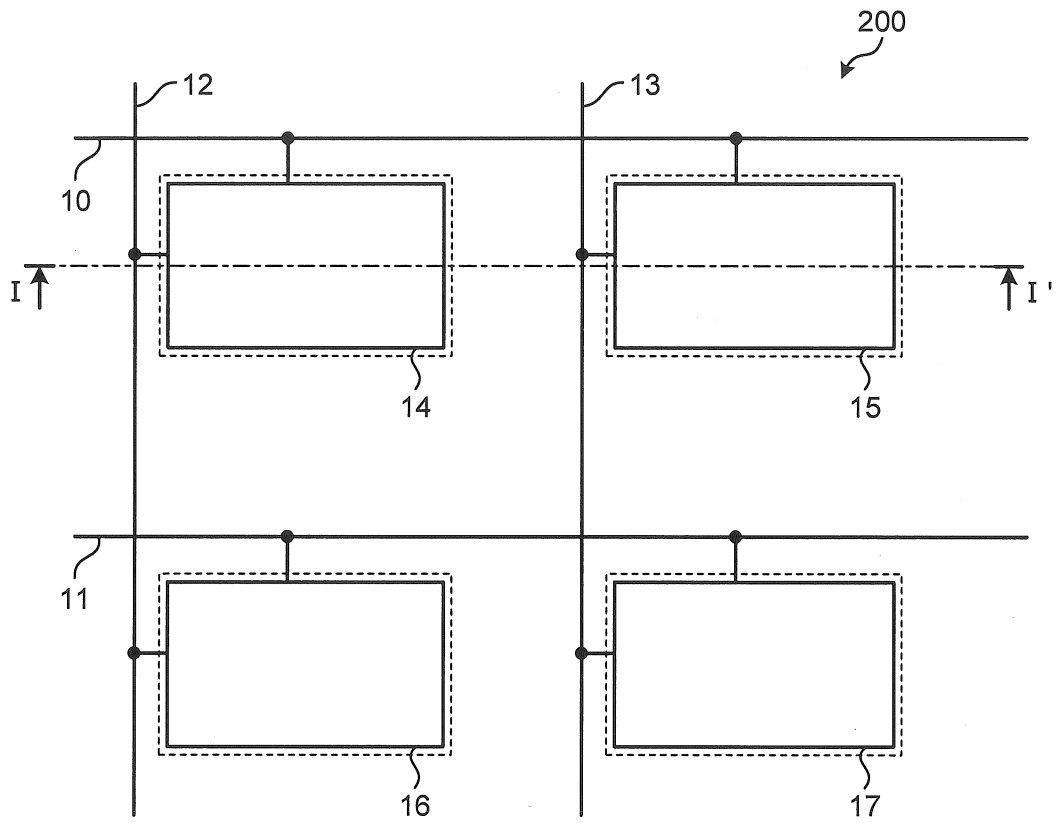
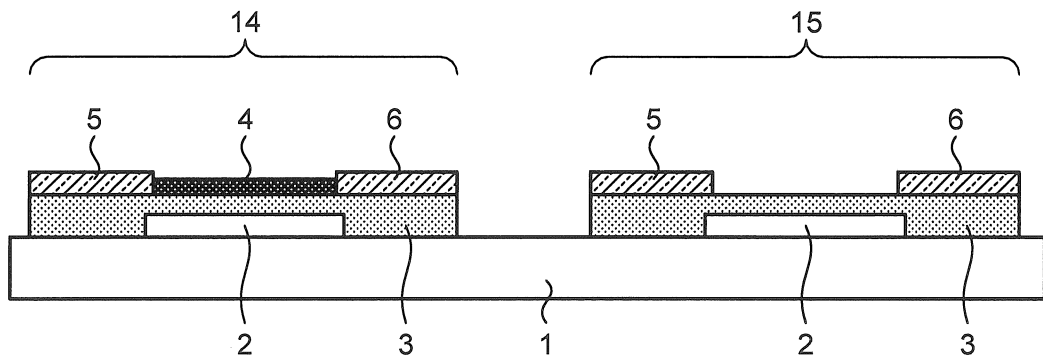


FIG.2



2/24

FIG.3

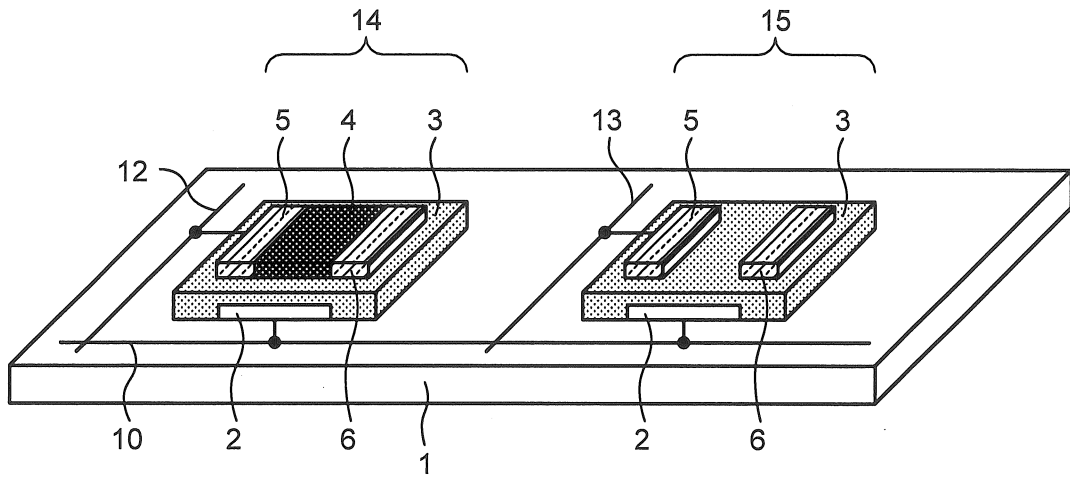


FIG.4

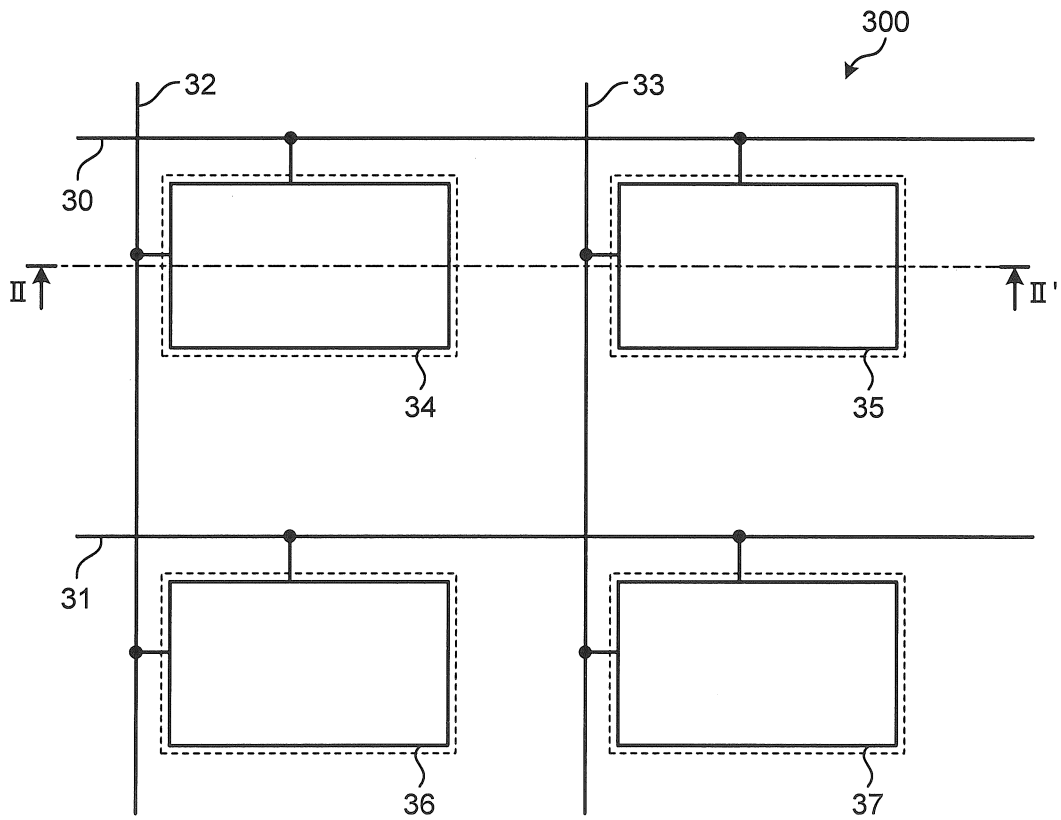


FIG.5

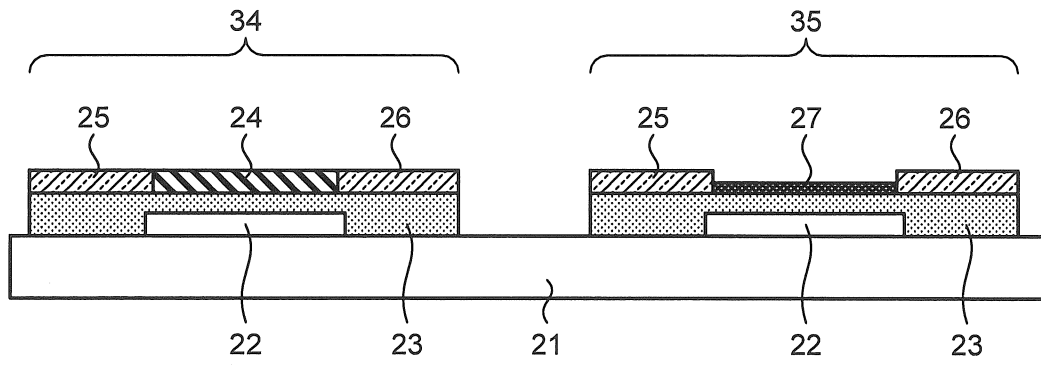


FIG.6

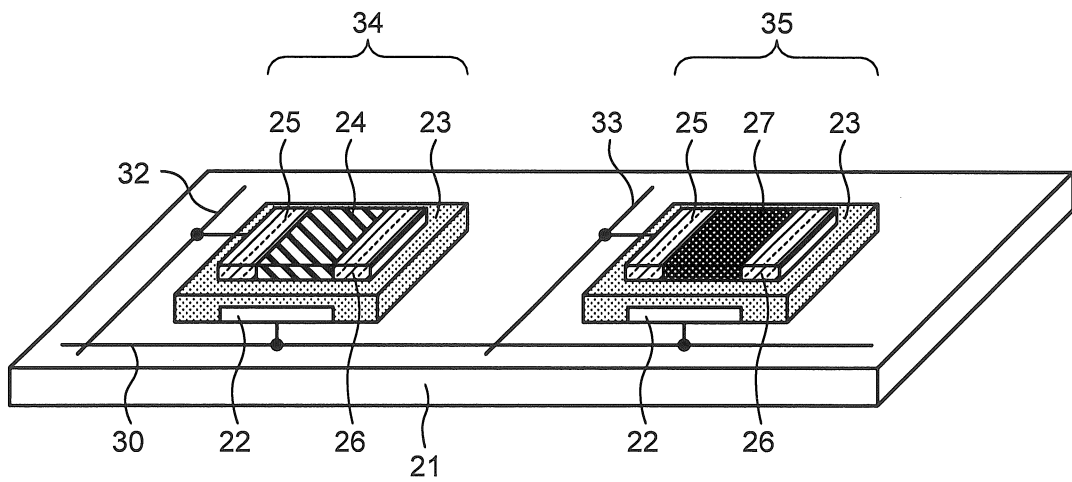


FIG.7

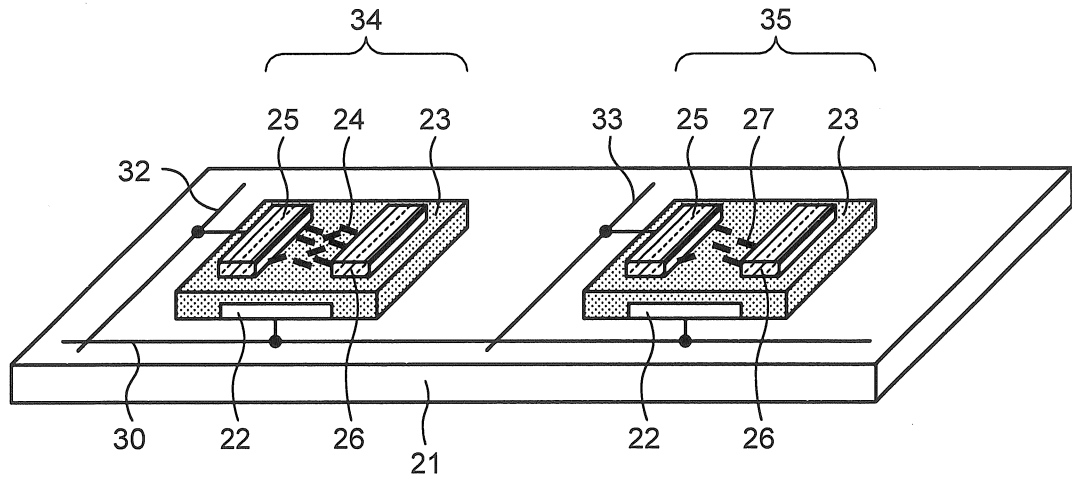


FIG.8

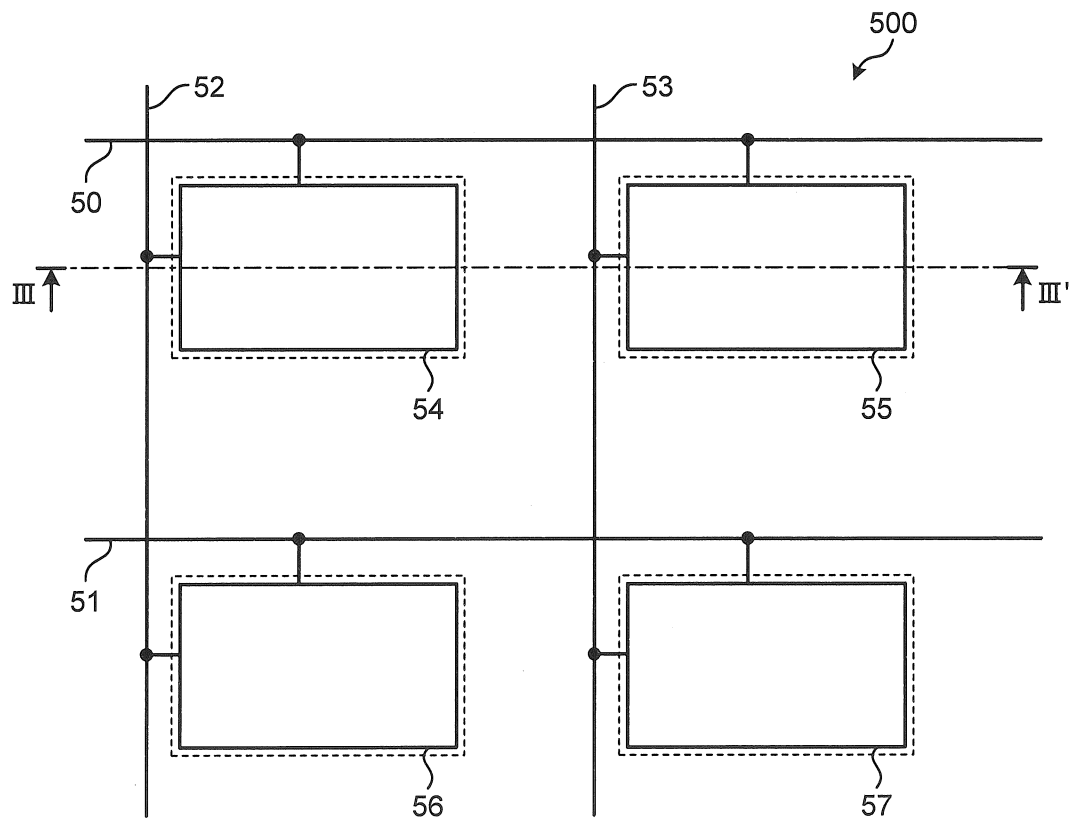


FIG.9A

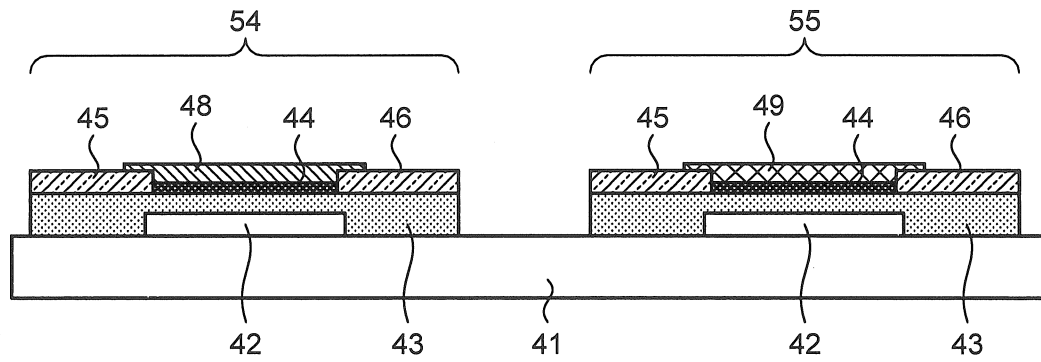


FIG.9B

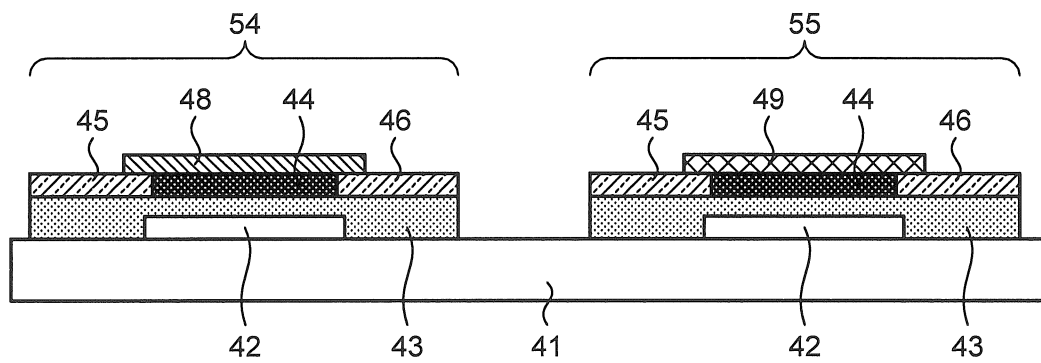
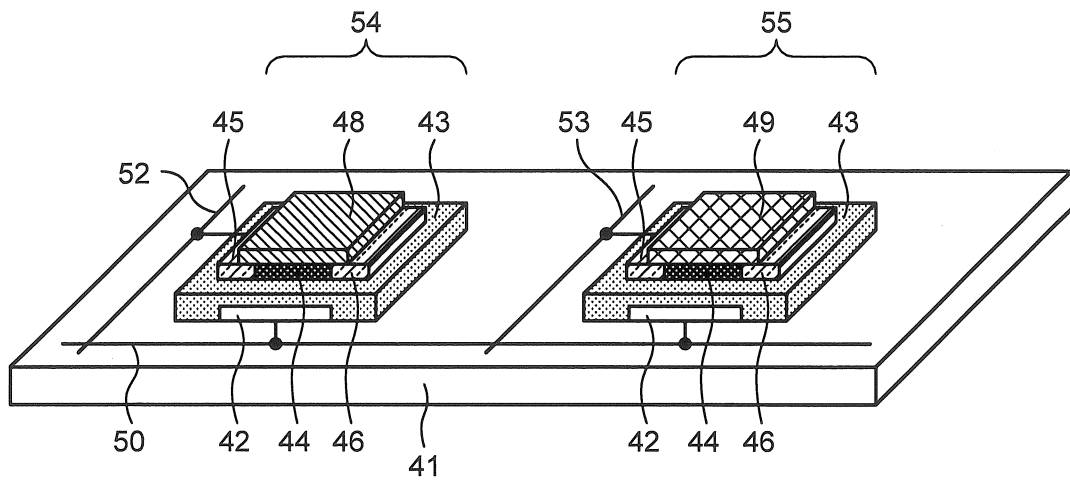
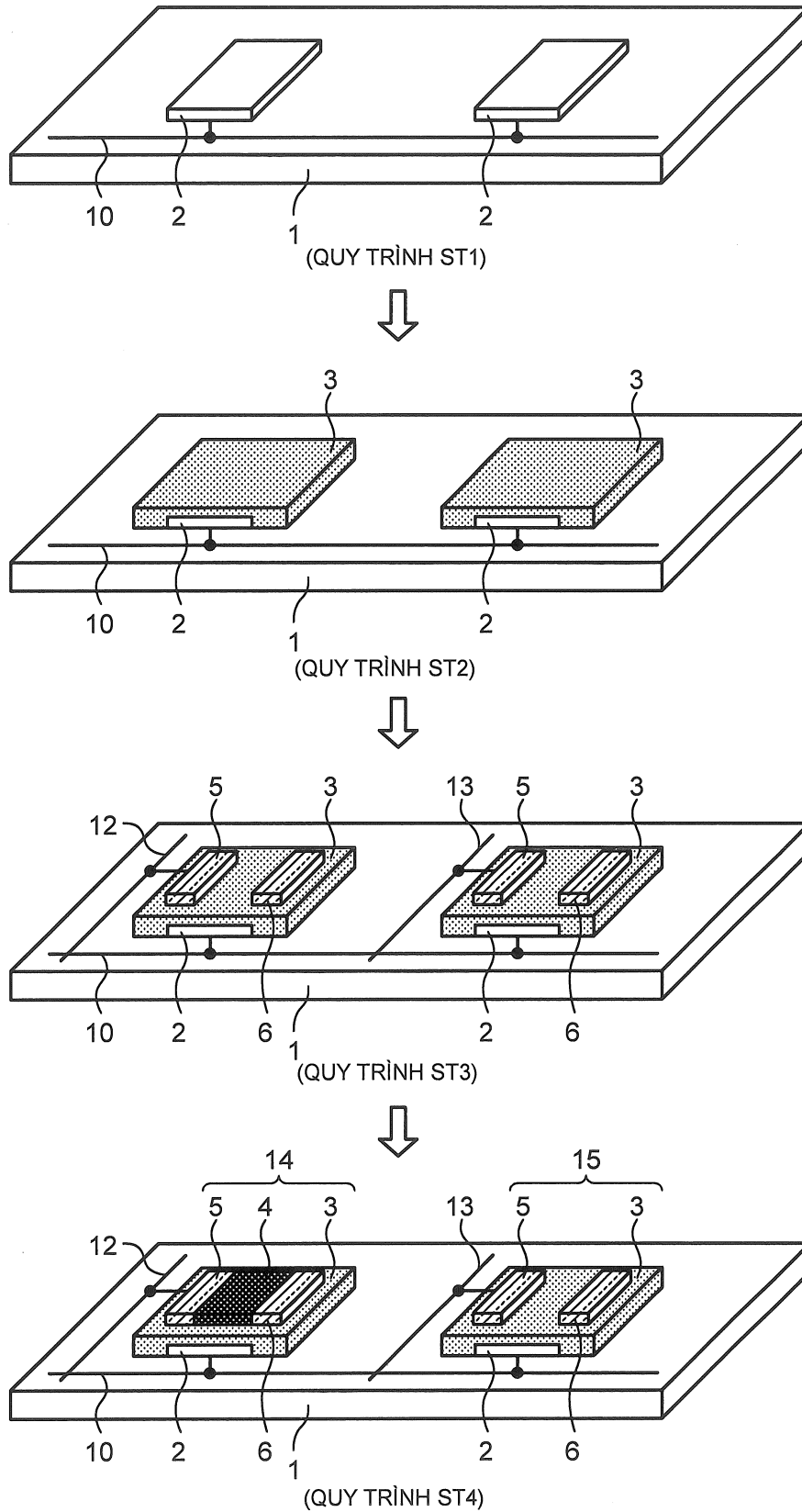


FIG.10



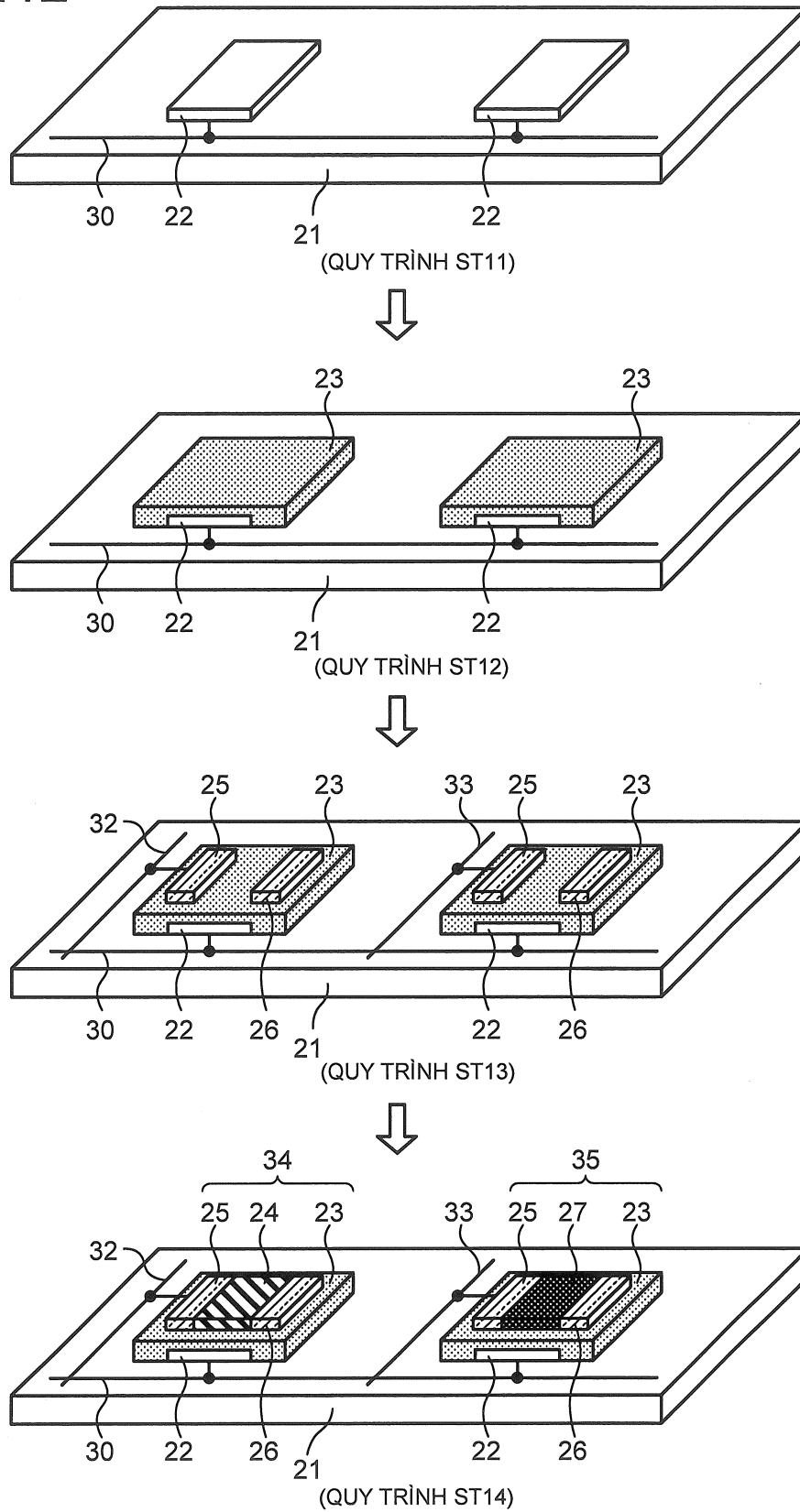
7/24

FIG.11



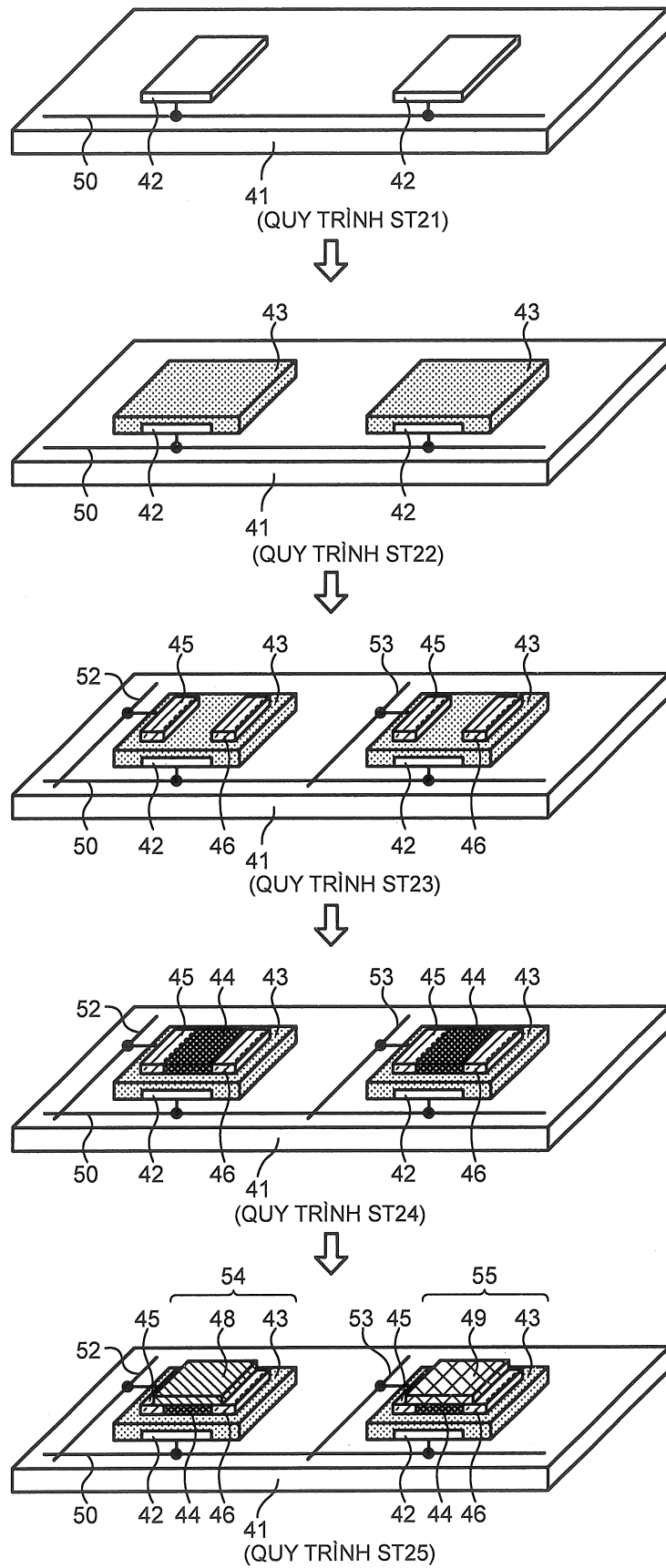
8/24

FIG.12



9/24

FIG.13



10/24

FIG.14

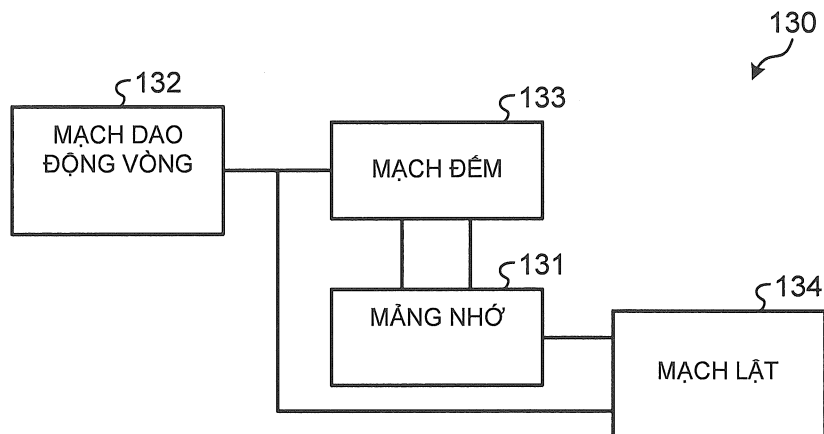
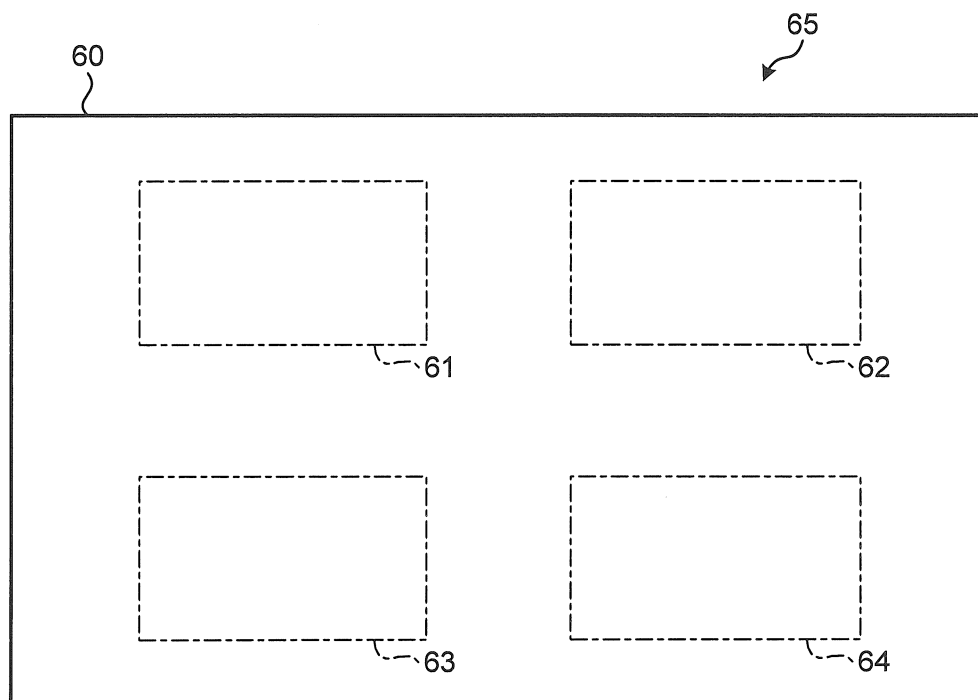


FIG.15



11/24

FIG.16

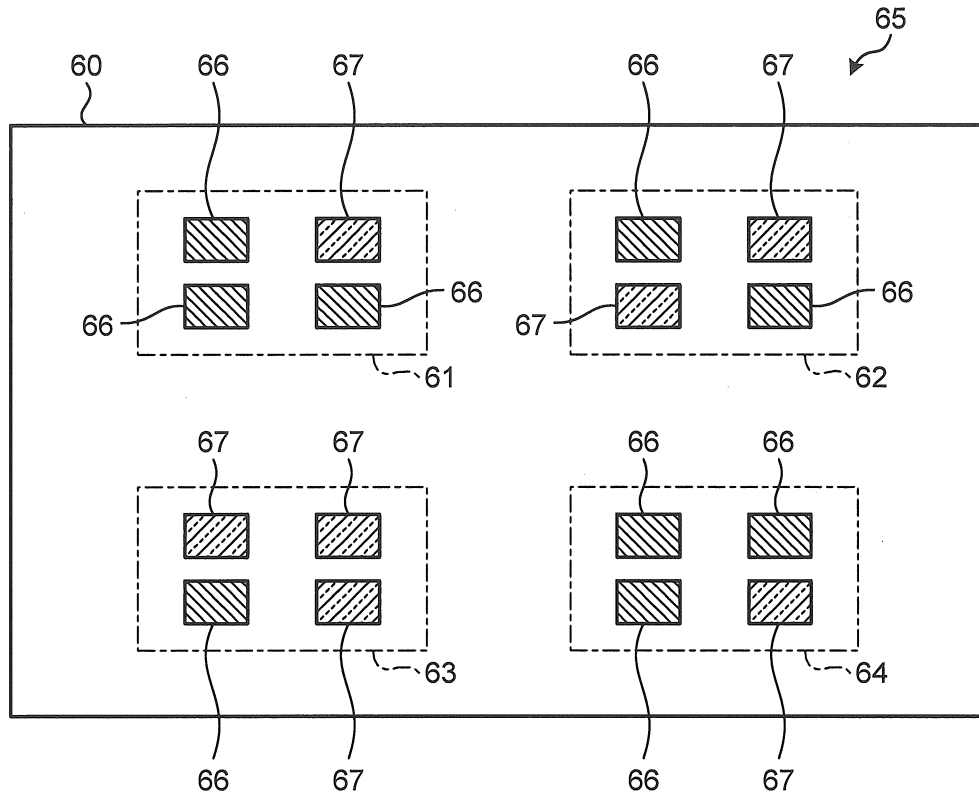


FIG.17

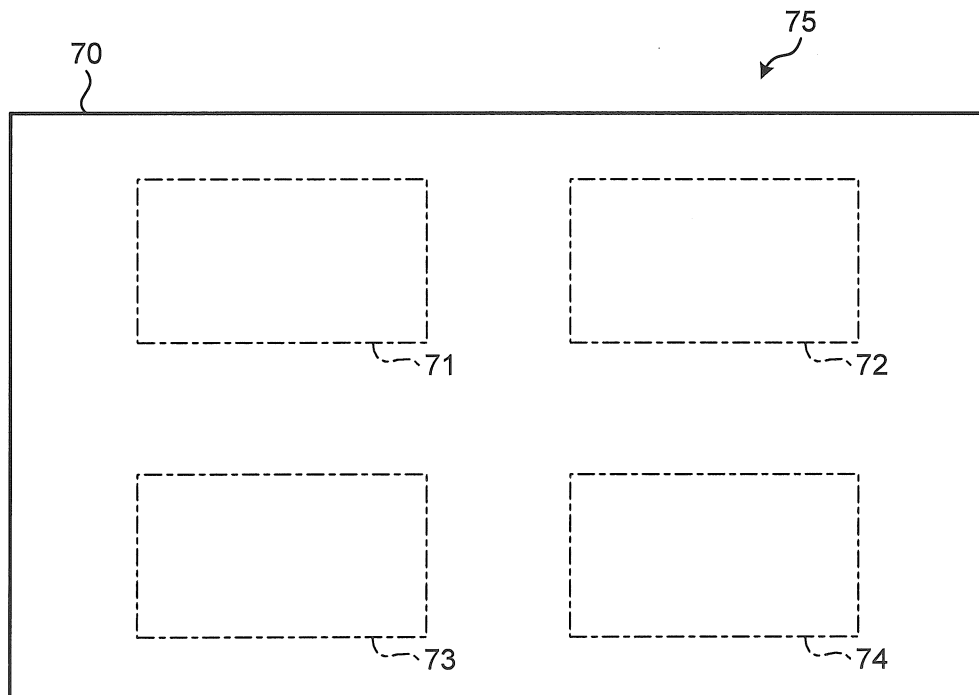


FIG.18

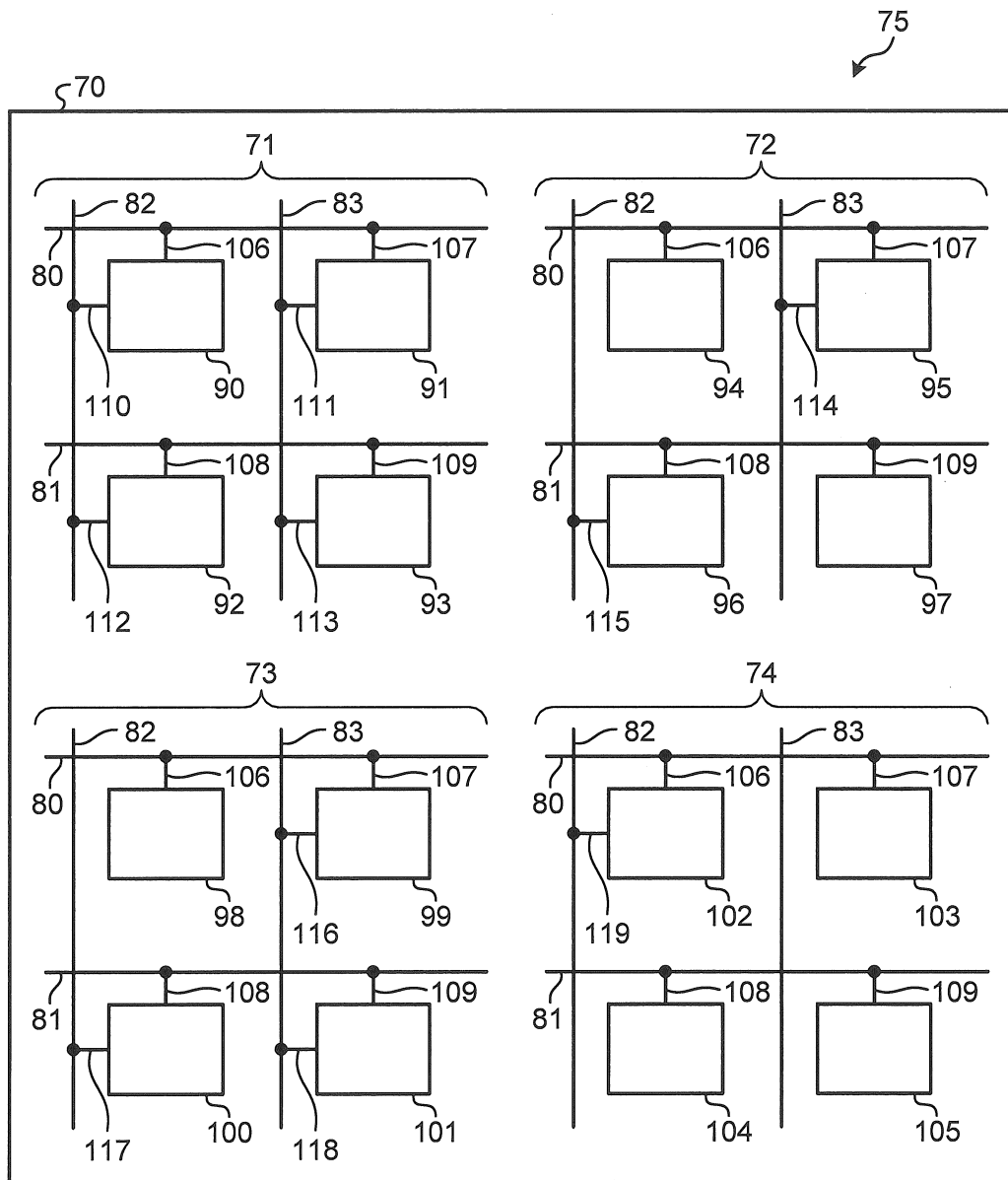


FIG. 19

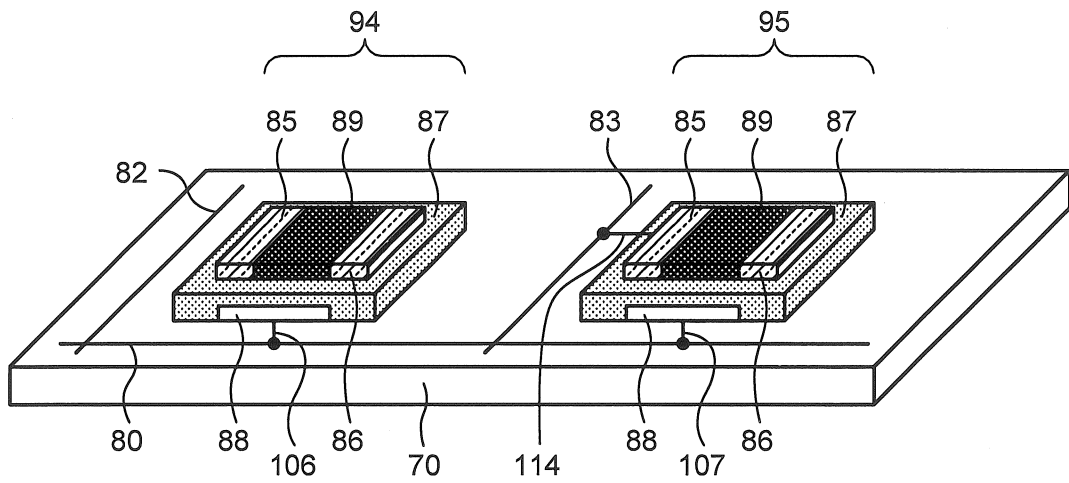


FIG. 20A

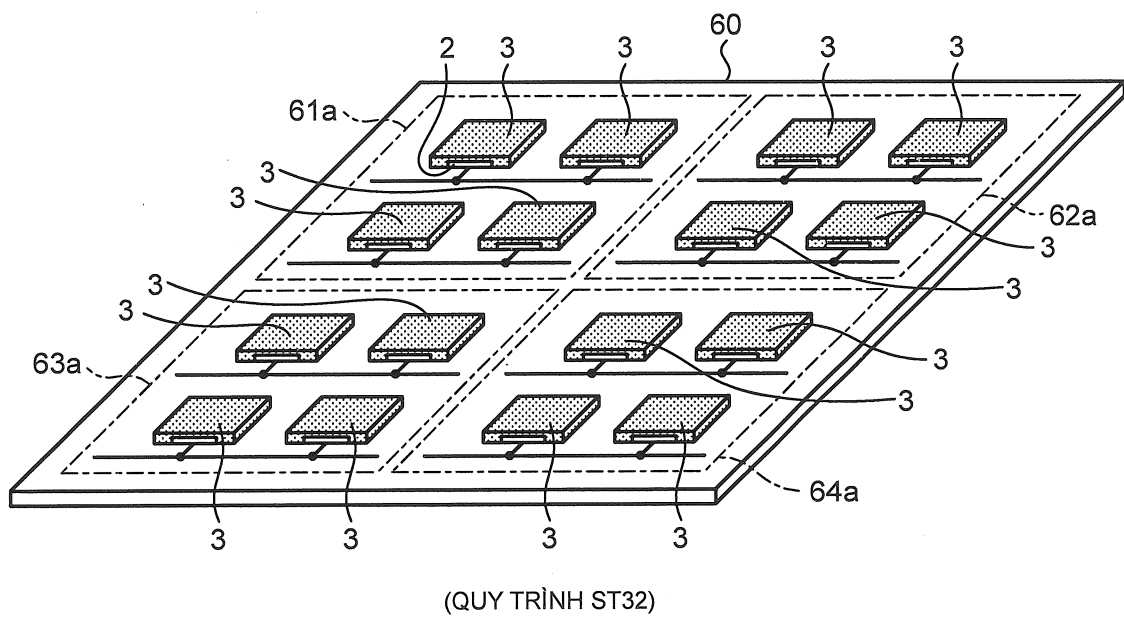
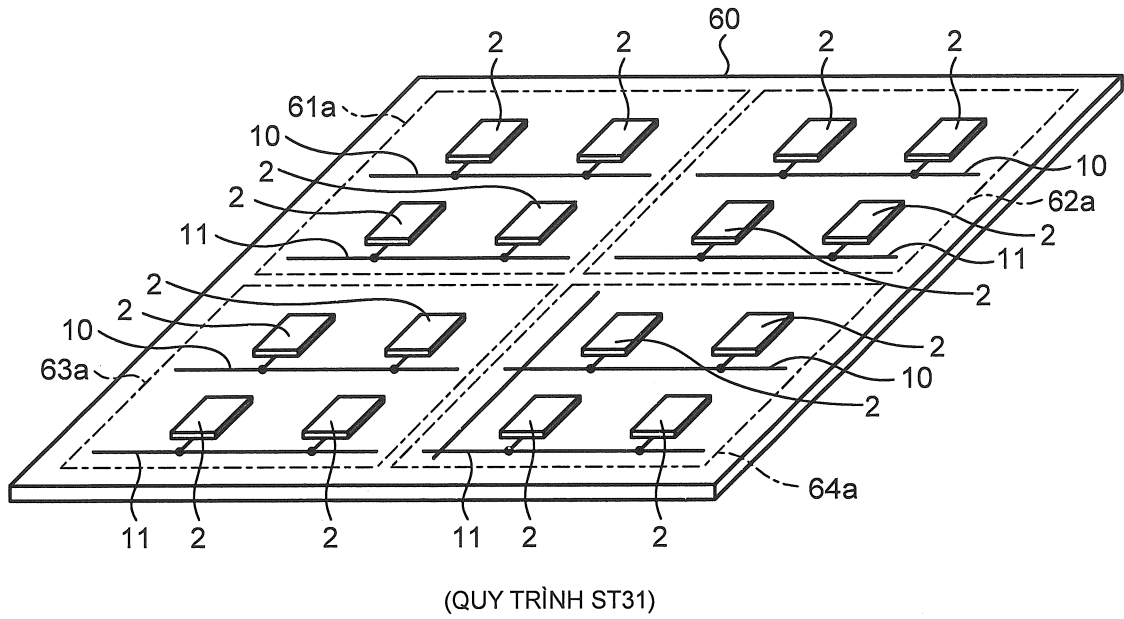


FIG.20B

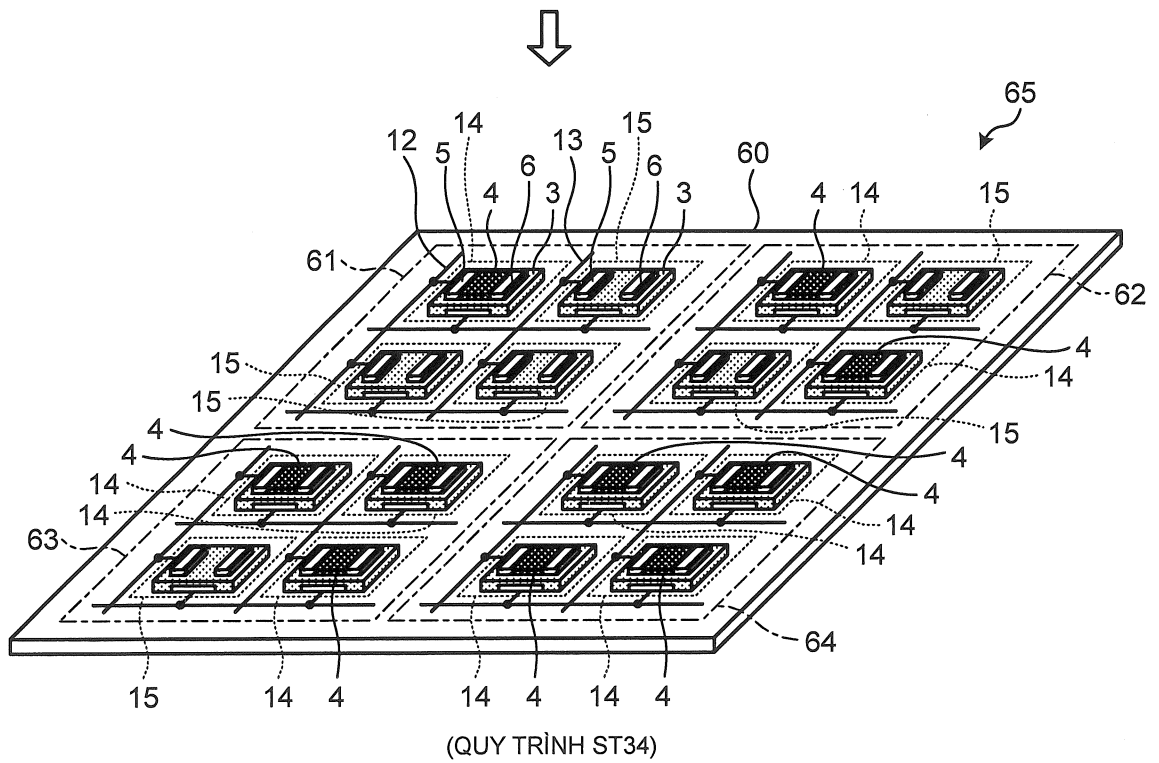
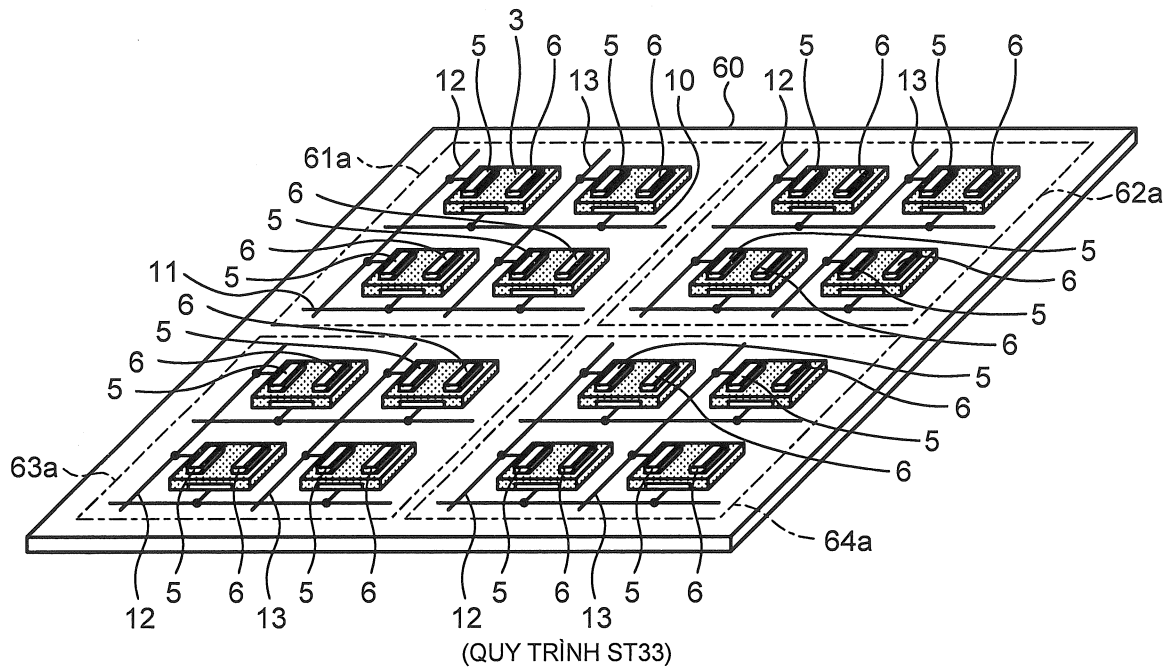
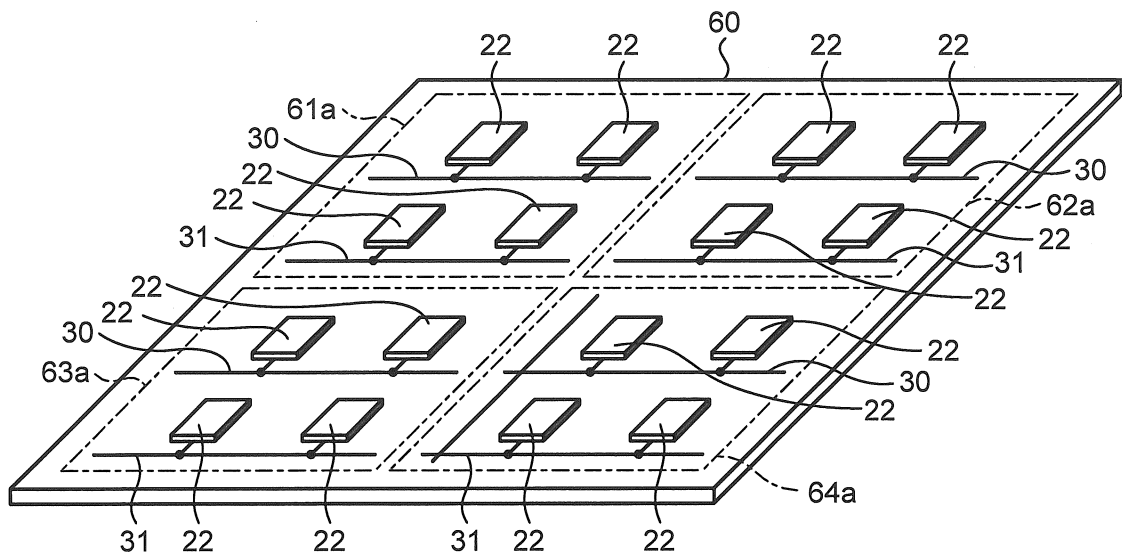
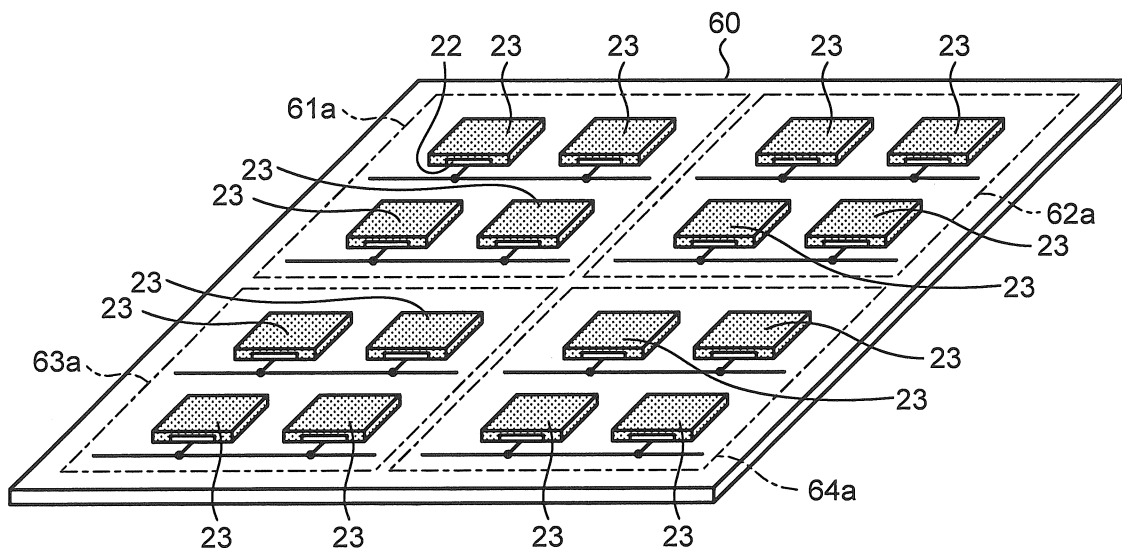


FIG.21A



(QUY TRÌNH ST41)



(QUY TRÌNH ST42)

FIG.21B

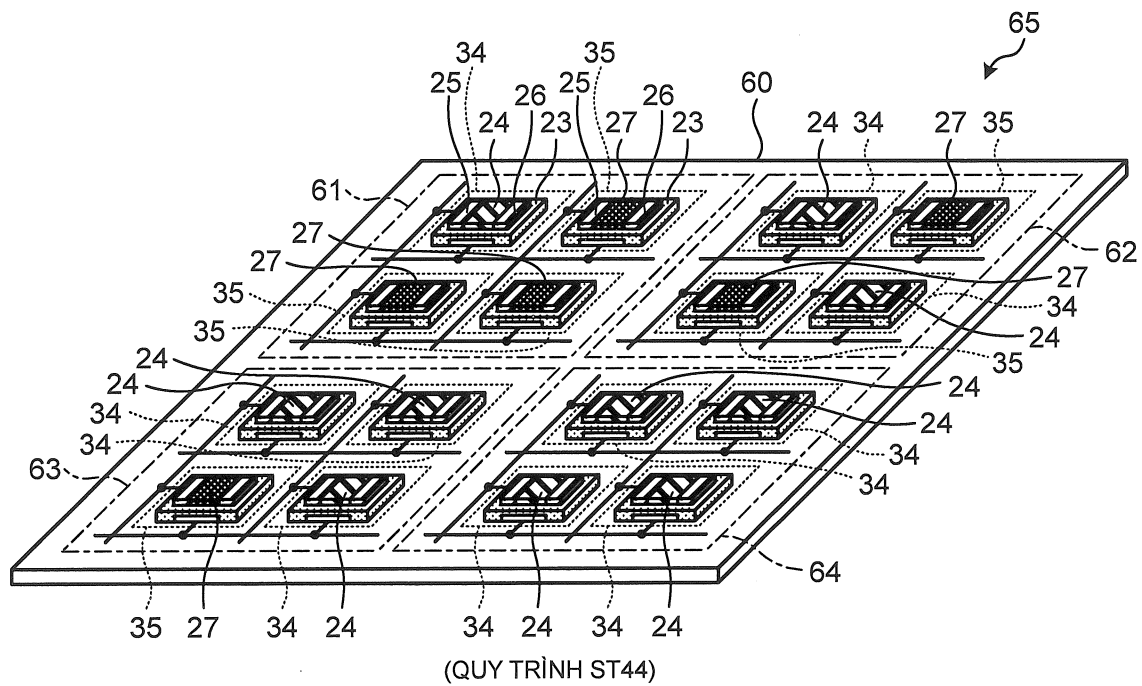
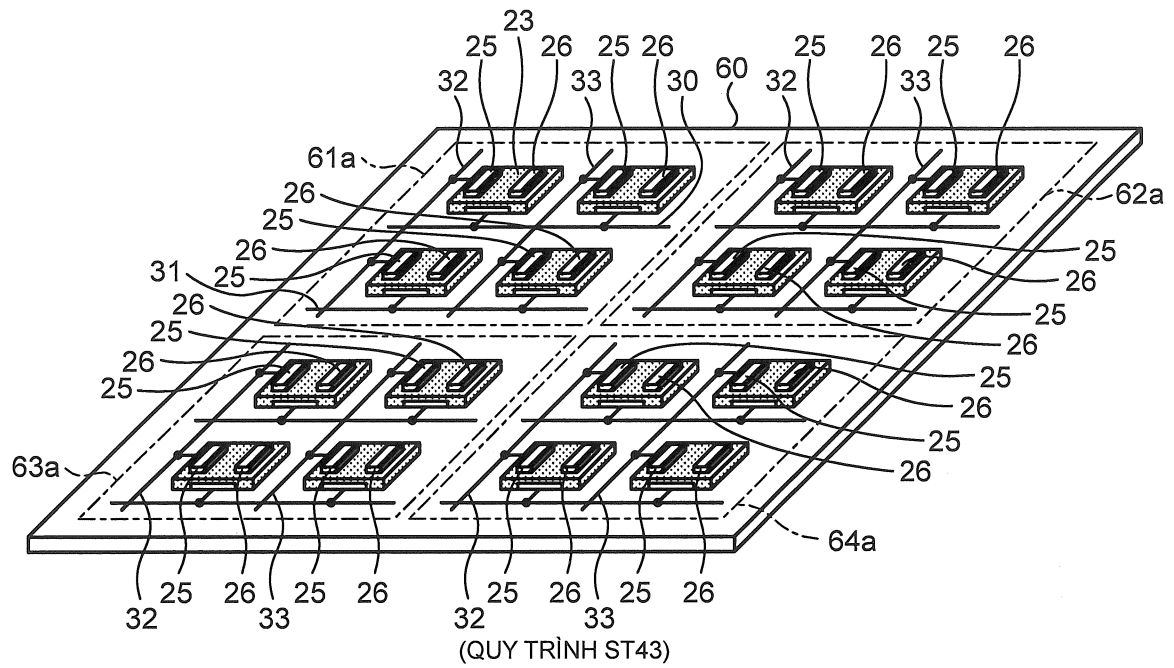
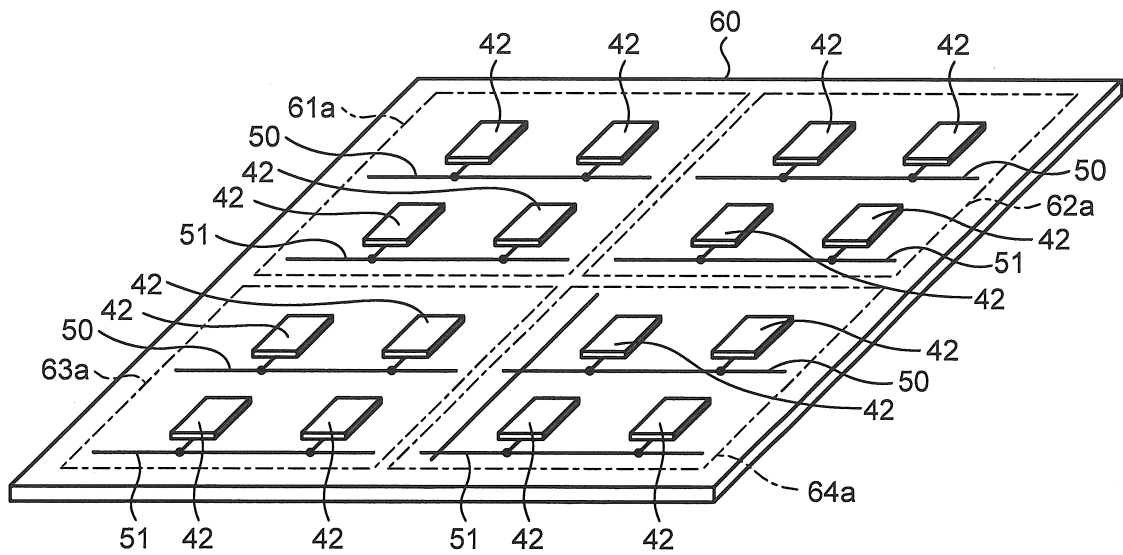
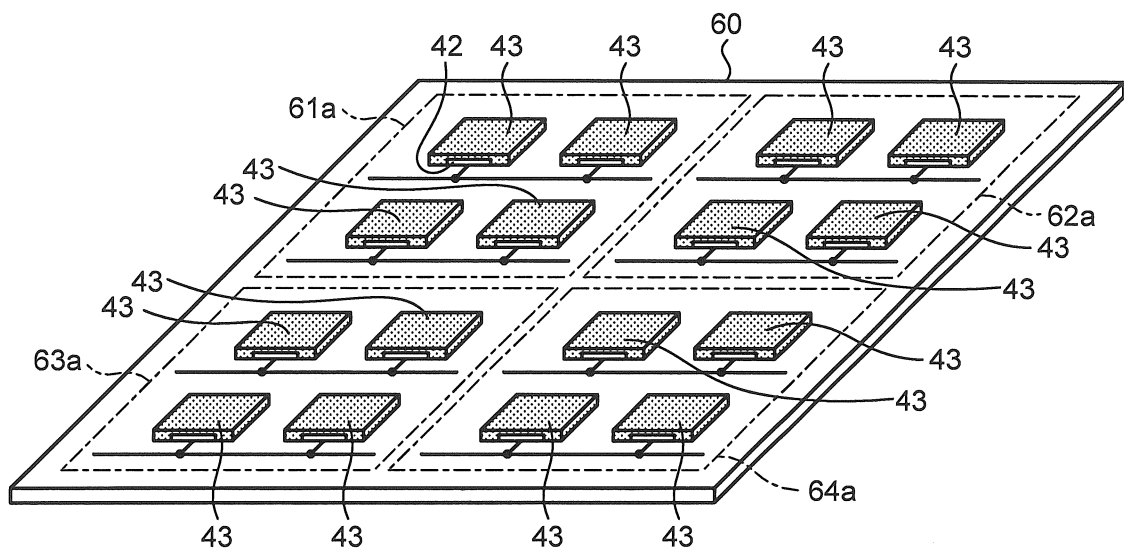


FIG.22A



(QUY TRÌNH ST51)



(QUY TRÌNH ST52)

FIG.22B

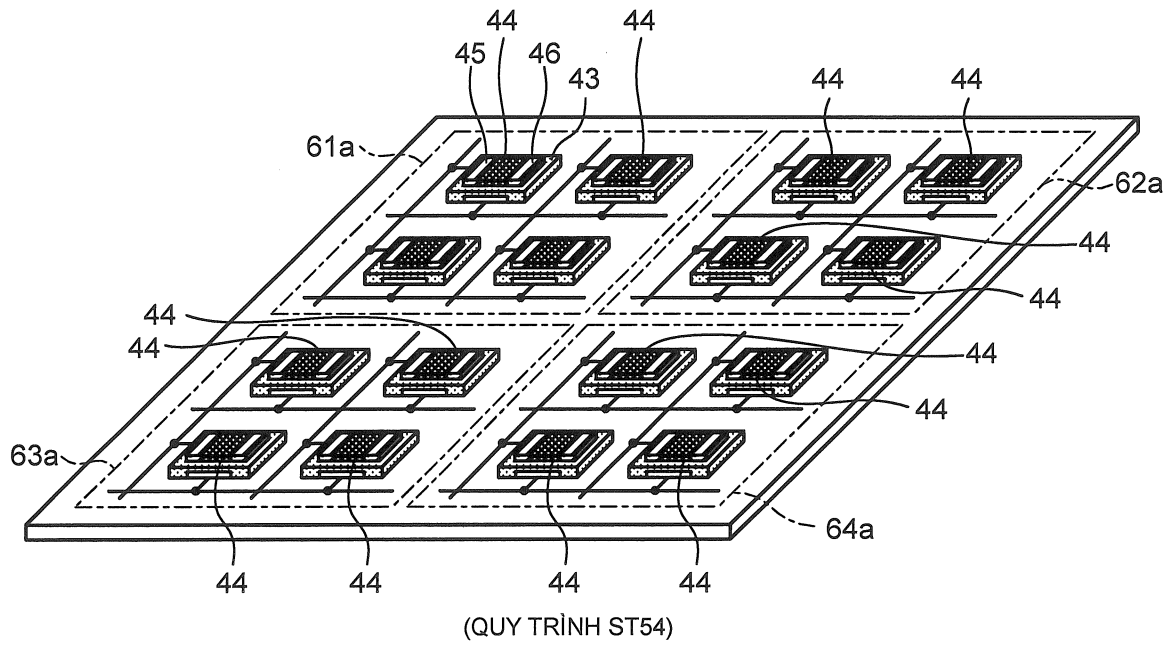
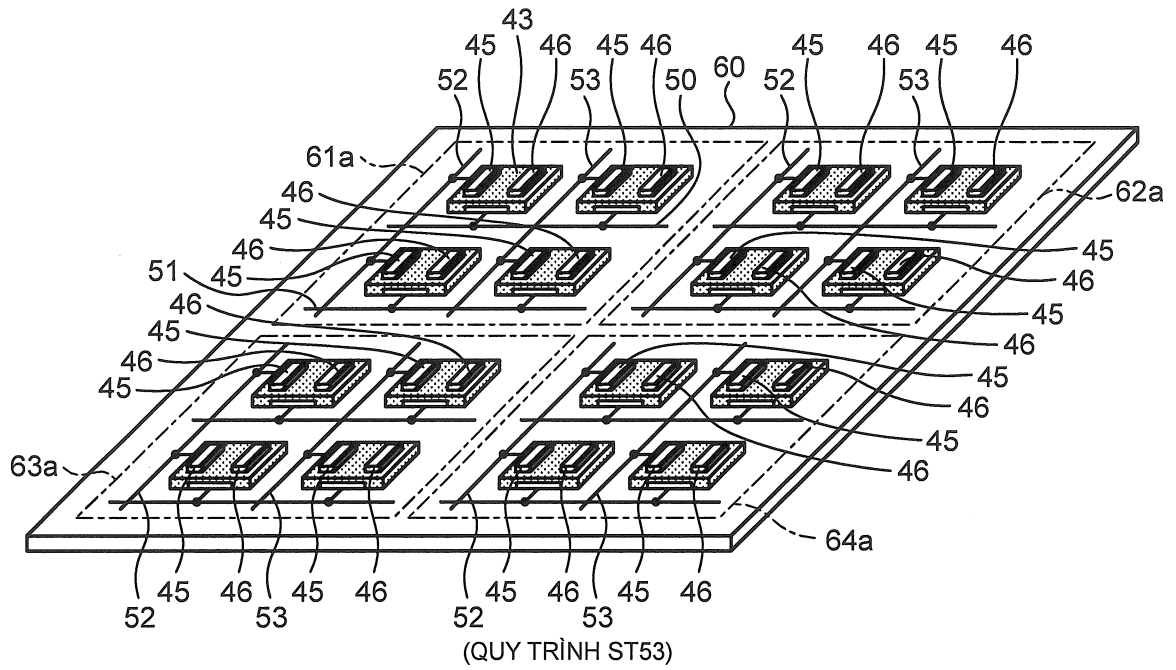
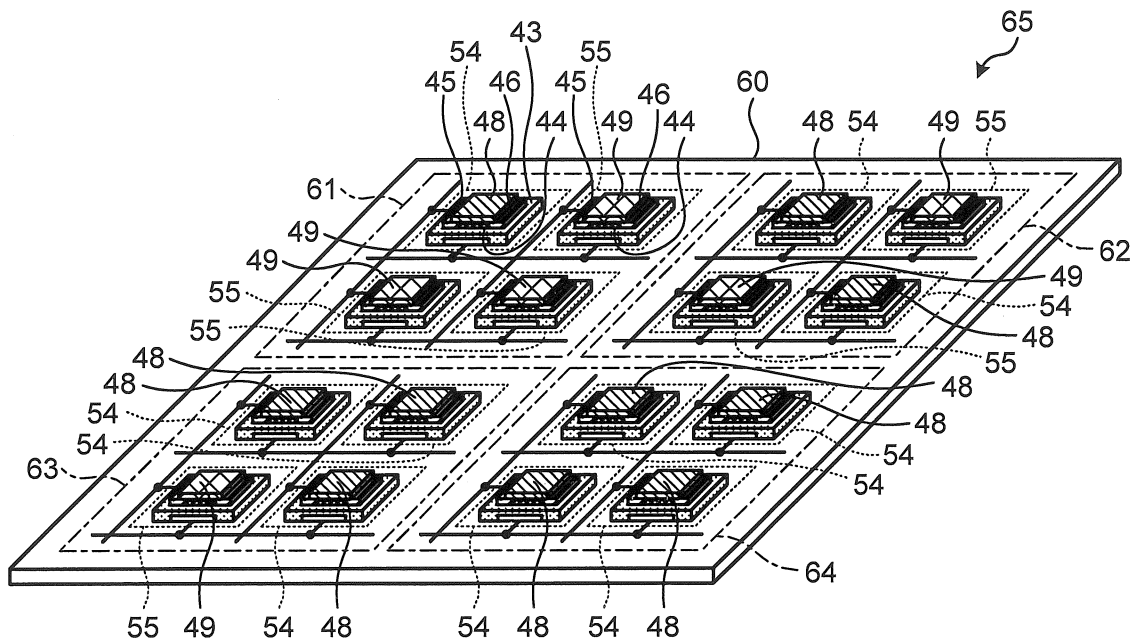


FIG.22C



(QUY TRÌNH ST55)

(QUY TRÌNH ST61)

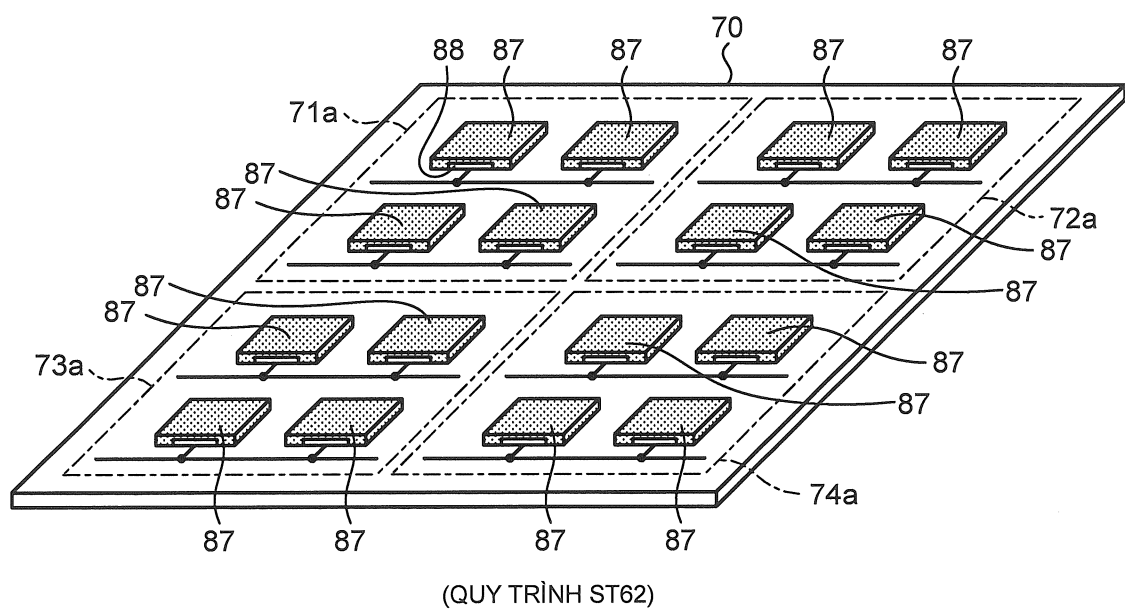


FIG. 23B

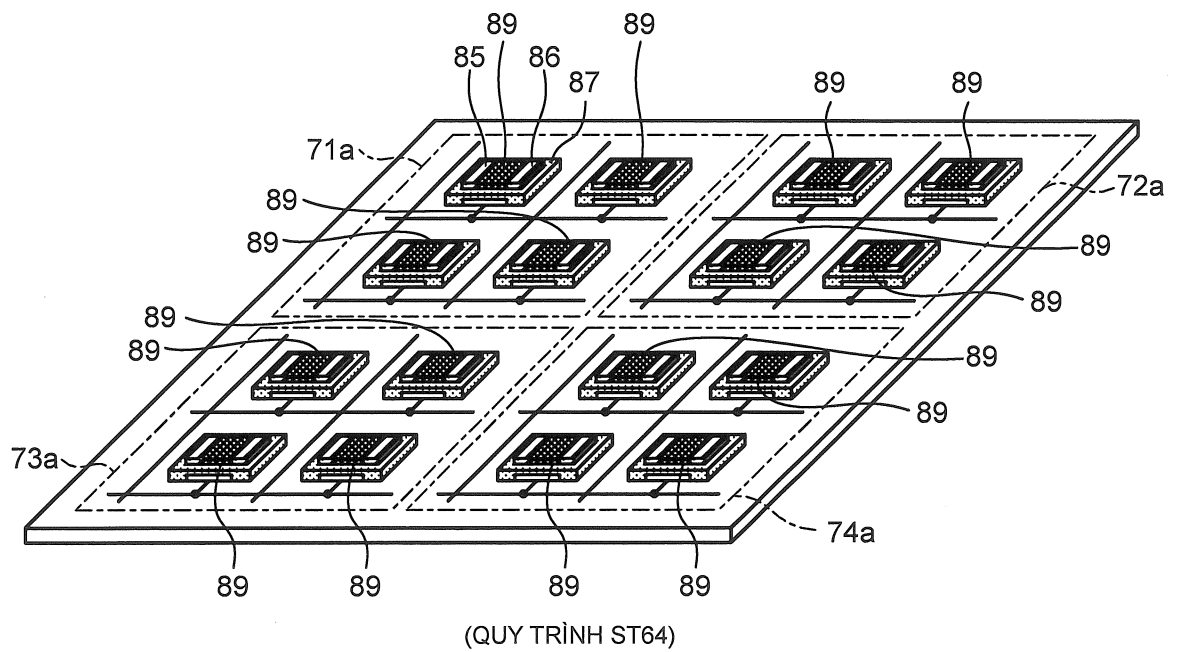
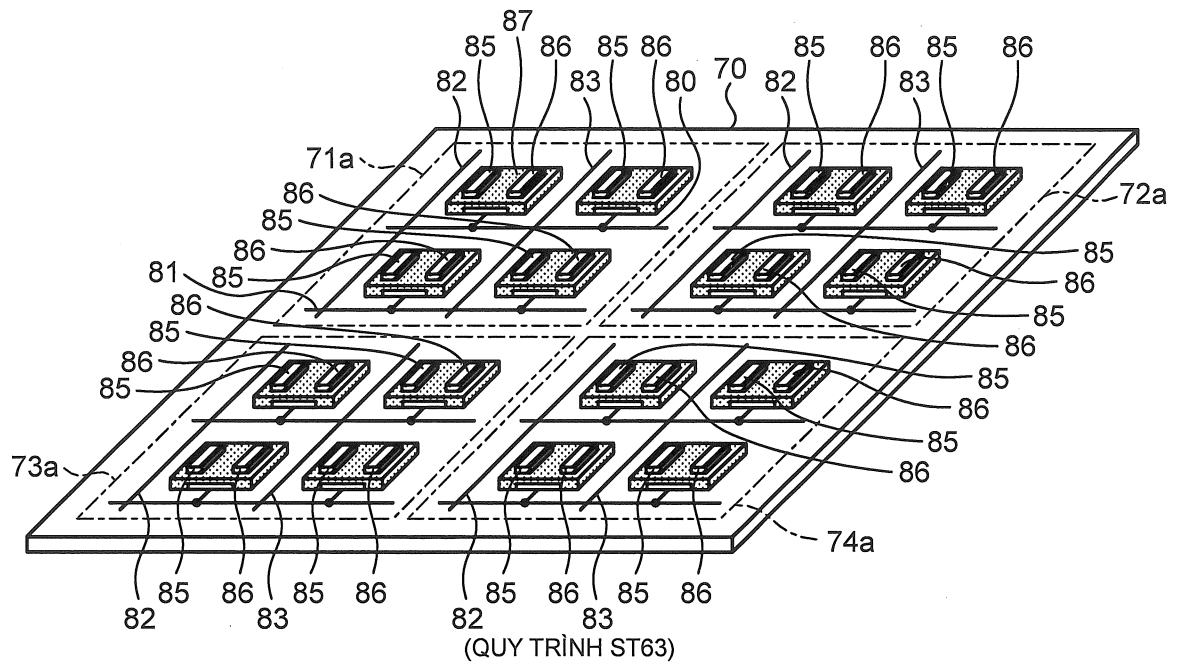
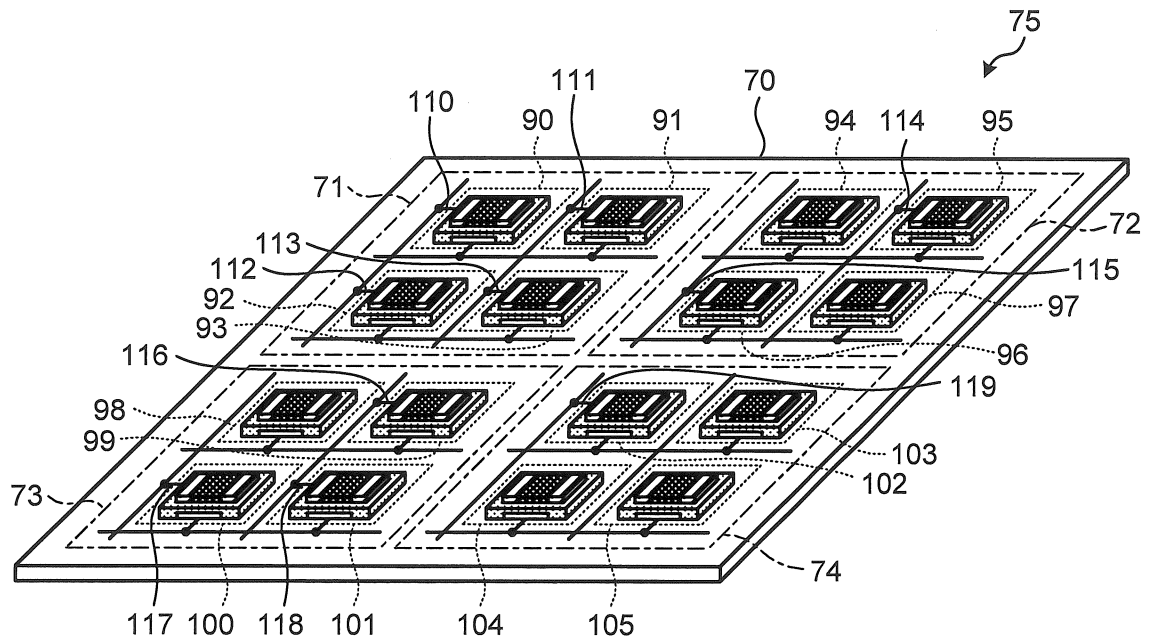


FIG.23C



(QUY TRÌNH ST65)

FIG.24

