



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0028401

(51)⁸ H03L 7/081

(13) B

(21) 1-2017-04002

(22) 27/11/2015

(86) PCT/CN2015/095807 27/11/2015

(87) WO 2016/150182 29/09/2016

(30) 201510134242.4 25/03/2015 CN

(45) 25/05/2021 398

(43) 25/12/2017 357A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

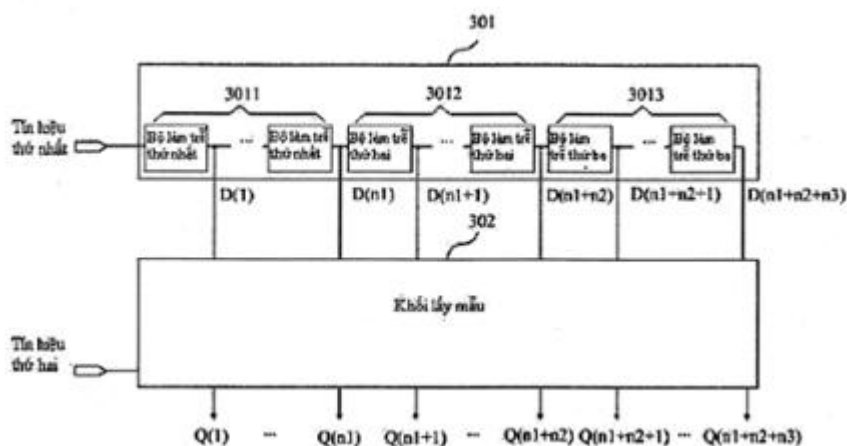
Huawei Administration Building, Bantian, Longgang, Shenzhen, Guangdong 518129, China

(72) ZHOU, Shenghua (CN); SONG, Ran (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) PHƯƠNG PHÁP VÀ BỘ BIẾN ĐỔI THỜI GIAN SANG SỐ

(57) Sáng chế đề xuất bộ biến đổi thời gian sang số trong vòng khóa pha, sao cho có thể cải thiện độ chính xác khóa pha. Bộ biến đổi thời gian sang số gồm khối làm trễ mà tín hiệu thứ nhất được đưa vào và khối lấy mẫu mà tín hiệu thứ hai được đưa vào, trong đó khối làm trễ gồm chuỗi làm trễ thứ nhất, chuỗi làm trễ thứ hai, và chuỗi làm trễ thứ ba lần lượt được mắc nối tiếp, và được tạo cấu hình để làm trễ tín hiệu thứ nhất, trong đó chuỗi làm trễ thứ nhất gồm ít nhất một bộ làm trễ thứ nhất, chuỗi làm trễ thứ hai gồm ít nhất ba bộ làm trễ thứ hai, chuỗi làm trễ thứ ba gồm ít nhất một bộ làm trễ thứ ba, và khoảng thời gian làm trễ của bộ làm trễ thứ nhất và khoảng thời gian làm trễ của bộ làm trễ thứ ba lớn hơn khoảng thời gian làm trễ của bộ làm trễ thứ hai; và khối lấy mẫu được tạo cấu hình để: thực hiện lấy mẫu trên các tín hiệu đầu ra của các bộ làm trễ thứ nhất ở chuỗi làm trễ thứ nhất, các bộ làm trễ thứ hai ở chuỗi làm trễ thứ hai, và các bộ làm trễ thứ ba ở chuỗi làm trễ thứ ba trong khối làm trễ ở thời điểm định trước của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu.



Lĩnh vực kỹ thuật được đề cập

Sáng chế liên quan đến lĩnh vực công nghệ vòng khóa pha, và cụ thể là, đến bộ biến đổi thời gian sang số trong vòng khóa pha.

Tình trạng kỹ thuật của sáng chế

Vòng khóa pha (Phase-locked loop, PLL) là công nghệ để triển khai, bằng cách sử dụng nguyên lý điều khiển phản hồi, việc hiệu số pha giữa hai tín hiệu vẫn không đổi. Chẳng hạn, đối với hai tín hiệu: tín hiệu thứ nhất và tín hiệu thứ hai, hiệu số pha đích giữa hai tín hiệu có thể được tạo tùy ý, tức là, khoảng thời gian đích giữa thời điểm cụ thể của tín hiệu thứ nhất và thời điểm định trước của tín hiệu thứ hai được tạo, và hiệu số pha hiện tại giữa hai tín hiệu được dò thấy, tức là, khoảng thời gian hiện tại giữa thời điểm cụ thể của tín hiệu thứ nhất và thời điểm định trước của tín hiệu thứ hai được dò thấy; và khi tín hiệu thứ hai được sử dụng làm tín hiệu chuẩn, pha của tín hiệu thứ nhất có thể được điều khiển theo khoảng thời gian đích và khoảng thời gian hiện tại, để khóa khoảng thời gian giữa thời điểm cụ thể của tín hiệu thứ nhất và thời điểm định trước của tín hiệu thứ hai, tức là, hiệu số pha giữa hai tín hiệu được khóa.

Trong vòng khóa pha, thiết bị được sử dụng để dò hiệu số pha hiện tại giữa hai tín hiệu, tức là, để dò khoảng thời gian hiện tại giữa thời điểm cụ thể của tín hiệu thứ nhất và thời điểm định trước của tín hiệu thứ hai là bộ biến đổi thời gian sang số (Time-Digital Converter, TDC). TDC theo giải pháp kỹ thuật đã biết được thể hiện trên Fig.1, chủ yếu gồm khối làm trễ 101 mà tín hiệu thứ nhất được đưa vào và khối lấy mẫu 102 mà tín hiệu thứ hai được đưa vào, trong đó ở tín hiệu thứ nhất và tín hiệu thứ hai, tín hiệu thứ hai là tín hiệu chuẩn. Cụ thể là:

khối làm trễ 101 gồm nhiều bộ làm trễ có cùng khoảng thời gian làm

trễ được mắc nối tiếp, và được tạo cấu hình để làm trễ tín hiệu thứ nhất, trong đó khoảng thời gian làm trễ của khối làm trễ 101 lớn hơn chu kỳ của tín hiệu thứ nhất; và

khối lấy mẫu 102 được tạo cấu hình để: thực hiện lấy mẫu trên các tín hiệu đầu ra $D(1), D(2), \dots, D(n)$ của các bộ làm trễ trong khối làm trễ 101 ở thời điểm định trước của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu $Q(1), Q(2), \dots, Q(n)$; trong đó chuỗi nhị phân $Q[1:n]$ được tạo bởi các tín hiệu được lấy mẫu được xuất ra bởi khối lấy mẫu 102 mang thông tin về khoảng thời gian giữa thời điểm biên tăng/thời điểm biên giảm của tín hiệu thứ nhất và thời điểm định trước của tín hiệu thứ hai, tức là, mang thông tin về hiệu số pha giữa hai tín hiệu.

Giả sử rằng khoảng thời gian làm trễ của bộ làm trễ là t_1 và chu kỳ của tín hiệu thứ nhất là $T_1=8t_1$, khối làm trễ 101 cần bao gồm ít nhất tám bộ làm trễ, chẳng hạn, có thể gồm mười bộ làm trễ. Tín hiệu thứ nhất, tín hiệu thứ hai, và các tín hiệu đầu ra $D(1), D(2), \dots, D(10)$ của mười bộ làm trễ được thể hiện trên Fig.2, trong đó tất cả các tín hiệu đầu ra của mười bộ làm trễ cùng hướng với hướng của tín hiệu thứ nhất. Nếu thời điểm định trước của tín hiệu thứ hai cụ thể là thời điểm biên tăng của tín hiệu thứ hai, khối lấy mẫu 102 thực hiện lấy mẫu trên các tín hiệu đầu ra của mười bộ làm trễ trong khối làm trễ 101 ở thời điểm biên tăng của tín hiệu thứ hai. Như được thể hiện trên Fig.2, ở thời điểm biên tăng của tín hiệu thứ hai, các tín hiệu đầu ra $D(1)$ và $D(2)$ của các bộ làm trễ ở mức cao, $D(3), D(4), D(5)$, và $D(6)$ ở mức thấp, và $D(7), D(8), D(9)$, và $D(10)$ ở mức cao. Do vậy, chuỗi nhị phân $Q[1:10]$ được tạo bởi các tín hiệu được lấy mẫu $Q(1), Q(2), \dots, Q(10)$ được xuất ra bởi khối lấy mẫu 102 là 0011110000. Chuỗi nhị phân mang thông tin về các khoảng thời gian giữa thời điểm biên tăng của tín hiệu thứ hai và thời điểm biên tăng của tín hiệu thứ nhất, và giữa thời điểm biên tăng của tín hiệu thứ hai và thời điểm biên giảm của tín hiệu thứ nhất. Bit thứ nhất trong chuỗi là "0". Bit

thứ ba nhảy sang “1” sau khoảng thời gian của hai bộ làm trễ từ bit thứ nhất, chỉ báo rằng khoảng thời gian giữa thời điểm biên tăng của tín hiệu thứ hai và thời điểm biên giảm của tín hiệu thứ nhất trước và gần nhất với thời điểm biên tăng của tín hiệu thứ hai là khoảng thời gian của hai bộ làm trễ, tức là, $2t_1$; và bit thứ bảy nhảy lại sang “0” sau khoảng thời gian của sáu bộ làm trễ từ bit thứ nhất, chỉ báo rằng khoảng thời gian giữa thời điểm biên tăng của tín hiệu thứ hai và thời điểm biên tăng của tín hiệu thứ nhất trước và gần nhất thời điểm biên tăng của tín hiệu thứ hai là khoảng thời gian của sáu bộ làm trễ, tức là, $6t_1$.

Rõ ràng là, độ chính xác dò của TDC hiện tại tùy thuộc vào khoảng thời gian làm trễ t_1 của bộ làm trễ trong khối làm trễ 101. Nếu bộ làm trễ có khoảng thời gian làm trễ tương đối nhỏ được sử dụng, đòi hỏi số lượng lớn bộ làm trễ, tác động tích lũy của các lỗi trên các bộ làm trễ tương đối lớn, và rất khó triển khai TDC; do vậy, bộ làm trễ có khoảng thời gian làm trễ tương đối lớn cần được sử dụng, khiến độ chính xác dò tương đối thấp của TDC hiện tại, do vậy độ chính xác khóa pha của vòng khóa pha cũng tương đối thấp.

Bản chất kỹ thuật của sáng chế

Các phương án thực hiện sáng chế đề xuất bộ biến đổi thời gian sang số trong PLL, để giải quyết vấn đề là độ chính xác khóa pha của PLL tương đối thấp.

Theo khía cạnh thứ nhất, TDC trong vòng khóa pha được đề xuất, gồm khối làm trễ mà tín hiệu thứ nhất được đưa vào và khối lấy mẫu mà tín hiệu thứ hai được đưa vào, trong đó:

khối làm trễ gồm chuỗi làm trễ thứ nhất, chuỗi làm trễ thứ hai, và chuỗi làm trễ thứ ba lần lượt được mắc nối tiếp, và được tạo cấu hình để làm trễ tín hiệu thứ nhất, trong đó chuỗi làm trễ thứ nhất gồm ít nhất một bộ làm trễ thứ nhất, chuỗi làm trễ thứ hai gồm ít nhất ba bộ làm trễ thứ

hai, chuỗi làm trễ thứ ba gồm ít nhất một bộ làm trễ thứ ba, và khoảng thời gian làm trễ của bộ làm trễ thứ nhất và khoảng thời gian làm trễ của bộ làm trễ thứ ba lớn hơn khoảng thời gian làm trễ của bộ làm trễ thứ hai; và

khối lấy mẫu được tạo cấu hình để: thực hiện lấy mẫu trên các tín hiệu đầu ra của các bộ làm trễ thứ nhất ở chuỗi làm trễ thứ nhất, các bộ làm trễ thứ hai ở chuỗi làm trễ thứ hai, và các bộ làm trễ thứ ba ở chuỗi làm trễ thứ ba trong khối làm trễ ở thời điểm định trước của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu.

Dựa vào khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ nhất, trong khối làm trễ, khoảng thời gian làm trễ của chuỗi làm trễ thứ hai lớn hơn giá trị đỉnh - đỉnh của biến động của tín hiệu được xuất ra bởi PLL trong trạng thái chạy vòng mở; và

khoảng thời gian làm trễ của khối làm trễ lớn hơn chu kỳ của tín hiệu thứ nhất.

Dựa vào khía cạnh thứ nhất hoặc cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ hai, trong khối làm trễ, khoảng thời gian làm trễ của chuỗi làm trễ thứ nhất tương tự như khoảng thời gian làm trễ của chuỗi làm trễ thứ ba; hoặc

khoảng thời gian làm trễ của chuỗi làm trễ thứ nhất khác với khoảng thời gian làm trễ của chuỗi làm trễ thứ ba.

Dựa vào khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, hoặc cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ ba, trong khối làm trễ, khoảng thời gian làm trễ của bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất và khoảng thời gian làm trễ của bộ làm trễ thứ ba trong chuỗi làm trễ thứ ba từ 4 đến 10 lần khoảng thời gian làm trễ của bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai.

Dựa vào khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của

khía cạnh thứ nhất, cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, hoặc cách thức triển khai khả thi thứ ba của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ tư, trong khối làm trẻ, khoảng thời gian làm trẻ của bộ làm trẻ thứ nhất trong chuỗi làm trẻ thứ nhất tương tự như khoảng thời gian làm trẻ của bộ làm trẻ thứ ba trong chuỗi làm trẻ thứ ba; hoặc

khoảng thời gian làm trẻ của bộ làm trẻ thứ nhất trong chuỗi làm trẻ thứ nhất khác với khoảng thời gian làm trẻ của bộ làm trẻ thứ ba trong chuỗi làm trẻ thứ ba.

Dựa vào khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, cách thức triển khai khả thi thứ ba của khía cạnh thứ nhất, hoặc cách thức triển khai khả thi thứ tư của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ năm, trong khối làm trẻ, số lượng bộ trẻ thứ nhất trong chuỗi làm trẻ thứ nhất tương tự như số lượng bộ trẻ thứ ba trong chuỗi làm trẻ thứ ba; hoặc

số lượng bộ trẻ thứ nhất trong chuỗi làm trẻ thứ nhất khác với số lượng bộ trẻ thứ ba trong chuỗi làm trẻ thứ ba.

Dựa vào khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, cách thức triển khai khả thi thứ ba của khía cạnh thứ nhất, cách thức triển khai khả thi thứ tư của khía cạnh thứ nhất, hoặc cách thức triển khai khả thi thứ năm của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ sáu, trong khối làm trẻ, bộ làm trẻ thứ nhất trong chuỗi làm trẻ thứ nhất và/hoặc bộ làm trẻ thứ ba trong chuỗi làm trẻ thứ ba là các bộ đảo pha.

Dựa vào khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, cách thức triển khai khả thi thứ ba của khía cạnh thứ nhất, cách thức

triển khai khả thi thứ tư của khía cạnh thứ nhất, cách thức triển khai khả thi thứ năm của khía cạnh thứ nhất, hoặc cách thức triển khai khả thi thứ sáu của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ bảy, trong khối làm trễ, bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai là bộ làm trễ RC.

Dựa vào khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, cách thức triển khai khả thi thứ ba của khía cạnh thứ nhất, cách thức triển khai khả thi thứ tư của khía cạnh thứ nhất, cách thức triển khai khả thi thứ năm của khía cạnh thứ nhất, cách thức triển khai khả thi thứ sáu của khía cạnh thứ nhất, hoặc cách thức triển khai khả thi thứ bảy của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ tám, khối lấy mẫu gồm nhiều bộ kích hoạt; trong khối làm trễ, mỗi bộ trễ thứ nhất trong chuỗi làm trễ thứ nhất, mỗi bộ trễ thứ hai trong chuỗi làm trễ thứ hai, và mỗi bộ trễ thứ ba trong chuỗi làm trễ thứ ba theo phép tương ứng một - một với các bộ kích hoạt trong khối lấy mẫu; và

mỗi bộ kích hoạt thực hiện, ở thời điểm định trước của tín hiệu thứ hai, lấy mẫu trên tín hiệu đầu ra của bộ làm trễ thứ nhất, bộ làm trễ thứ hai, hoặc bộ làm trễ thứ ba tương ứng với bộ kích hoạt, và xuất ra tín hiệu được lấy mẫu; và đối với mỗi bộ kích hoạt, khi tín hiệu đầu ra của bộ làm trễ thứ nhất, bộ làm trễ thứ hai, hoặc bộ làm trễ thứ ba tương ứng với bộ kích hoạt theo hướng tương tự với hướng của tín hiệu thứ nhất, tín hiệu được lấy mẫu được xuất ra từ đầu ra không đảo của bộ kích hoạt, và khi tín hiệu đầu ra của bộ làm trễ thứ nhất, bộ làm trễ thứ hai, hoặc bộ làm trễ thứ ba tương ứng với bộ kích hoạt theo hướng đảo với hướng của tín hiệu thứ nhất, tín hiệu được lấy mẫu được xuất ra từ đầu ra đảo của bộ kích hoạt.

Theo khía cạnh thứ hai, TDC trong PLL được đề xuất, gồm khối làm trễ mà tín hiệu thứ nhất được đưa vào và khối lấy mẫu mà tín hiệu thứ hai

được đưa vào, trong đó:

khối làm trễ gồm chuỗi làm trễ thứ nhất và chuỗi làm trễ thứ hai được mắc nối tiếp, và được tạo cấu hình để làm trễ tín hiệu thứ nhất, trong đó chuỗi làm trễ thứ nhất gồm ít nhất một bộ làm trễ thứ nhất, chuỗi làm trễ thứ hai gồm ít nhất ba bộ làm trễ thứ hai, và khoảng thời gian làm trễ của bộ làm trễ thứ nhất lớn hơn khoảng thời gian làm trễ của bộ làm trễ thứ hai; và

khối lấy mẫu được tạo cấu hình để: thực hiện lấy mẫu trên các tín hiệu đầu ra của các bộ làm trễ thứ nhất ở chuỗi làm trễ thứ nhất và các bộ làm trễ thứ hai ở chuỗi làm trễ thứ hai trong khối làm trễ ở thời điểm định trước của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu.

Dựa vào khía cạnh thứ hai, trong khối làm trễ, khoảng thời gian làm trễ của chuỗi làm trễ thứ hai lớn hơn giá trị đỉnh - đỉnh của biến động của tín hiệu được xuất ra bởi PLL trong trạng thái chạy vòng mở; và

khoảng thời gian làm trễ của khối làm trễ lớn hơn chu kỳ của tín hiệu thứ nhất.

Dựa vào khía cạnh thứ hai hoặc cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, theo cách thức triển khai khả thi thứ hai, trong khối làm trễ, khoảng thời gian làm trễ của bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất là từ 4 đến 10 lần khoảng thời gian làm trễ của bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai.

Dựa vào khía cạnh thứ hai, cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, hoặc cách thức triển khai khả thi thứ hai của khía cạnh thứ hai, theo cách thức triển khai khả thi thứ ba, trong khối làm trễ, bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất là bộ đảo pha.

Dựa vào khía cạnh thứ hai, cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, cách thức triển khai khả thi thứ hai của khía cạnh thứ hai, hoặc cách thức triển khai khả thi thứ ba của khía cạnh thứ hai, theo cách thức triển khai khả thi thứ tư, trong khối làm trễ, bộ làm trễ thứ hai

trong chuỗi làm trễ thứ hai là bộ làm trễ RC.

Dựa vào khía cạnh thứ hai, cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, cách thức triển khai khả thi thứ hai của khía cạnh thứ hai, cách thức triển khai khả thi thứ ba của khía cạnh thứ hai, hoặc cách thức triển khai khả thi thứ tư của khía cạnh thứ hai, theo cách thức triển khai khả thi thứ năm, khối lấy mẫu gồm nhiều bộ kích hoạt; trong khối làm trễ, mỗi bộ trễ thứ nhất trong chuỗi làm trễ thứ nhất và mỗi bộ trễ thứ hai trong chuỗi làm trễ thứ hai theo phép tương ứng một - một với các bộ kích hoạt trong khối lấy mẫu; và

mỗi bộ kích hoạt thực hiện, ở thời điểm định trước của tín hiệu thứ hai, lấy mẫu trên tín hiệu đầu ra của bộ làm trễ thứ nhất hoặc bộ làm trễ thứ hai tương ứng với bộ kích hoạt, và xuất ra tín hiệu được lấy mẫu; và đối với mỗi bộ kích hoạt, khi tín hiệu đầu ra của bộ làm trễ thứ nhất hoặc bộ làm trễ thứ hai tương ứng với bộ kích hoạt theo hướng tương tự với hướng của tín hiệu thứ nhất, tín hiệu được lấy mẫu được xuất ra từ đầu ra không đảo của bộ kích hoạt, và khi tín hiệu đầu ra của bộ làm trễ thứ nhất hoặc bộ làm trễ thứ hai tương ứng với bộ kích hoạt theo hướng đảo với hướng của tín hiệu thứ nhất, tín hiệu được lấy mẫu được xuất ra từ đầu ra đảo của bộ kích hoạt.

Theo TDC trong PLL theo khía cạnh thứ nhất và TDC theo PL theo khía cạnh thứ hai, khối làm trễ làm trễ tín hiệu thứ nhất gồm chuỗi làm trễ thứ nhất, chuỗi làm trễ thứ hai, và chuỗi làm trễ thứ ba lần lượt được mắc nối tiếp, trong đó cả khoảng thời gian làm trễ của bộ làm trễ thứ nhất được bao gồm trong chuỗi làm trễ thứ nhất và khoảng thời gian làm trễ của bộ làm trễ thứ ba được bao gồm trong chuỗi làm trễ thứ ba lớn hơn khoảng thời gian làm trễ của bộ làm trễ thứ hai được bao gồm trong chuỗi làm trễ thứ hai, tức là, cả chuỗi làm trễ thứ nhất lẫn chuỗi làm trễ thứ ba sử dụng bộ làm trễ có khoảng thời gian làm trễ tương đối lớn, sao cho số lượng bộ làm trễ trong khối làm trễ có thể được giảm, và dễ triển khai bộ

biến đổi thời gian sang số; và chuỗi làm trễ thứ hai sử dụng bộ làm trễ có khoảng thời gian làm trễ tương đối nhỏ, sao cho độ chính xác dò của bộ biến đổi thời gian sang số có thể được cải thiện, và độ chính xác khóa pha của PLL còn được cải thiện.

Mô tả vắn tắt các hình vẽ

Các hình vẽ được đề xuất để hiểu sáng chế, và chúng tạo nên một phần của ứng dụng. Các hình vẽ, theo các phương án thực hiện sáng chế, được sử dụng để giải thích sáng chế, và không giới hạn ở sáng chế. Trong các hình vẽ này:

Fig.1 là sơ đồ của TDC theo giải pháp kỹ thuật đã biết;

Fig.2 là sơ đồ của nguyên lý TDC theo giải pháp kỹ thuật đã biết;

Fig.3 là sơ đồ 1 của TDC theo phương án thực hiện thứ nhất của sáng chế;

Fig.4 là sơ đồ 2 của TDC theo phương án thực hiện thứ nhất của sáng chế;

Fig.5 là sơ đồ của nguyên lý của TDC theo phương án thực hiện thứ nhất của sáng chế; và

Fig.6 là sơ đồ của TDC theo phương án thực hiện thứ hai của sáng chế.

Mô tả chi tiết sáng chế

Để đề xuất giải pháp triển khai để cải thiện độ chính xác khóa pha của PLL, các phương án thực hiện sáng chế đề xuất TDC trong PLL. Phần sau mô tả các phương án thực hiện sáng chế dựa vào các hình vẽ trong ứng dụng. Nên hiểu rằng, các phương án thực hiện lấy làm ví dụ được mô tả ở đây chỉ được sử dụng để mô tả và giải thích sáng chế, nhưng không nhằm giới hạn sáng chế. Ngoài ra, trong trường hợp không xuất hiện xung đột, các phương án thực hiện sáng chế và các dấu hiệu theo các

phương án thực hiện có thể được kết hợp lẫn nhau.

Phương án thực hiện thứ nhất

Phương án thực hiện thứ nhất của sáng chế đề xuất TDC trong PLL, được thể hiện trên Fig.3 và gồm khối làm trễ 301 mà tín hiệu thứ nhất được đưa vào và khối lấy mẫu 302 mà tín hiệu thứ hai được đưa vào.

Khối làm trễ 301 gồm chuỗi làm trễ thứ nhất 3011, chuỗi làm trễ thứ hai 3012, và chuỗi làm trễ thứ ba 3013 lần lượt được mắc nối tiếp, và được tạo cấu hình để làm trễ tín hiệu thứ nhất, trong đó chuỗi làm trễ thứ nhất 3011 gồm ít nhất một bộ làm trễ thứ nhất, chuỗi làm trễ thứ hai 3012 gồm ít nhất ba bộ làm trễ thứ hai, chuỗi làm trễ thứ ba 3013 gồm ít nhất một bộ làm trễ thứ ba, và khoảng thời gian làm trễ của bộ làm trễ thứ nhất và khoảng thời gian làm trễ của bộ làm trễ thứ ba lớn hơn khoảng thời gian làm trễ của bộ làm trễ thứ hai.

Khối lấy mẫu 302 được tạo cấu hình để: thực hiện lấy mẫu trên các tín hiệu đầu ra của các bộ làm trễ thứ nhất ở chuỗi làm trễ thứ nhất 3011, các bộ làm trễ thứ hai ở chuỗi làm trễ thứ hai 3012, và các bộ làm trễ thứ ba ở chuỗi làm trễ thứ ba 3013 trong khối làm trễ 301 ở thời điểm định trước của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu.

Trong khối làm trễ 301, chuỗi làm trễ thứ nhất 3011 gồm n_1 bộ làm trễ thứ nhất được mắc nối tiếp, chuỗi làm trễ thứ hai 3012 gồm n_2 bộ làm trễ thứ hai được mắc nối tiếp, và chuỗi làm trễ thứ ba 3013 gồm n_3 bộ làm trễ thứ ba được mắc nối tiếp, trong đó $n_1 \geq 1$, $n_2 \geq 3$, và $n_3 \geq 1$. Tức là, trong các tín hiệu được lấy mẫu được xuất ra bởi khối lấy mẫu 302, ít nhất một tín hiệu được lấy mẫu là tín hiệu được lấy mẫu của tín hiệu đầu ra của bộ làm trễ thứ nhất, ít nhất ba tín hiệu được lấy mẫu là các tín hiệu được lấy mẫu của các tín hiệu đầu ra của bộ làm trễ thứ hai, và ít nhất một tín hiệu được lấy mẫu là tín hiệu được lấy mẫu của tín hiệu đầu ra của bộ làm trễ thứ ba.

Nói chung, trong PLL, tín hiệu xung đồng hồ CKV được xuất ra bởi bộ dao động là tín hiệu thứ nhất nêu trên, và tín hiệu xung đồng hồ chuẩn bên ngoài FREF là tín hiệu thứ hai nêu trên.

Ngoài ra, khoảng thời gian làm trễ của khối làm trễ 301 lớn hơn chu kỳ của tín hiệu thứ nhất. Trong khối làm trễ 301, khoảng thời gian làm trễ của chuỗi làm trễ thứ hai 3012 lớn hơn giá trị đỉnh - đỉnh của biến động của tín hiệu được xuất ra bởi PLL trong trạng thái chạy vòng mở, trong đó giá trị đỉnh - đỉnh có thể được thu thập trước theo ngữ cảnh ứng dụng thực và dựa trên dữ liệu thực nghiệm. Trong khối làm trễ 301, khoảng thời gian làm trễ của chuỗi làm trễ thứ nhất 3011 có thể giống hoặc khác với khoảng thời gian làm trễ của chuỗi làm trễ thứ ba 3013, không bị giới hạn cụ thể theo sáng chế.

Trong khối làm trễ trong TDC theo phương án thực hiện thứ nhất của sáng chế, cả chuỗi làm trễ thứ nhất 3011 lẫn chuỗi làm trễ thứ ba 3013 sử dụng bộ làm trễ với khoảng thời gian làm trễ tương đối lớn, và chuỗi làm trễ thứ hai 3012 sử dụng bộ làm trễ với khoảng thời gian làm trễ tương đối nhỏ. Cụ thể là, trong khối làm trễ 301, khoảng thời gian làm trễ của bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 3011 có thể giống hoặc khác khoảng thời gian làm trễ của bộ làm trễ thứ ba trong chuỗi làm trễ thứ ba 3013. Trong khối làm trễ 301, số lượng bộ trễ thứ nhất trong chuỗi làm trễ thứ nhất 3011 có thể giống hoặc khác số lượng bộ trễ thứ ba trong chuỗi làm trễ thứ ba 3013.

Theo phương án thực hiện cụ thể, khối lấy mẫu 302 có thể cụ thể thực hiện lấy mẫu trên các tín hiệu đầu ra $D(1)...D(n1)$, $D(n1+1)...D(n1+n2)$, và $D(n1+n2+1)...D(n1+n2+n3)$ của các bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 3011, các bộ làm trễ thứ hai ở chuỗi làm trễ thứ hai 3012, và các bộ làm trễ thứ ba ở chuỗi làm trễ thứ ba 3013 trong khối làm trễ 301 ở thời điểm biên tăng của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu $Q(1)...Q(n1)$, $Q(n1+1)...Q(n1+n2)$, và

$Q(n1+n2+1)...Q(n1+n2+n3)$. Ở trường hợp này, chuỗi nhị phân $Q[1:n1+n2+n3]$ được tạo bởi các tín hiệu được lấy mẫu được xuất ra bởi khối lấy mẫu 302 mang thông tin về các khoảng thời gian giữa thời điểm biên tăng của tín hiệu thứ hai và thời điểm biên tăng của tín hiệu thứ nhất, và giữa thời điểm biên tăng của tín hiệu thứ hai và thời điểm biên giảm của tín hiệu thứ nhất.

Theo phương án thực hiện cụ thể khác, khối lấy mẫu 302 có thể còn thực hiện cụ thể lấy mẫu trên các tín hiệu đầu ra $D(1)...D(n1)$, $D(n1+1)...D(n1+n2)$, và $D(n1+n2+1)...D(n1+n2+n3)$ của các bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 3011, các bộ làm trễ thứ hai ở chuỗi làm trễ thứ hai 3012, và các bộ làm trễ thứ ba ở chuỗi làm trễ thứ ba 3013 trong khối làm trễ 301 ở thời điểm biên giảm của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu $Q(1)...Q(n1)$, $Q(n1+1)...Q(n1+n2)$, và $Q(n1+n2+1)...Q(n1+n2+n3)$. Ở trường hợp này, chuỗi nhị phân $Q[1:n1+n2+n3]$ được tạo bởi các tín hiệu được lấy mẫu được xuất ra bởi khối lấy mẫu 302 mang thông tin về các khoảng thời gian giữa thời điểm biên giảm của tín hiệu thứ hai và thời điểm biên tăng của tín hiệu thứ nhất, và giữa thời điểm biên giảm của tín hiệu thứ hai và thời điểm biên giảm của tín hiệu thứ nhất.

Theo triển khai cụ thể, trong khối làm trễ 301, bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 3011 có thể cụ thể là nhưng không bị giới hạn ở bộ đảo pha; bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai 3012 có thể cụ thể là nhưng không bị giới hạn ở bộ làm trễ RC; và bộ làm trễ thứ ba trong chuỗi làm trễ thứ ba 3013 có thể cụ thể là nhưng không bị giới hạn ở bộ đảo pha.

Khối lấy mẫu 302 có thể được triển khai cụ thể bởi nhưng không bị giới hạn ở nhiều bộ kích hoạt. Đầu xung đồng hồ của mỗi bộ kích hoạt được nối với tín hiệu thứ hai. Ở trường hợp này, mỗi bộ trễ thứ nhất trong chuỗi làm trễ thứ nhất 3011, mỗi bộ trễ thứ hai trong chuỗi làm trễ thứ hai

3012, và mỗi bộ trễ thứ ba trong chuỗi làm trễ thứ ba 3013 trong khối làm trễ 301 theo phép tương ứng một - một với các bộ kích hoạt trong khối lấy mẫu 302. Mỗi bộ kích hoạt thực hiện, ở thời điểm định trước của tín hiệu thứ hai, lấy mẫu trên tín hiệu đầu ra của bộ làm trễ thứ nhất, bộ làm trễ thứ hai, hoặc bộ làm trễ thứ ba tương ứng với bộ kích hoạt, và xuất ra tín hiệu được lấy mẫu. Nên lưu ý rằng, đối với mỗi bộ kích hoạt, khi tín hiệu đầu ra của bộ làm trễ thứ nhất, bộ làm trễ thứ hai, hoặc bộ làm trễ thứ ba tương ứng với bộ kích hoạt theo hướng tương tự với hướng của tín hiệu thứ nhất, tín hiệu được lấy mẫu được xuất ra từ đầu ra không đảo của bộ kích hoạt, và khi tín hiệu đầu ra của bộ làm trễ thứ nhất, bộ làm trễ thứ hai, hoặc bộ làm trễ thứ ba tương ứng với bộ kích hoạt theo hướng đảo với hướng của tín hiệu thứ nhất, tín hiệu được lấy mẫu được xuất ra từ đầu ra đảo của bộ kích hoạt.

Phần sau sử dụng các ví dụ cụ thể để còn mô tả, dựa vào các hình vẽ, TDC trong PLL theo phương án thực hiện thứ nhất của sáng chế.

Giả sử rằng trong khối làm trễ 301, cả bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 3011 lẫn bộ làm trễ thứ ba trong chuỗi làm trễ thứ ba 3013 là các bộ đảo pha, và khoảng thời gian làm trễ của cả bộ làm trễ thứ nhất và bộ làm trễ thứ ba là t_1 ; bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai 3012 là bộ làm trễ RC, và khoảng thời gian làm trễ là t_2 , trong đó $t_1 = 4t_2$; giá trị đỉnh - đỉnh của biến động của tín hiệu được xuất ra bởi PLL trong trạng thái chạy vòng mở là $5t_2$; do vậy, khoảng thời gian làm trễ của chuỗi làm trễ thứ hai 3012 lớn hơn $5t_2$, chẳng hạn, có thể là $6t_2$, và ở trường hợp này, chuỗi làm trễ thứ hai 3012 gồm sáu bộ làm trễ thứ hai được mắc nối tiếp. Chu kỳ của tín hiệu thứ nhất $T_1 = 8t_1$; do vậy, tổng của khoảng thời gian làm trễ của chuỗi làm trễ thứ nhất 3011 và khoảng thời gian làm trễ của chuỗi làm trễ thứ ba 3013 lớn hơn $8t_1 - 6t_2 = 6,5t_1$, chẳng hạn, có thể là $8t_1$, và ở trường hợp này, chuỗi làm trễ thứ nhất 3011 có thể gồm bốn bộ làm trễ thứ nhất được mắc nối tiếp, và chuỗi làm trễ thứ ba

3013 có thể gồm bốn bộ làm trễ thứ ba được mắc nối tiếp. Nếu khối lấy mẫu 302 được triển khai cụ thể bởi nhiều bộ kích hoạt, cấu trúc cụ thể của bộ biến đổi thời gian sang số ở trường hợp này được thể hiện trên Fig.4, và tín hiệu thứ nhất, tín hiệu thứ hai, và các tín hiệu đầu ra $D(1)$, $D(2)$, ..., $D(14)$ của các bộ làm trễ thứ nhất, các bộ làm trễ thứ hai, và các bộ làm trễ thứ ba được thể hiện trên Fig.5, trong đó $D^*(1)$ là tín hiệu đảo của $D(1)$, $D^*(3)$ là tín hiệu đảo của $D(3)$, $D^*(11)$ là tín hiệu đảo của $D(11)$, và $D^*(13)$ là tín hiệu đảo của $D(13)$.

Nếu thời điểm định trước của tín hiệu thứ hai cụ thể là thời điểm biên tăng của tín hiệu thứ hai, khối lấy mẫu 302 thực hiện lấy mẫu trên các tín hiệu đầu ra $D(1)$, $D(2)$, ..., $D(14)$ của các bộ làm trễ thứ nhất, các bộ làm trễ thứ hai, và các bộ làm trễ thứ ba trong khối làm trễ 301 ở thời điểm biên tăng của tín hiệu thứ hai. Ở trường hợp này, chuỗi nhị phân $Q[1:14]$ được tạo bởi các tín hiệu được lấy mẫu $Q(1)$, $Q(2)$, ..., $Q(14)$ được xuất ra bởi khối lấy mẫu 302 là 00011111111000, được thể hiện dưới dạng đường nét đậm thẳng đứng trên Fig.5.

Như được thể hiện trên Fig.5, ở tín hiệu thứ nhất, khu vực tương ứng với chuỗi làm trễ thứ nhất 3011 là cửa sổ chuỗi làm trễ thứ nhất, trong đó cửa sổ chuỗi làm trễ thứ nhất chỉ báo khoảng làm trễ của tín hiệu thứ nhất bị làm trễ bởi chuỗi làm trễ thứ nhất 3011; khu vực tương ứng với chuỗi làm trễ thứ hai 3012 là cửa sổ chuỗi làm trễ thứ hai, trong đó cửa sổ chuỗi làm trễ thứ hai chỉ báo khoảng làm trễ của tín hiệu thứ nhất bị làm trễ bởi chuỗi làm trễ thứ hai 3012; và khu vực tương ứng với chuỗi làm trễ thứ ba 3013 là cửa sổ chuỗi làm trễ thứ ba, trong đó cửa sổ chuỗi làm trễ thứ ba chỉ báo khoảng làm trễ của tín hiệu thứ nhất bị làm trễ bởi chuỗi làm trễ thứ ba 3013. Rõ ràng là, nếu quy định rằng, khi thời điểm biên tăng của tín hiệu thứ hai ở cửa sổ chuỗi làm trễ thứ nhất của tín hiệu thứ nhất, hiệu số pha giữa hai tín hiệu là hiệu số pha đích; Ở trường hợp này, độ chính xác dò của bộ biến đổi thời gian sang số tùy thuộc vào khoảng thời

gian làm trễ t_1 của bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 3011, và do khoảng thời gian làm trễ của bộ làm trễ thứ nhất tương đối lớn, độ chính xác dò ở trường hợp này tương đối thấp. Nếu quy định rằng, khi thời điểm biên tăng của tín hiệu thứ hai ở cửa sổ chuỗi làm trễ thứ hai của tín hiệu thứ nhất, hiệu số pha giữa hai tín hiệu là hiệu số pha đích; Ở trường hợp này, độ chính xác dò của bộ biến đổi thời gian sang số tùy thuộc vào khoảng thời gian làm trễ t_2 của bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai 3012, và do khoảng thời gian làm trễ của bộ làm trễ thứ hai tương đối nhỏ, độ chính xác dò ở trường hợp này tương đối cao. Nếu quy định rằng, khi thời điểm biên tăng của tín hiệu thứ hai trong cửa sổ chuỗi làm trễ thứ ba của tín hiệu thứ nhất, hiệu số pha giữa hai tín hiệu là hiệu số pha đích; Ở trường hợp này, độ chính xác dò của bộ biến đổi thời gian sang số tùy thuộc vào khoảng thời gian làm trễ t_1 của bộ làm trễ thứ ba trong chuỗi làm trễ thứ ba 3013, và do khoảng thời gian làm trễ của bộ làm trễ thứ ba tương đối lớn, độ chính xác dò ở trường hợp này tương đối thấp.

Do vậy, ở hoạt động thực, có thể quy định rằng, khi thời điểm biên tăng của tín hiệu thứ hai ở cửa sổ chuỗi làm trễ thứ hai của tín hiệu thứ nhất, hiệu số pha giữa hai tín hiệu là hiệu số pha đích, và vòng khóa pha ở trạng thái bị khóa, có thể, chẳng hạn, được thể hiện dưới dạng đường gạch chấm thẳng đứng trên Fig.5, và chuỗi nhị phân tương ứng với trạng thái khóa là 1111110000001.

Rõ ràng là, nếu khoảng thời gian làm trễ của bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai 3012 nhỏ hơn, độ chính xác dò có thể được tạo bởi TDC cao hơn, nhưng ảnh hưởng tích lũy của các lỗi bộ làm trễ cũng lớn hơn; do vậy, khó khăn hơn trong việc triển khai bộ biến đổi thời gian sang số. Tốt hơn, khoảng thời gian làm trễ của bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 3011 và khoảng thời gian làm trễ của bộ làm trễ thứ ba trong chuỗi làm trễ thứ ba 3013 có thể cụ thể là ít nhất từ 4 đến 10 lần

khoảng thời gian làm trễ của bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai 3012. Ở trường hợp này, bộ biến đổi thời gian sang số có thể tạo độ chính xác dò tương đối cao và dễ triển khai.

PLL là công nghệ điều khiển hiệu số pha giữa hai tín hiệu bằng cách sử dụng nguyên lý điều khiển phản hồi, và hiệu số pha giữa các biến động hai tín hiệu một cách liên tục. Do vậy, chuỗi làm trễ thứ hai 3012 cần bao gồm ít nhất ba bộ làm trễ thứ hai, để thỏa mãn yêu cầu biến động ngang của của hiệu số pha giữa hai tín hiệu và đảm bảo độ chính xác dò.

Kết luận, theo TDC trong PLL theo phương án thực hiện thứ nhất của sáng chế, độ chính xác dò tương đối cao có thể được đề xuất. Do vậy, nhiễu pha của TDC được giảm, nhiễu pha của PLL còn được giảm, và độ chính xác khóa pha của PLL được giảm.

Cả chuỗi làm trễ thứ nhất 3011 lẫn chuỗi làm trễ thứ ba 3013 trong khối làm trễ 301 sử dụng bộ làm trễ với khoảng thời gian làm trễ tương đối lớn. Do vậy, không chỉ số lượng bộ làm trễ có thể được giảm, giảm tiêu thụ công suất, khu vực mạch triển khai được giảm, và TDC dễ triển khai hơn, nhưng khi TDC được áp dụng cho PLL, hiệu số pha giữa hai tín hiệu có thể đạt hiệu số pha đích càng sớm càng tốt, tức là, vòng khóa pha được tạo ở trạng thái khóa càng sớm càng tốt.

Phương án thực hiện thứ hai

Dựa vào cùng khái niệm sáng chế, kết cấu của TDC trong PLL theo phương án thực hiện thứ nhất của sáng chế được đơn giản hóa. Phương án thực hiện thứ hai của sáng chế còn đề xuất TDC trong PLL, được thể hiện trên Fig.6 và gồm khối làm trễ 601 mà tín hiệu thứ nhất được đưa vào và khối lấy mẫu 602 mà tín hiệu thứ hai được đưa vào.

Khối làm trễ 601 gồm chuỗi làm trễ thứ nhất 6011 và chuỗi làm trễ thứ hai 6012 được mắc nối tiếp, và được tạo cấu hình để làm trễ tín hiệu thứ nhất, trong đó chuỗi làm trễ thứ nhất 6011 gồm ít nhất một bộ làm trễ

thứ nhất, chuỗi làm trễ thứ hai 6012 gồm ít nhất ba bộ làm trễ thứ hai, và khoảng thời gian làm trễ của bộ làm trễ thứ nhất lớn hơn khoảng thời gian làm trễ của bộ làm trễ thứ hai.

Khối lấy mẫu 602 được tạo cấu hình để: thực hiện lấy mẫu trên các tín hiệu đầu ra của các bộ làm trễ thứ nhất ở chuỗi làm trễ thứ nhất 6011 và các bộ làm trễ thứ hai ở chuỗi làm trễ thứ hai 6012 trong khối làm trễ 601 ở thời điểm định trước của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu.

Trong khối làm trễ 601, chuỗi làm trễ thứ nhất 6011 gồm n_1 bộ làm trễ thứ nhất được mắc nối tiếp, và chuỗi làm trễ thứ hai 6012 gồm n_2 bộ làm trễ thứ hai được mắc nối tiếp, trong đó $n_1 \geq 1$, và $n_2 \geq 3$. Tức là, trong các tín hiệu được lấy mẫu được xuất ra bởi khối lấy mẫu 602, ít nhất một tín hiệu được lấy mẫu là tín hiệu được lấy mẫu của tín hiệu đầu ra của bộ làm trễ thứ nhất, và ít nhất ba tín hiệu được lấy mẫu là các tín hiệu được lấy mẫu của các tín hiệu đầu ra của bộ làm trễ thứ hai.

Ngoài ra, khoảng thời gian làm trễ của khối làm trễ 601 lớn hơn chu kỳ của tín hiệu thứ nhất. Trong khối làm trễ 601, khoảng thời gian làm trễ của chuỗi làm trễ thứ hai 6012 lớn hơn giá trị đỉnh - đỉnh của biến động của tín hiệu được xuất ra bởi PLL ở trạng thái chạy vòng mở, trong đó giá trị đỉnh - đỉnh có thể được thu thập trước theo ngữ cảnh ứng dụng thực và dựa trên dữ liệu thực nghiệm.

Trong khối làm trễ 601, khi chuỗi làm trễ thứ nhất 6011 và chuỗi làm trễ thứ hai 6012 được mắc nối tiếp, như được thể hiện cụ thể trên Fig.3, chuỗi làm trễ thứ nhất 6011 có thể ở phía trước chuỗi làm trễ thứ hai 6012, hoặc chuỗi làm trễ thứ hai 6012 có thể ở phía trước chuỗi làm trễ thứ nhất 6011.

Trong khối làm trễ trong TDC theo phương án thực hiện thứ hai của sáng chế, chuỗi làm trễ thứ nhất 6011 sử dụng bộ làm trễ với khoảng thời gian làm trễ tương đối lớn, và chuỗi làm trễ thứ hai 6012 sử dụng bộ làm

trễ với khoảng thời gian làm trễ tương đối nhỏ. Tốt hơn là, khoảng thời gian làm trễ của bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 6011 có thể cụ thể là 4 đến 10 lần khoảng thời gian làm trễ của bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai 6012. Ở trường hợp này, bộ biến đổi thời gian sang số có thể tạo độ chính xác dò tương đối nhỏ và dễ triển khai.

Theo phương án thực hiện cụ thể, khối lấy mẫu 602 có thể thực hiện cụ thể lấy mẫu trên các tín hiệu đầu ra $D(1), \dots, D(n1), D(n1+1), \dots, D(n1+n2)$ của các bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 6011 và các bộ làm trễ thứ hai ở chuỗi làm trễ thứ hai 6012 trong khối làm trễ 601 ở thời điểm biên tăng của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu $Q(1), \dots, Q(n1), Q(n1+1), \dots, Q(n1+n2)$. Ở trường hợp này, chuỗi nhị phân $Q[1:n1+n2]$ được tạo bởi các tín hiệu được lấy mẫu được xuất ra bởi khối lấy mẫu 602 mang thông tin về các khoảng thời gian giữa thời điểm biên tăng của tín hiệu thứ hai và thời điểm biên tăng của tín hiệu thứ nhất, và giữa thời điểm biên tăng của tín hiệu thứ hai và thời điểm biên giảm của tín hiệu thứ nhất.

Theo phương án thực hiện cụ thể khác, khối lấy mẫu 602 có thể thực hiện cụ thể lấy mẫu trên các tín hiệu đầu ra $D(1), \dots, D(n1), D(n1+1), \dots, D(n1+n2)$ của các bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 6011 và các bộ làm trễ thứ hai ở chuỗi làm trễ thứ hai 6012 trong khối làm trễ 601 ở thời điểm biên giảm của tín hiệu thứ hai, và xuất ra các tín hiệu được lấy mẫu $Q(1), \dots, Q(n1), Q(n1+1), \dots, Q(n1+n2)$. Ở trường hợp này, chuỗi nhị phân $Q[1:n1+n2]$ được tạo bởi các tín hiệu được lấy mẫu được xuất ra bởi khối lấy mẫu 602 mang thông tin về các khoảng thời gian giữa thời điểm biên giảm của tín hiệu thứ hai và thời điểm biên tăng của tín hiệu thứ nhất, và giữa thời điểm biên giảm của tín hiệu thứ hai và thời điểm biên giảm của tín hiệu thứ nhất.

Khi triển khai cụ thể, trong khối làm trễ 601, bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất 6011 có thể cụ thể là nhưng không bị giới hạn ở bộ

đảo pha; và bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai 6012 có thể cụ thể là nhưng không bị giới hạn ở bộ làm trễ RC.

Khối lấy mẫu 602 có thể được triển khai cụ thể nhưng không bị giới hạn ở nhiều bộ kích hoạt. Ở trường hợp này, mỗi bộ trễ thứ nhất trong chuỗi làm trễ thứ nhất 6011 và mỗi bộ trễ thứ hai trong chuỗi làm trễ thứ hai 6012 trong khối làm trễ 601 theo phép tương ứng một - một với các bộ kích hoạt trong khối lấy mẫu 602. Mỗi bộ kích hoạt thực hiện, ở thời điểm định trước của tín hiệu thứ hai, lấy mẫu trên tín hiệu đầu ra của bộ làm trễ thứ nhất hoặc bộ làm trễ thứ hai tương ứng với bộ kích hoạt, và xuất ra tín hiệu được lấy mẫu. Nên lưu ý rằng, đối với mỗi bộ kích hoạt, khi tín hiệu đầu ra của bộ làm trễ thứ nhất hoặc bộ làm trễ thứ hai tương ứng với bộ kích hoạt theo hướng tương tự với hướng của tín hiệu thứ nhất, tín hiệu được lấy mẫu được xuất ra từ đầu ra không đảo của bộ kích hoạt, và khi tín hiệu đầu ra của bộ làm trễ thứ nhất hoặc bộ làm trễ thứ hai tương ứng với bộ kích hoạt theo hướng đảo với hướng của tín hiệu thứ nhất, tín hiệu được lấy mẫu được xuất ra từ đầu ra đảo của bộ kích hoạt.

Nguyên lý của bộ biến đổi thời gian sang số theo phương án thực hiện thứ hai của sáng chế tương tự nguyên lý của bộ biến đổi thời gian sang số theo phương án thực hiện thứ nhất của sáng chế. So với giải pháp kỹ thuật đã biết, độ chính xác khóa pha của PLL có thể cũng được cải thiện, và chi tiết không được mô tả lại cùng với các ví dụ.

Rõ ràng là, chuyên gia trong lĩnh vực có thể thực hiện các cải biến và biến thể khác nhau đối với sáng chế mà không xa rời phạm vi của sáng chế. Sáng chế được nhằm bao gồm các cải tiến và biến thể khác nhau giả thiết rằng chúng nằm trong phạm vi bảo hộ được định nghĩa bởi các điểm yêu cầu bảo hộ sau và các công nghệ tương đương.

YÊU CẦU BẢO HỘ

1. Bộ biến đổi thời gian sang số bao gồm:

mạch làm trễ bao gồm đầu vào được tạo cấu hình để nhận tín hiệu thứ nhất; và

mạch lấy mẫu bao gồm đầu vào được tạo cấu hình để nhận tín hiệu thứ hai;

trong đó mạch làm trễ và mạch lấy mẫu là một phần của mạch vòng khóa pha;

trong đó mạch làm trễ bao gồm chuỗi làm trễ thứ nhất, chuỗi làm trễ thứ hai, và chuỗi làm trễ thứ ba được lần lượt nối nối tiếp, và mạch làm trễ được tạo cấu hình để làm trễ tín hiệu thứ nhất cho khoảng thời gian làm trễ mạch, trong đó chuỗi làm trễ thứ nhất bao gồm bộ làm trễ thứ nhất, chuỗi làm trễ thứ hai bao gồm ba bộ làm trễ thứ hai, chuỗi làm trễ thứ ba bao gồm bộ làm trễ thứ ba, và khoảng thời gian làm trễ thứ nhất từ bộ làm trễ thứ nhất và khoảng thời gian làm trễ thứ ba từ bộ làm trễ thứ ba mà mỗi khoảng lớn hơn khoảng thời gian làm trễ thứ hai từ một trong ba bộ làm trễ thứ hai; và

trong đó mạch lấy mẫu được tạo cấu hình để thực hiện lấy mẫu trên tín hiệu đầu ra của mỗi bộ làm trễ trong bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất, ba bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai, và bộ làm trễ thứ ba trong chuỗi làm trễ thứ ba ở thời điểm định trước của tín hiệu thứ hai, và để xuất ra tín hiệu của mỗi mẫu.

2. Bộ biến đổi thời gian sang số theo điểm 1, trong đó khoảng thời gian mạch làm trễ lớn hơn chu trình của tín hiệu thứ nhất.

3. Bộ biến đổi thời gian sang số theo điểm 1, trong đó:

khoảng thời gian làm trễ của chuỗi làm trễ thứ nhất giống như khoảng thời gian làm trễ của chuỗi làm trễ thứ ba; hoặc

khoảng thời gian làm trễ của chuỗi làm trễ thứ nhất khác với khoảng thời gian làm trễ của chuỗi làm trễ thứ ba.

4. Bộ biến đổi thời gian sang số theo điểm 1, trong đó khoảng thời gian làm trễ thứ nhất và khoảng thời gian làm trễ thứ ba bằng 4 đến 10 lần khoảng thời gian làm trễ thứ hai.

5. Bộ biến đổi thời gian sang số theo điểm 1, trong đó:

khoảng thời gian làm trễ thứ nhất giống như khoảng thời gian làm trễ thứ ba; hoặc

khoảng thời gian làm trễ thứ nhất khác với khoảng thời gian làm trễ thứ ba.

6. Bộ biến đổi thời gian sang số theo điểm 1, trong đó chuỗi làm trễ thứ nhất bao gồm các bộ làm trễ thứ nhất, và chuỗi làm trễ thứ ba bao gồm các bộ làm trễ thứ ba; và

trong đó số lượng của các bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất khác với hoặc giống như số lượng của các bộ làm trễ thứ ba trong chuỗi làm trễ thứ ba.

7. Bộ biến đổi thời gian sang số theo điểm 1, trong đó bộ làm trễ thứ nhất hoặc bộ làm trễ thứ ba là bộ đảo pha.

8. Bộ biến đổi thời gian sang số theo điểm 1, trong đó một trong ba bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai là bộ làm trễ RC.

9. Bộ biến đổi thời gian sang số theo điểm 1, trong đó mạch lấy mẫu bao gồm các bộ kích hoạt;

trong đó mỗi bộ kích hoạt trong các bộ kích hoạt tương ứng một -

một với bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất, ba bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai, và bộ làm trễ thứ ba trong chuỗi làm trễ thứ ba; và

trong đó mạch lấy mẫu được tạo cấu hình để thực hiện lấy mẫu và xuất ra tín hiệu của mỗi mẫu, bằng mỗi bộ kích hoạt được tạo cấu hình để thực hiện, ở thời điểm định trước của tín hiệu thứ hai, lấy mẫu tương ứng trên tín hiệu đầu ra của một trong bộ làm trễ thứ nhất, một trong ba bộ làm trễ thứ hai, hoặc bộ làm trễ thứ ba tương ứng với bộ kích hoạt, và xuất ra tín hiệu của mẫu tương ứng; và

trong đó đối với mỗi bộ kích hoạt: khi tín hiệu đầu ra của bộ làm trễ thứ nhất, một trong ba bộ làm trễ thứ hai, hoặc bộ làm trễ thứ ba tương ứng với bộ kích hoạt theo hướng giống như hướng của tín hiệu thứ nhất, tín hiệu của mẫu tương ứng được xuất ra từ đầu ra không đảo của bộ kích hoạt; và khi tín hiệu đầu ra của bộ làm trễ thứ nhất, ba bộ làm trễ thứ hai, hoặc bộ làm trễ thứ ba tương ứng với bộ kích hoạt theo hướng ngược với hướng của tín hiệu thứ nhất, tín hiệu của mẫu tương ứng được xuất ra từ đầu ra đảo của bộ kích hoạt.

10. Bộ biến đổi thời gian sang số theo điểm 1, trong đó bộ biến đổi còn bao gồm bộ dao động được đặt trong mạch vòng khóa pha;

trong đó tín hiệu thứ nhất bao gồm tín hiệu xung đồng hồ CKV được xuất ra bởi bộ dao động; và

trong đó tín hiệu thứ hai bao gồm tín hiệu xung đồng hồ tham chiếu bên ngoài.

11. Bộ biến đổi thời gian sang số bao gồm:

mạch làm trễ bao gồm đầu vào được tạo cấu hình để nhận tín hiệu thứ nhất và mạch lấy mẫu bao gồm đầu vào được tạo cấu hình để nhận tín hiệu thứ hai;

trong đó:

mạch làm trễ và mạch lấy mẫu là một phần của mạch vòng khóa pha;

mạch làm trễ bao gồm chuỗi làm trễ thứ nhất và chuỗi làm trễ thứ hai được nối nối tiếp, và được tạo cấu hình để làm trễ tín hiệu thứ nhất cho khoảng thời gian mạch làm trễ, trong đó chuỗi làm trễ thứ nhất bao gồm bộ làm trễ thứ nhất, và chuỗi làm trễ thứ hai bao gồm ba bộ làm trễ thứ hai, và khoảng thời gian làm trễ thứ nhất từ bộ làm trễ thứ nhất lớn hơn khoảng thời gian làm trễ thứ hai từ mỗi bộ trong ba bộ làm trễ thứ hai; và

mạch lấy mẫu được tạo cấu hình để thực hiện lấy mẫu trên tín hiệu đầu ra của mỗi bộ làm trễ trong các bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất và ba bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai ở thời điểm định trước của tín hiệu thứ hai, và để xuất ra tín hiệu của mỗi mẫu.

12. Bộ biến đổi thời gian sang số theo điểm 11, trong đó khoảng thời gian mạch làm trễ lớn hơn chu trình của tín hiệu thứ nhất.

13. Bộ biến đổi thời gian sang số theo điểm 11, trong đó khoảng thời gian làm trễ thứ nhất bằng 4 đến 10 lần khoảng thời gian làm trễ thứ hai.

14. Bộ biến đổi thời gian sang số theo điểm 11, trong đó bộ làm trễ thứ nhất là bộ đảo pha.

15. Bộ biến đổi thời gian sang số theo điểm 11, trong đó một trong ba bộ làm trễ thứ hai là bộ làm trễ RC.

16. Bộ biến đổi thời gian sang số theo điểm 11, trong đó mạch lấy mẫu bao gồm các bộ kích hoạt; và

trong đó mỗi bộ kích hoạt trong các bộ kích hoạt tương ứng một - một với bộ làm trễ thứ nhất và mỗi bộ làm trễ thứ hai trong ba bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai; và

trong đó mạch lấy mẫu được tạo cấu hình để thực hiện lấy mẫu và xuất ra tín hiệu của mỗi mẫu, bởi mỗi bộ kích hoạt được tạo cấu hình để thực hiện, ở thời điểm định trước của tín hiệu thứ hai, lấy mẫu tương ứng trên tín hiệu đầu ra của một trong bộ làm trễ thứ nhất hoặc bộ làm trễ thứ hai tương ứng với bộ kích hoạt, và để xuất ra tín hiệu tương ứng của mỗi mẫu; và

trong đó, đối với mỗi bộ kích hoạt: khi tín hiệu đầu ra của bộ làm trễ thứ nhất hoặc một trong ba bộ làm trễ thứ hai tương ứng với bộ kích hoạt theo hướng giống như hướng của tín hiệu thứ nhất, tín hiệu lấy mẫu được xuất ra từ đầu ra không đảo của bộ kích hoạt; và khi tín hiệu đầu ra của bộ làm trễ thứ nhất hoặc một trong ba bộ làm trễ thứ hai tương ứng với bộ kích hoạt theo hướng ngược với hướng của tín hiệu thứ nhất, tín hiệu lấy mẫu được xuất ra từ đầu ra đảo của bộ kích hoạt.

17. Phương pháp biến đổi thời gian sang số bao gồm các bước:

làm trễ, bởi mạch làm trễ, cho khoảng thời gian mạch làm trễ, đầu vào tín hiệu thứ nhất vào mạch làm trễ, trong đó mạch làm trễ bao gồm chuỗi làm trễ thứ nhất và chuỗi làm trễ thứ hai được nối nối tiếp, trong đó chuỗi làm trễ thứ nhất bao gồm bộ làm trễ thứ nhất, và chuỗi làm trễ thứ hai bao gồm ba bộ làm trễ thứ hai, và khoảng thời gian làm trễ thứ nhất từ bộ làm trễ thứ nhất lớn hơn khoảng thời gian làm trễ thứ hai từ mỗi bộ trong ba bộ làm trễ thứ hai;

lấy mẫu, bởi mạch lấy mẫu, tín hiệu đầu ra thứ nhất của bộ làm trễ thứ nhất trong chuỗi làm trễ thứ nhất, và tín hiệu đầu ra thứ hai của ba bộ làm trễ thứ hai trong chuỗi làm trễ thứ hai ở thời gian định trước của đầu vào tín hiệu thứ hai trong mạch lấy mẫu; và

xuất ra, bởi mạch lấy mẫu, tín hiệu lấy mẫu thứ nhất từ tín hiệu đầu ra thứ nhất, và tín hiệu lấy mẫu thứ hai từ tín hiệu đầu ra thứ hai,

trong đó mạch làm trễ và mạch lấy mẫu là một phần của mạch vòng khóa pha.

18. Phương pháp theo điểm 17, trong đó khoảng thời gian làm trễ thứ nhất bằng 4 đến 10 lần khoảng thời gian làm trễ thứ hai.

19. Phương pháp theo điểm 17, trong đó bộ làm trễ thứ nhất là bộ đảo pha và ba bộ làm trễ thứ hai là các bộ làm trễ RC.

20. Phương pháp theo điểm 17, trong đó phương pháp còn bao gồm các bước:

nhận đầu vào tín hiệu thứ nhất, trong đó đầu vào tín hiệu thứ nhất bao gồm CKV được xuất ra từ bộ dao động vốn là một phần của mạch vòng khóa pha với mạch làm trễ và mạch lấy mẫu; và

nhận đầu vào tín hiệu thứ hai, trong đó đầu vào tín hiệu thứ hai bao gồm tín hiệu xung đồng hồ tham chiếu bên ngoài.

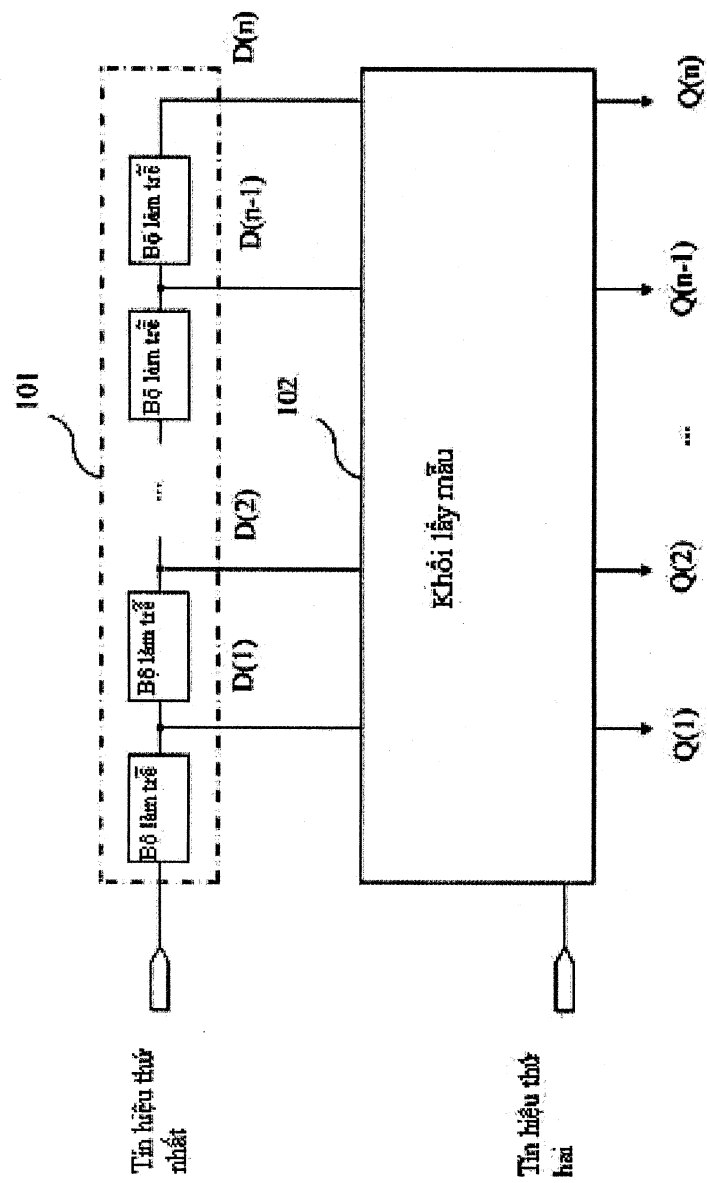


Fig.1

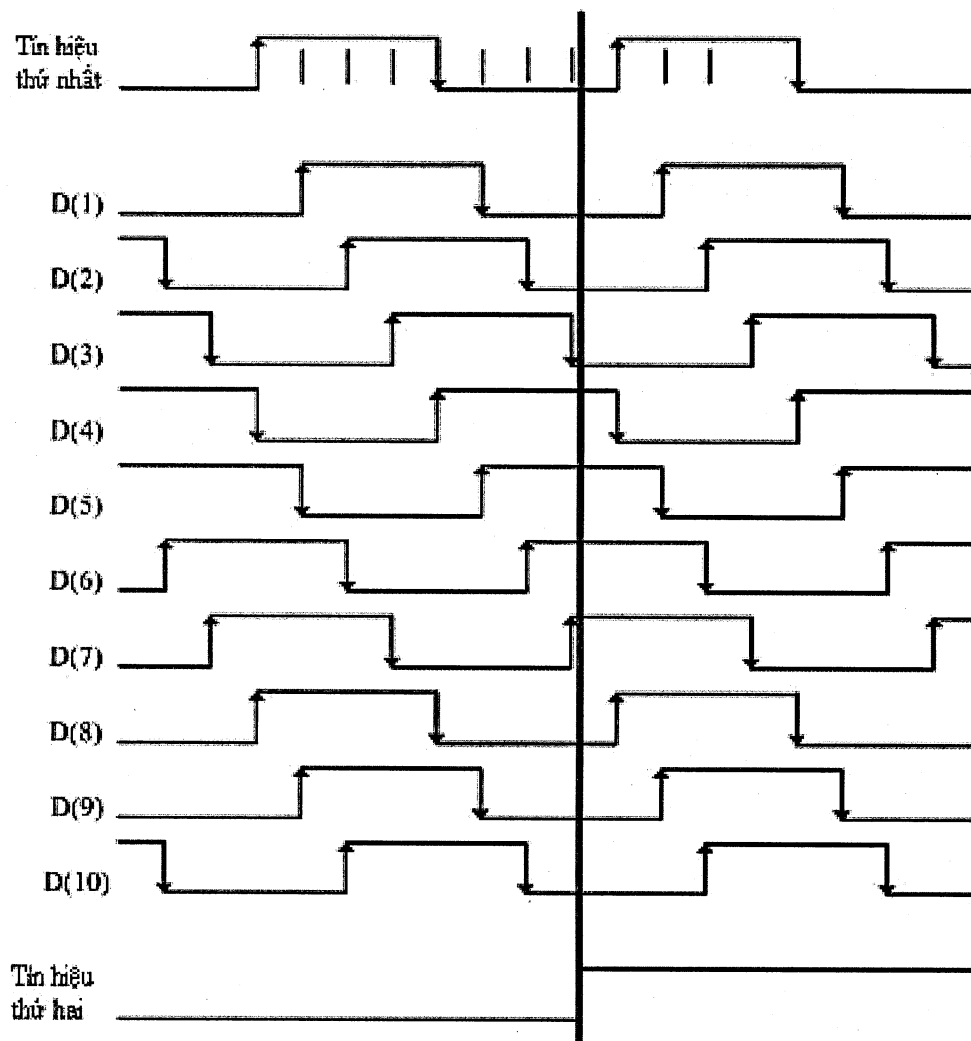


Fig.2

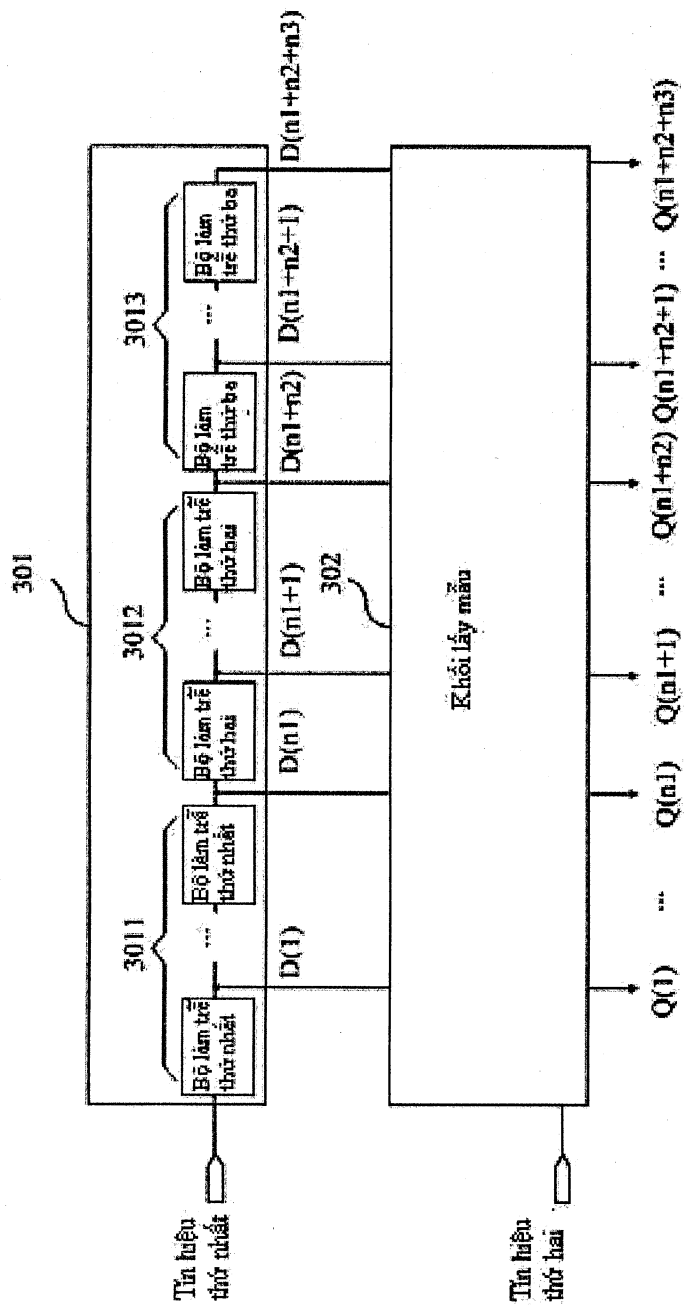


Fig.3

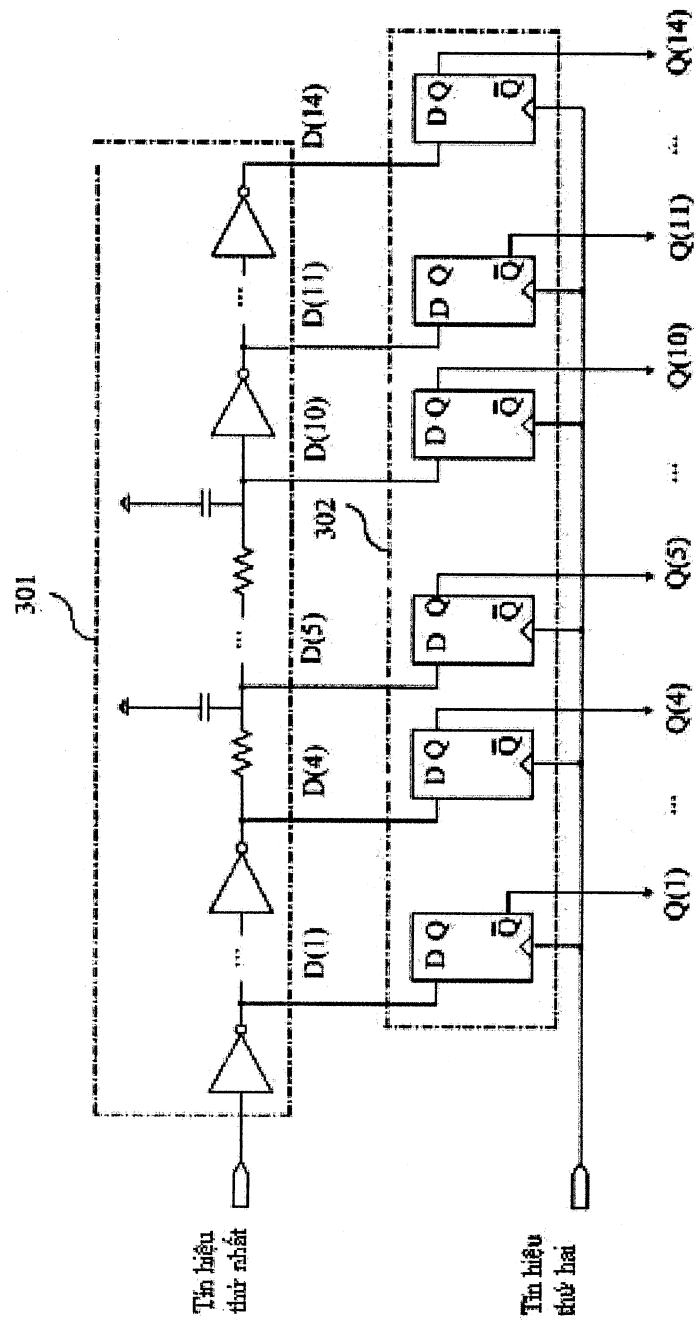


Fig.4

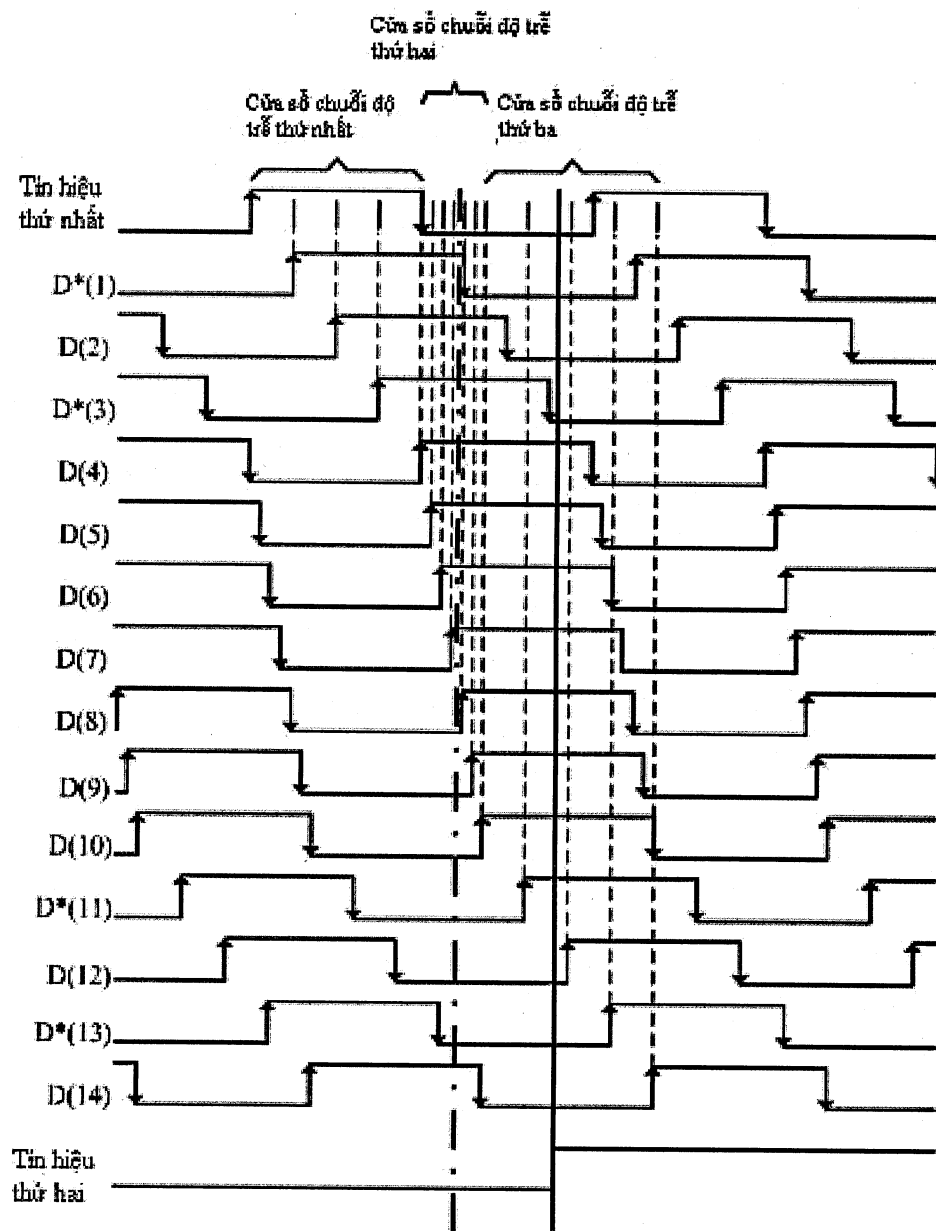


Fig.5

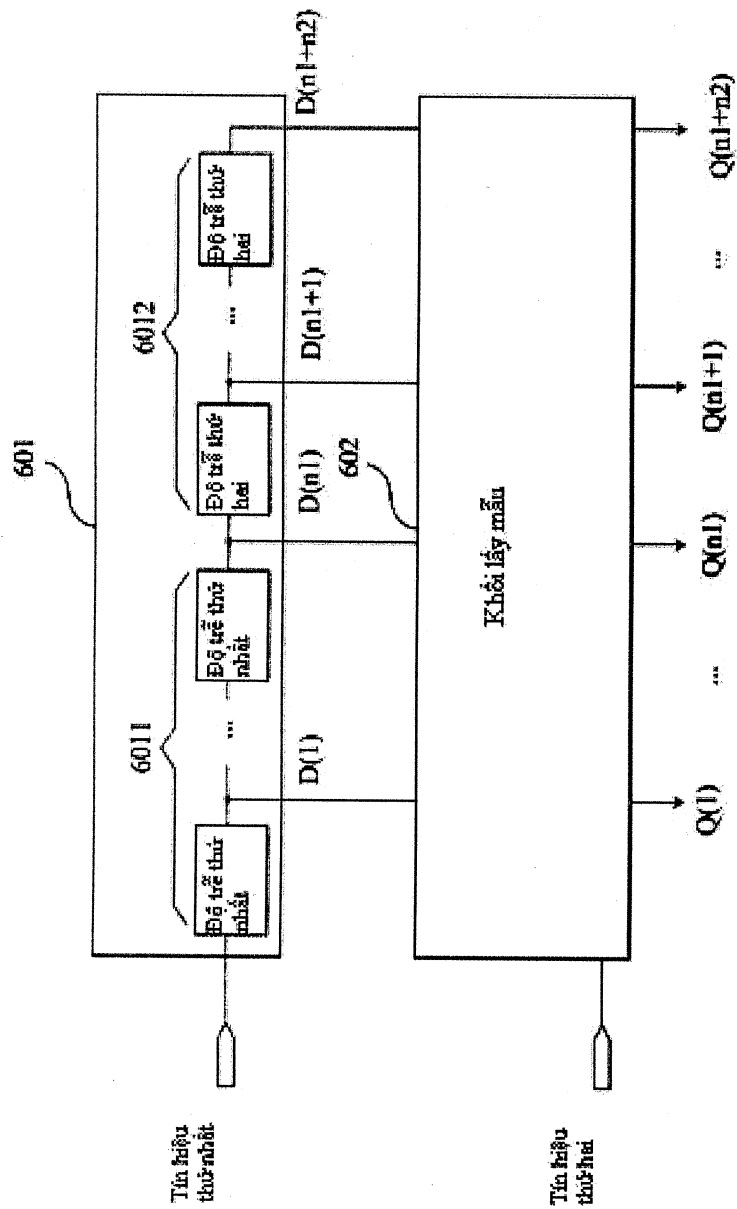


Fig.6