



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0027939

(51)⁷ H01L 23/00; H01L 21/56; H01L 25/065; (13) B
H01L 23/498; H01L 23/538; H01L
25/00; H01L 21/48; H01L 23/31

(21) 1-2016-05058

(22) 28/07/2014

(86) PCT/US2014/048510 28/07/2014

(87) WO 2016/018237 04/02/2016

(45) 25/04/2021 397

(43) 26/06/2017 351A

(73) INTEL CORPORATION (US)

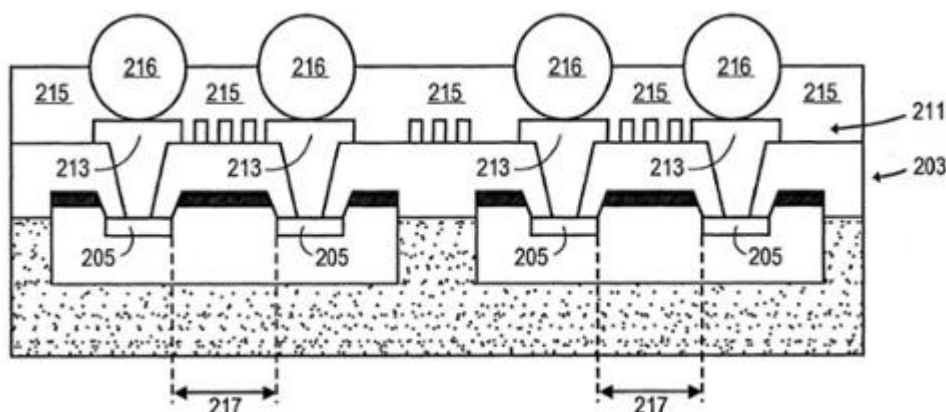
2200 Mission college Blvd. Santa Clara, California 95054, United States of America

(72) HU, Chuan (CN); CHIU, Chia-Pin (US); SWAN, Johanna (US).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) GÓI CHIP BÁN DẪN DẠNG MÔĐUN NHIỀU CHIP, PHƯƠNG PHÁP SẢN XUẤT GÓI CHIP BÁN DẪN DẠNG MÔĐUN NHIỀU CHIP VÀ HỆ THỐNG TÍCH HỢP GÓI CHIP BÁN DẪN DẠNG MÔĐUN NHIỀU CHIP

(57) Sáng chế đề cập đến gói chip bán dẫn dạng môđun nhiều chip có lớp thành phần, phương pháp sản xuất gói chip bán dẫn này và hệ thống tích hợp gói chip bán dẫn này. Lớp thành phần có mặt chứa đế hàn của khuôn được ép vào mặt đáy của lớp thành phần. Khuôn có các đế hàn mở rộng để hỗ trợ kiểm tra lát của khuôn. Các đế hàn mở rộng cách nhau một khoảng tối thiểu phù hợp với quy trình sản xuất khuôn tương ứng. Lớp thành phần trên đế hàn mở rộng được loại bỏ. Gói chip bán dẫn dạng môđun nhiều chip này cũng bao gồm lớp phủ kim loại trên bề mặt của lớp thành phần, lớp phủ kim loại này làm đầy các vùng bên trên đế hàn mở rộng. Lớp phủ kim loại bao gồm các vùng đệm bên trên đế hàn mở rộng và nhiều dây dẫn giữa các đế hàn mở rộng.



Lĩnh vực kỹ thuật được đề cập

Nói chung, sáng chế đề cập đến việc đóng gói chip bán dẫn, và quan trọng hơn là gói chip bán dẫn dạng môđun nhiều chip có mật độ dây dẫn cao.

Tình trạng kỹ thuật của sáng chế

Môđun nhiều chip (Multi-Chip Module, MCM) là các gói chip đơn chứa nhiều hơn một chip bán dẫn. Việc tích hợp thành công nhiều chip bán dẫn vào một gói có các thách thức về mặt kỹ thuật cũng như vấn đề chi phí. Một trong số các thách thức đó được quan sát trong MCM theo tình trạng kỹ thuật của sáng chế được minh họa trên Fig.1A.

Fig.1A thể hiện MCM 100 theo tình trạng kỹ thuật của sáng chế có cặp khuôn bán dẫn 101_1 và 101_2. Bề mặt trên của mỗi khuôn bao gồm các đế hàn 102 được làm lộ ra và lớp thụ động hóa 103. Như được quan sát trên Fig.1, lớp phủ kim loại 104 được tạo mẫu trên mỗi khuôn 101_1, 101_2. Lớp phủ kim loại 104 tạo ra đường dây dẫn 105, đường dây dẫn này có thể được tạo ra giữa khuôn 101_1, 101_2 để nối điện chúng với nhau và/hoặc giữa khuôn và bi hàn 106 để tạo ra I/O (Input/Output) của gói. Fig.1B thể hiện mặt cắt theo hướng vuông góc với hình minh họa trên Fig.1A để thể hiện liên kết của các đường dây dẫn với các đế hàn 102. Thông qua các liên kết này, các đế hàn của cùng khuôn hoặc các đế hàn của khuôn khác nhau có thể được nối thông qua các đường dây dẫn 105.

Đáng chú ý là, khuôn có các đế hàn mở rộng 102 (ví dụ, chiều ngang ít nhất bằng 40 μ m) để tăng cường việc kiểm tra chức năng của khuôn khi ở dạng phiến trước khi cắt khuôn. Nhờ kiểm tra khuôn trước khi chúng được tích hợp vào gói, chi phí cho việc đóng gói khuôn bị lỗi giảm xuống đáng kể. Tuy nhiên, kích thước đế hàn lớn tương ứng với mật độ dây dẫn trong gói giữa các khuôn giảm xuống.

Cụ thể là, các đế hàn mở rộng 102 dẫn đến tạo ra các lỗ dẫn rộng 107 và các vùng đệm nối 113 tương ứng, lần lượt, giới hạn không gian khả dụng giữa các vùng đệm nối

113 cho các đường dây dẫn 105. Như được quan sát trên Fig.1A, chỉ có một chỗ cho một đường dây dẫn giữa các vùng đệm nối 113. Không gian đi dây giới hạn giữa các vùng đệm nối 113 cuối cùng giới hạn số lượng dây dẫn từ chip đến chip và/hoặc mật độ I/O của gói. Một trong hai giới hạn trên tương ứng với giải pháp không thực tế (ví dụ, trong đó cần mật độ dây dẫn giữa các chip cao và/hoặc cần mật độ I/O của gói cao, hoặc cần kích thước khuôn lớn hơn).

Việc giảm kích thước đế hàn của khuôn cho phép tạo ra các lỗ dẫn nhỏ hơn và tăng mật độ dây dẫn giữa các vùng đệm nối 113 không thực sự là một lựa chọn vì điều đó sẽ ngăn cản việc kiểm tra phiên dẫn đến tăng nguy cơ đóng gói hoàn toàn khuôn bị lỗi.

Bản chất kỹ thuật của sáng chế

Theo khía cạnh thứ nhất, sáng chế đề xuất phương pháp sản xuất gói chip bán dẫn dạng môđun nhiều chip bao gồm các bước: tạo ra lớp thành phần trên lớp bám dính của lớp đỡ; ép nhiều hơn một khuôn bán dẫn vào lớp thành phần, trong đó mỗi khuôn bán dẫn đã được kiểm tra chức năng trước đó và có đế hàn mở rộng để hỗ trợ việc kiểm tra, trong đó ít nhất một số các đế hàn mở rộng trên cùng khuôn được đặt cách nhau một khoảng cách tối thiểu phù hợp với quy trình sản xuất khuôn; tạo ra lớp đúc trên nhiều hơn một khuôn bán dẫn; tách lớp thành phần khỏi lớp đỡ; loại bỏ lớp thành phần trên ít nhất một số đế hàn mở rộng để tạo ra khoảng hở lỗ dẫn trên ít nhất một số các đế hàn mở rộng này; tạo ra lớp phủ kim loại trên lớp thành phần, lớp phủ kim loại này về cơ bản làm đầy khoảng hở lỗ dẫn; và, tạo mẫu cho lớp phủ kim loại để tạo ra các vùng đệm trên các khoản hở lỗ dẫn điện đã được điền đầy và nhiều hơn một dây dẫn giữa các vùng đệm tương ứng và ít nhất một số đế hàn mở rộng.

Theo khía cạnh thứ hai, sáng chế đề xuất gói chip bán dẫn dạng môđun nhiều chip bao gồm lớp thành phần trong đó mặt chứa đế hàn của khuôn được ép vào mặt đáy của lớp thành phần, khuôn có các đế hàn mở rộng để hỗ trợ việc kiểm tra trên khuôn, các đế hàn mở rộng cách nhau khoảng cách tối thiểu được cho phép bởi quy trình sản xuất khuôn tương ứng, lớp thành phần được loại bỏ trên các đế hàn mở rộng; lớp phủ kim loại trên đỉnh của lớp thành phần và các vùng được làm đầy trên các đế hàn mở rộng, lớp phủ kim loại bao gồm các vùng đệm trên các đế hàn mở rộng và nhiều dây dẫn giữa các đế hàn mở rộng.

Theo khía cạnh thứ ba, sáng chế đề xuất hệ thống tích hợp gói chip bán dẫn dạng môđun nhiều chip, hệ thống này bao gồm: bảng mạch phẳng, môđun nhiều chip được gắn vào bảng mạch phẳng, môđun nhiều chip bao gồm: lớp thành phần trong đó mặt chứa đế hàn của khuôn được ép vào mặt đáy của lớp thành phần, khuôn có các đế hàn mở rộng để hỗ trợ việc kiểm tra các khuôn trên phiến, các đế hàn mở rộng cách nhau một khoảng phù hợp với quy trình sản xuất khuôn tương ứng, lớp thành phần được loại bỏ trên các đế hàn mở rộng; lớp phủ kim loại trên bề mặt lớp thành phần và các vùng được làm đầy trên các đế hàn mở rộng, lớp phủ kim loại bao gồm các vùng đệm trên các đế hàn mở rộng và nhiều dây dẫn giữa các đế hàn mở rộng.

Mô tả vắn tắt các hình vẽ

Có thể hiểu sáng chế rõ hơn nhờ phần mô tả chi tiết sau đây cùng với các hình vẽ sau, trong đó:

Fig.1A và Fig.1B thể hiện gói nhiều chip theo tình trạng kỹ thuật của sáng chế.

Fig.2A đến Fig.2K thể hiện quy trình sản xuất gói nhiều chip cải tiến;

Fig.3 thể hiện hệ thống tích hợp gói nhiều chip cải tiến.

Mô tả chi tiết sáng chế

Fig.2A đến Fig.2K mô tả quy trình tạo ra MCM cải tiến nhằm tăng mật độ dây dẫn giữa các vùng đệm nối trên lỗ dẫn tiếp xúc với đế hàn khuôn mở rộng. Quy trình này có thể được thực hiện, ví dụ, ở dạng quy trình mức phiến hoặc quy trình mức panen. Vì khuôn có các đế hàn mở rộng, nên khuôn có thể được kiểm tra chức năng trên phiến trước khi đóng gói nhờ đó giảm nguy cơ đóng gói hoàn toàn khuôn bị lỗi. Ngoài ra, mật độ dây dẫn tăng lên giữa các vùng đệm nối cho phép tăng mật độ dây dẫn giữa khuôn và/hoặc tăng mật độ I/O của gói.

Như được quan sát trên Fig.2A, lớp bám dính 202 được phủ lên lớp đỡ 201. Lớp đỡ 201 có thể là kết cấu vững chắc bất kỳ có bề mặt phẳng để phủ lên lớp bám dính 202. Như được mô tả chi tiết dưới đây, đặc tính của lớp bám dính 202 là dễ dàng "phân lớp" hoặc nếu không được loại bỏ khỏi bề mặt của lớp đỡ 201. Theo các phương án khác nhau, lớp bám dính 202 là polyme hoặc vật liệu tương tự polyme.

Như được quan sát trên Fig.2B, lớp thành phần 203 được phủ lên bề mặt của lớp bám dính 202. Như sẽ được mô tả chi tiết dưới đây, chiều dày của lớp thành phần có

tầm quan trọng nhất định trong việc thực hiện ít nhất một số cải tiến mà phần mô tả này tìm cách giúp hiện thực hóa. Lớp thành phần 203 có thể được sử dụng ở pha lỏng và quay phủ lên kết cấu lớp bám dính/lớp đỡ đến chiều dày thích hợp, hoặc, được sử dụng ở pha rắn hơn như màng mỏng khô (việc kiểm soát chiều dày màng mỏng khô đã được hiểu rõ trong tình trạng kỹ thuật của sáng chế).

Một số ví dụ về vật liệu lớp thành phần 204 là polyimide, epoxy, acrylic, vật liệu k thấp (ví dụ, bisbenzocyclobuten giai đoạn B (B-staged Bisbenzocyclobutene, BCB), silicon và các polybenzoxazol (Polybenzoxazole, PBO). Như sẽ được thảo luận chi tiết dưới đây, lớp thành phần 203 cần có độ mềm nhất định hoặc nếu không nén được sau khi được tạo ra trên lớp bám dính 202.

Lớp thành phần 203 có thể là vật liệu điện môi và có thể "được hóa rắn" sau khi được tạo ra trên lớp bám dính 202 ở trạng thái mềm. Ở đây, như được thảo luận chi tiết hơn dưới đây một lần nữa, lớp thành phần được hóa rắn 203 sẽ vẫn còn trong gói sau khi sản phẩm hoàn chỉnh. Như vậy, lớp này có thể đóng vai trò là lớp cách điện cũng như có độ bền bên trong gói hoàn chỉnh. Trong trường hợp sử dụng pha lỏng cho ít nhất lớp thành phần 203, thì lớp thành phần 203 có thể được đóng rắn (ví dụ, thông qua kích thích ánh sáng) để nó hóa rắn trên bề mặt của lớp bám dính 202 sau khi phủ lên đó.

Như được quan sát trên Fig.2C, hai hoặc nhiều hơn hai khuôn bán dẫn 204 được kiểm tra chức năng có để hàn mở rộng 205 (ví dụ, chiều ngang lớn hơn 40 μ m) để hỗ trợ việc kiểm tra chức năng trên phiên trước đó, khuôn bán dẫn này được ép vào (úp xuống) lớp thành phần 203 (ví dụ, bằng quy trình gập đặt) làm phương pháp gắn khuôn 204 vào kết cấu lớp thành phần/lớp bám dính/lớp đỡ. Ở đây, độ mềm của lớp thành phần 203 được đề cập trên đây hỗ trợ việc ép khuôn vào lớp thành phần 203 để dính khuôn vào lớp thành phần 203. Thậm chí lớp thành phần 203 có thể tồn tại ở pha lỏng trong quá trình ép khuôn vào lớp thành phần 203.

Vấn đề cần quan tâm là mức độ mà lớp thành phần 203 có thể "điền đầy" hốc 206 được ghép với đế hàn 205 được làm lõm từ lớp thụ động hóa 207 của khuôn 204 (nếu các đế hàn được làm lõm theo cách đó). Ở đây, quy trình hấp có thể được sử dụng để điền đầy khoảng trống còn lại trong hốc 206 sau khi khuôn 204 đã được ép vào lớp thành phần 203. Quy trình hấp làm tăng áp suất không khí của môi trường xung quanh kết cấu sau khi khuôn 204 được ép vào lớp thành phần 203 ban đầu để lớp thành phần mềm/lỏng

203 được ép vào hốc 206 sâu hơn một cách tự nhiên. Theo một phương án, khuôn 204 được ép vào lớp thành phần 203 ban đầu ở áp suất khí quyển chân không hoặc xấp xỉ để áp suất tăng thêm của quy trình hấp có thể bằng áp suất khí quyển bình thường.

Một lần nữa, chiều dày của lớp thành phần 203 có thể có tầm quan trọng nhất định để thực hiện các cải tiến mật độ dây dẫn được đề cập trên đây. Chiều dày của lớp thành phần 203 được mô tả chi tiết hơn dưới đây.

Như được quan sát trên Fig.2D, lớp thành phần 203 được đóng rắn để chuyển từ trạng thái mềm để cho phép ép khuôn 204 sang trạng thái rắn có độ bền phù hợp cho kết cấu gói hoàn chỉnh. Việc đóng rắn có thể được thực hiện bằng cách chiếu sáng và/hoặc đặt nhiệt độ cao phụ thuộc vào vật liệu được sử dụng cho lớp thành phần 203.

Như được quan sát trên Fig.2E, sau khi lớp thành phần 203 được đóng rắn, hợp chất đúc và tổng quát hơn là lớp "đúc" 208 được phủ trên khuôn 204 và các vùng được làm lộ ra của lớp thành phần được đóng rắn 203. Một phần của quy trình đúc bao gồm bước tạo ra bề mặt đúc gần như phẳng. Lớp đúc 208 có thể được phủ nhờ quy trình đúc ép, đúc ép chuyển, đúc phun. Vật liệu lớp đúc 208 có thể là epoxy nhiệt rắn được điền đầy ở mức cao. Theo một phương án, lớp đúc có thể được sử dụng ở nhiệt độ cao ở pha gần như lỏng. Lớp thành phần được đóng rắn 203 cần có điểm nóng chảy/hoặc nhiệt độ chuyển pha thủy tinh cao hơn nhiệt độ của lớp đúc 208 khi nó được tạo ra trên lớp thành phần được đóng rắn 203.

Chiều dày của lớp đúc 208 cần đủ để bao phủ chỗ dày nhất của khuôn 204. Ở đây, mặt dù các hình vẽ thể hiện nhiều khuôn 204 có cùng chiều dày, nhưng cần hiểu rằng các khuôn 204 khác nhau sẽ có chiều dày gần như không bằng nhau (ví dụ, hai hoặc nhiều hơn hai khuôn được sản xuất từ các quy trình sản xuất khác nhau). Lớp đúc có thể dễ dàng chuyển đổi hình thái của nó để phù hợp với chiều dày khuôn khác nhau và vẫn được định hình để tạo ra bề mặt tương đối phẳng 209.

Như được quan sát trên Fig.2F, lớp bám dính 202 được loại bỏ nhờ đó tách lớp đỡ 201 và để lại kết cấu tổng thể có lớp thành phần 203 là lớp bên ngoài có bề mặt phẳng và lớp đúc 208 là lớp bên ngoài khác có bề mặt phẳng 209. Kết cấu tổng thể được lật để bề mặt của lớp thành phần 203 ngửa lên để hỗ trợ các quy trình phủ kim loại và tạo dây dẫn tiếp theo.

Quy trình được sử dụng để phá vỡ lớp bám dính 202 để kết cấu tổng thể không

chứa lớp đỡ 201 có thể được gây ra bằng nhiệt (ví dụ, lớp bám dính 202 sẽ phá vỡ kết cấu hoặc chuyển sang pha lỏng để đáp lại nhiệt độ tăng dần), được gây ra bằng hóa học (ví dụ, lớp bám dính 202 có liên kết hóa học với lớp đỡ và sự phân lớp có thể được thực hiện bằng cách áp dụng quy trình hóa học nhờ đó liên kết hóa học được giải phóng), được gây ra bằng cơ học (ví dụ, lớp bám dính 202 dễ vỡ và có thể vỡ ra trên lớp đỡ, ví dụ, nhờ gây ra sự cong vênh lên bề mặt của lớp đỡ), và/hoặc được gây ra bằng quang học (ví dụ, đặc tính kết cấu của lớp bám dính 202 có thể thay đổi, ví dụ, bằng cách chuyển từ pha rắn sang pha lỏng, để đáp lại việc được chiếu sáng, ví dụ, qua lớp đỡ trong suốt). Theo một phương án, phần còn lại của lớp bám dính 202 được loại bỏ khỏi bề mặt của lớp thành phần 203 trước khi các quy trình phủ kim loại bắt đầu (ví dụ, thông qua việc sử dụng khí nén lên bề mặt lớp thành phần ban đầu tiếp xúc với lớp đỡ).

Do đó, như trên Fig.2F, bề mặt tương đối phẳng của lớp thành phần 203 ngửa lên sẵn sàng cho quy trình phủ kim loại.

Như được quan sát trên Fig.2G, khoảng hở lỗ dẫn 210 được tạo ra ở lớp thành phần 203 trên các đế hàn 205 của khuôn 204 (ví dụ, bằng cách cắt laze có mặt nạ, phủ chất cảm quang/tạo mẫu/ấn mòn, hoặc khoan bằng chùm laze). Như được thảo luận chi tiết dưới đây, các khoảng hở lỗ dẫn 210 nhỏ cho phép mật độ dây dẫn cao hơn.

Như được quan sát trên Fig.2H, lớp phủ kim loại 211 được phủ lên bề mặt của lớp thành phần 203. Lớp phủ kim loại 211 có thể được phủ bởi quy trình lắng đọng như phún xạ, mạ và in. Các kiểu quy trình khác có thể được sử dụng để tạo ra lớp phủ kim loại 211 bao gồm in hồ, nung kết, in phun mực. Lớp thành phần thường bao gồm ít nhất một trong số nhôm, niken, bạc, vàng và đồng.

Như được quan sát trên Fig.2I, lớp phủ kim loại 211 được tạo mẫu (ví dụ, bằng cách phủ cảm quang/tạo mẫu/ấn mòn) để tạo dây dẫn 212 và vùng đệm nối 213. Đáng chú ý là nhiều dây dẫn 212 có thể được tạo ra giữa các vùng đệm nối 213. Ở đây, theo một phương án, khoảng cách tối thiểu giữa hai đế hàn của khuôn 217 là 15 μ m. Có tới 7 dây dẫn có chiều rộng của dây 3/3 μ m có thể được đặt giữa các bi hàn 216/các vùng đệm nối 213 có khoảng cách là 55 μ m. Bảng dưới đây thể hiện các ví dụ bổ sung và so sánh với cách tiếp cận của tình trạng kỹ thuật trên Fig.1A, Fig.1B.

Khoảng	Chiều	Khoảng	Chiều	(Khoảng cách	Kích	#	dây	#	dây
--------	-------	--------	-------	--------------	------	---	-----	---	-----

cách 217 (μm)	rộng của đế hàn 205 (μm)	cách bi hàn 216 (khoảng cách tâm đến tâm giữa các bi hàn liền kề) (μm)	rộng của vùng đệm nổi 213 (μm)	bi hàn 216) - (Chiều rộng của vùng đệm nổi 213) = khoảng cách từ mép đến mép giữa các vùng đệm nổi 213 liền kề (μm)	thước một dây dẫn 212 (chiều rộng/ khoảng cách dây giữa các đường) (μm)	dẫn giữa các vùng đệm nổi liền kề 213 (cách tiếp cận cải tiến)	dẫn giữa các vùng đệm nổi liền kề 213 (tình trạng kỹ thuật)
25	40	65	15	50	5/5 L/S	4	2
25	40	65	10	55	5/5 L/S	5	2
20	40	60	15	45	5/5 L/S	4	1
20	40	60	10	50	5/5 L/S	4	1
15	40	55	15	40	5/5 L/S	3	1
15	40	55	10	45	5/5 L/S	4	1
25	40	65	15	50	3/3 L/S	7	3
25	40	65	10	55	3/3 L/S	8	3
20	40	60	15	45	3/3 L/S	7	2
20	40	60	10	50	3/3 L/S	7	2
15	40	55	15	40	3/3 L/S	6	2
15	40	55	10	45	3/3 L/S	7	2
25	40	65	15	50	2/2 L/S	11	5
25	40	65	10	55	2/2 L/S	13	5
20	40	60	15	45	2/2 L/S	10	4
20	40	60	10	50	2/2 L/S	11	4
15	40	55	15	40	2/2 L/S	9	3
15	40	55	10	45	2/2 L/S	10	3

Quan trọng là các đế hàn mở rộng 205 trên cùng một khuôn có thể được đặt cách nhau khoảng cách tối thiểu 217 được cho phép bởi quy trình sản xuất khuôn. Điều này dẫn đến sự tạo thành các vùng đệm nổi 213 được tạo ra trên cùng khuôn cũng được đặt cách nhau khoảng cách tối thiểu.

Như được quan sát trên Fig.2J, sau khi lớp dây dẫn được tạo mẫu, lớp điện môi 215 được tạo ra trên lớp phủ kim loại 211. Lớp điện môi 215 được tạo mẫu trên các vùng đệm nổi 213 để tạo ra các khoảng hở ở lớp điện môi 125 để làm lộ ra các vùng đệm nổi 213. Sau đó, các bi hàn hoặc các bi C4 216 được tạo ra trên các vùng đệm nổi được làm lộ ra 213. Là quy trình tùy chọn, sau đó gói được bịt kín (ví dụ, bằng nắp để bịt kín phần bên trong của gói).

Tham chiếu đến Fig.2G đến Fig.2J, cần lưu ý rằng lớp thành phần 203 cho phép

sự hình thành các khoảng hở lỗ dẫn 210 nhỏ trên đế hàn mở rộng 205 trên khuôn 204. Các khoảng hở lỗ dẫn 210 nhỏ, lần lượt, đóng góp vào việc tạo ra vùng đệm nổi 213 nhỏ hơn so với vùng đệm nổi 113 được quan sát trong cách tiếp cận theo tình trạng kỹ thuật của sáng chế trên Fig.1. Các vùng đệm nổi 213 nhỏ hơn để lại thêm không gian phẳng trong đó nhiều dây dẫn 212 hơn có thể được đóng gói ngay cả khi, như đã được thảo luận trên đây, các đế hàn mở rộng trên cùng khuôn được đặt cách nhau khoảng cách tối thiểu 217 được cho phép trong quy trình sản xuất khuôn và các vùng đệm nổi 213 cũng được đặt cách cách nhau khoảng cách tối thiểu tương ứng.

Đối với chiều dày của lớp thành phần 203, ở đầu thấp, lớp thành phần 203 cần lớn hơn các dung sai cong vênh bề mặt của khuôn 204 để lớp thành phần 203 đảm bảo bao phủ toàn bộ bề mặt của khuôn 204 khi khuôn được ép vào lớp thành phần 203. Ví dụ, nếu khuôn 204 có thể có dung sai vênh theo chiều dọc từ $1\mu\text{m}$ đến $2\mu\text{m}$ (nghĩa là hai điểm trên bề mặt khuôn có thể có độ chuyển dịch dọc từ $1\mu\text{m}$ đến $2\mu\text{m}$), thì chiều dày của lớp thành phần cần lớn hơn $1\mu\text{m}$ đến $2\mu\text{m}$.

Ở đầu cao, động lực hình thành các khoảng hở lỗ dẫn 210 cần được tính đến cùng với trường hợp tệ nhất là dòng điện đi qua lỗ dẫn bất kỳ. Nói chung, hình dạng của khoảng hở lỗ dẫn 210 có thể dạng hình nón hoặc hình nêm (nghĩa là đường kính của khoảng hở lỗ dẫn thu hẹp lại theo độ sâu của khoảng hở lỗ dẫn). Theo đó, thông thường, chiều rộng nhỏ nhất của lỗ dẫn là ở điểm tiếp xúc với các đế hàn 205. Nếu chiều rộng này quá nhỏ để dòng điện đi qua đế hàn và lỗ dẫn điện, thì lỗi dẫn điện có thể xuất hiện. Theo đó, chiều dày của lớp thành phần không cần vượt quá chiều dày trong đó đáy của lỗ dẫn quá hẹp để dòng điện đi qua đó.

Cần chú ý rằng các đế hàn 205 có thể có một số vết xước do đầu dò, đầu dò này chạm các đế hàn này khi kiểm tra được thực hiện trên khuôn trước khi khuôn được đóng gói.

Fig.2K thể hiện mặt cắt theo hướng vuông góc với hình minh họa trên Fig.2J để thể hiện liên kết của đường dây dẫn 212 với đế hàn 205. Thông qua các liên kết này, các đế hàn của cùng khuôn hoặc các đế hàn của khuôn khác nhau có thể được nối thông qua các đường dây dẫn 212.

Fig.3 thể hiện gói hoàn chỉnh 310 được gắn vào bảng mạch phẳng 320. Mặc dù các hình vẽ trước đó chỉ mô tả hai khuôn trên mặt cắt được mô tả, nhưng cần hiểu rằng

nhiều hơn một khuôn có thể được bọc trong gói 310. Đáng chú ý là, khuôn khác nhau có thể bao gồm các phiên bản khác nhau của cùng một khuôn (ví dụ, các chip bộ nhớ được thiết kế giống hệt nhau) và/hoặc các phiên bản khác nhau của các khuôn khác nhau (ví dụ, hệ thống trên khuôn chip và khuôn bộ nhớ truy cập ngẫu nhiên động). Trong trường hợp các phiên bản khác nhau của khuôn khác nhau, khuôn khác nhau này có thể được sản xuất theo các công nghệ quy trình sản xuất khác (ví dụ, bộ nhớ logic mật độ cao, bộ nhớ nhanh, bộ nhớ truy cập ngẫu nhiên, bộ nhớ thay đổi pha và bộ chuyển mạch).

Bảng mạch phẳng 320 và gói 310 được gắn có thể được tích hợp vào hệ thống máy tính 330 lớn hơn bất kỳ, chẳng hạn như thiết bị cầm tay (ví dụ, điện thoại thông minh), máy tính dạng bảng, máy tính cầm tay, máy tính để bàn hoặc máy chủ. Tương tự, bảng mạch phẳng 320 và gói 310 được gắn có thể được tích hợp vào các loại thiết bị điện tử khác chẳng hạn như các bộ định tuyến mạng, bộ chuyển mạng, thiết bị thông minh (ví dụ, đồng hồ thông minh, kính thông minh, v.v.).

Trong phần mô tả nêu trên, sáng chế đã được mô tả với tham chiếu đến các phương án làm ví dụ cụ thể. Tuy nhiên, hiển nhiên là các cải biến và thay đổi khác nhau có thể được thực hiện mà không vượt ra khỏi bản chất và phạm vi rộng hơn của sáng chế được thể hiện trong yêu cầu bảo hộ kèm theo. Theo đó, bản mô tả này và hình vẽ chỉ mang tính chất minh họa thay vì mang ý nghĩa giới hạn.

YÊU CẦU BẢO HỘ

1. Phương pháp sản xuất gói chip bán dẫn dạng môđun nhiều chip, phương pháp này bao gồm các bước:

tạo ra lớp thành phần trên lớp bám dính của lớp đỡ, trong đó lớp thành phần này có bề mặt trên cùng và bề mặt dưới cùng;

ép nhiều hơn một khuôn bán dẫn vào lớp thành phần, trong đó mỗi khuôn bán dẫn có bề mặt trên cùng và bề mặt dưới cùng, trong đó mỗi khuôn bán dẫn đã được kiểm tra chức năng trước đó và có nhiều đế hàn mở rộng để hỗ trợ việc kiểm tra, trong đó ít nhất một số trong số các đế hàn mở rộng trên cùng khuôn được đặt cách nhau khoảng cách tối thiểu được cho phép bởi quy trình sản xuất khuôn này, trong đó bề mặt dưới cùng của lớp thành phần nằm phía dưới bề mặt trên cùng của mỗi khuôn, và trong đó mỗi đế hàn mở rộng được làm lõm vào khuôn để có bề mặt trên cùng nằm phía dưới so với bề mặt trên cùng của khuôn;

tạo ra lớp đúc trên nhiều hơn một khuôn bán dẫn;

tách lớp thành phần khỏi lớp đỡ;

loại bỏ lớp thành phần trên ít nhất một số trong số các đế hàn mở rộng để tạo ra khoảng hở lỗ dẫn trên ít nhất một số trong số các đế hàn mở rộng này;

tạo ra lớp phủ kim loại trên lớp thành phần, lớp phủ kim loại này gần như điền đầy khoảng hở lỗ dẫn; và

tạo mẫu lớp phủ kim loại để tạo ra các vùng đệm nối trên các khoảng hở lỗ dẫn đã được điền đầy và nhiều hơn một dây dẫn giữa các vùng đệm nối tương ứng của ít nhất một số trong số các đế hàn mở rộng.

2. Phương pháp theo điểm 1, trong đó phương pháp này còn bao gồm bước tăng áp suất không khí xung quanh khuôn bán dẫn và lớp thành phần sau khi ép để điền đầy các khoảng trống tốt hơn trong các vùng lõm trên bề mặt của khuôn nơi mà các đế hàn của khuôn được bố trí.

3. Phương pháp theo điểm 1, trong đó phương pháp này còn bao gồm bước hóa rắn lớp thành phần sau khi tạo ra lớp đúc.

4. Phương pháp theo điểm 1, trong đó mỗi đế hàn mở rộng có kích thước chiều ngang

xấp xỉ $40\mu\text{m}$.

5. Phương pháp theo điểm 1, trong đó phương pháp này còn bao gồm bước tạo ra bi hàn hoặc bi C4 trên các vùng đệm nổi.

6. Phương pháp theo điểm 1, trong đó bước loại bỏ lớp thành phần bao gồm việc sử dụng laze.

7. Gói chip bán dẫn dạng môđun nhiều chip bao gồm:

lớp thành phần có bề mặt trên cùng, bề mặt dưới cùng, và mặt chứa đế hàn của các khuôn được ép vào mặt đáy của lớp thành phần, trong đó mỗi khuôn có bề mặt trên cùng và bề mặt dưới cùng, trong đó các khuôn có các đế hàn mở rộng để hỗ trợ việc kiểm tra các khuôn trên phiến, các đế hàn mở rộng được đặt cách nhau khoảng cách tối thiểu được cho phép bởi quy trình sản xuất được sử dụng để sản xuất khuôn tương ứng, lớp thành phần được loại bỏ trên các đế hàn mở rộng, trong đó bề mặt dưới cùng của lớp thành phần nằm phía dưới bề mặt trên cùng của mỗi khuôn, và trong đó mỗi đế hàn mở rộng được làm lõm vào khuôn để có bề mặt trên cùng nằm phía dưới so với bề mặt trên cùng của khuôn;

lớp phủ kim loại trên mặt trên của lớp thành phần và các vùng gần như được điền đầy trên các đế hàn mở rộng, lớp phủ kim loại bao gồm các vùng đệm nổi trên các đế hàn mở rộng và nhiều dây dẫn giữa các đế hàn mở rộng.

8. Gói chip bán dẫn dạng môđun nhiều chip theo điểm 7, trong đó các đế hàn mở rộng có các vết xước do việc kiểm tra khuôn trước khi được đóng gói với lớp thành phần và lớp phủ kim loại.

9. Gói chip bán dẫn dạng môđun nhiều chip theo điểm 7, trong đó vùng đáy của lớp phủ kim loại tiếp xúc với các đế hàn mở rộng có chiều rộng đủ để chịu được dòng điện định mức tối đa đi qua các đế hàn mở rộng này.

10. Gói chip bán dẫn dạng môđun nhiều chip theo điểm 9, trong đó chiều rộng của lớp thành phần theo chiều dày thuận nhỏ dần theo các thành bên của lớp thành phần bao quanh các vùng trên.

11. Gói chip bán dẫn dạng môđun nhiều chip theo điểm 7, trong đó lớp thành phần được chọn từ nhóm bao gồm:

polyimide;

epoxy;

acrylic;

vật liệu k thấp;

silicon;

PBO (Polybenzoxazole).

12. Gói chip bán dẫn dạng môđun nhiều chip theo điểm 7, trong đó gói chip bán dẫn dạng môđun nhiều chip này còn bao gồm lớp điện môi được tạo ra trên lớp thành phần và lớp phủ kim loại.

13. Gói chip bán dẫn dạng môđun nhiều chip theo điểm 12, trong đó gói chip bán dẫn dạng môđun nhiều chip này còn bao gồm các khoảng hở được tạo ra trên lớp điện môi trên các vùng đệm nổi và các bi hàn hoặc các bi C4 được tạo ra trên các vùng đệm nổi này.

14. Hệ thống tích hợp gói chip bán dẫn dạng môđun nhiều chip, hệ thống này bao gồm:

bảng mạch phẳng,

môđun nhiều chip được gắn vào bảng mạch phẳng, môđun nhiều chip này bao gồm:

lớp thành phần có mặt chứa đế hàn của các khuôn được ép vào mặt đáy của lớp thành phần này, trong đó mỗi khuôn có bề mặt trên cùng và bề mặt dưới cùng, trong đó các khuôn có các đế hàn mở rộng để hỗ trợ việc kiểm tra các khuôn trên phiến, các đế hàn mở rộng này được đặt cách nhau khoảng cách tối thiểu được cho phép bởi quy trình sản xuất khuôn được sử dụng để sản xuất khuôn tương ứng, lớp thành phần được loại bỏ trên các đế hàn mở rộng, trong đó bề mặt dưới cùng của lớp thành phần nằm phía dưới bề mặt trên cùng của mỗi khuôn, và trong đó mỗi đế hàn mở rộng được làm lõm vào khuôn để có bề mặt trên cùng nằm phía dưới so với bề mặt trên cùng của khuôn;

lớp phủ kim loại trên mặt trên của lớp thành phần và các vùng gần như được điền đầy trên các đế hàn mở rộng, lớp phủ kim loại bao gồm các vùng đệm nổi trên các đế hàn mở rộng và nhiều dây dẫn giữa các đế hàn mở rộng.

15. Hệ thống theo điểm 14, trong đó các đế hàn mở rộng có các vết xước do việc kiểm tra khuôn trước khi được đóng gói với lớp thành phần và lớp phủ kim loại.

16. Hệ thống theo điểm 14, trong đó các đế hàn mở rộng có các vết xước do việc kiểm tra khuôn trước khi được đóng gói với lớp thành phần và lớp phủ kim loại.

17. Hệ thống theo điểm 14, trong đó vùng đáy của lớp phủ kim loại tiếp xúc với các đế hàn mở rộng có chiều rộng đủ để chịu được dòng điện định mức tối đa đi qua các đế hàn mở rộng này.

18. Hệ thống theo điểm 14, trong đó hệ thống này là hệ thống máy tính.

19. Hệ thống theo điểm 18, trong đó hệ thống máy tính là một trong số:

thiết bị thông minh;

điện thoại thông minh;

máy tính dạng bảng;

máy tính xách tay;

máy tính để bàn;

máy chủ.

20. Hệ thống theo điểm 14, trong đó hệ thống này là hệ thống mạng.

21. Phương pháp sản xuất gói chip bán dẫn dạng môđun nhiều chip, phương pháp này bao gồm các bước:

tạo ra lớp thành phần trên lớp bám dính của lớp đỡ,

ép nhiều hơn một khuôn bán dẫn vào lớp thành phần, trong đó mỗi khuôn bán dẫn đã được kiểm tra chức năng trước đó và có nhiều đế hàn mở rộng để hỗ trợ việc kiểm tra, trong đó ít nhất một số trong số các đế hàn mở rộng trên cùng khuôn được đặt cách nhau khoảng cách tối thiểu được cho phép bởi quy trình sản xuất khuôn này, trong đó bề mặt dưới cùng của lớp thành phần nằm phía dưới bề mặt trên cùng của mỗi khuôn, và trong đó mỗi đế hàn mở rộng được làm lõm vào khuôn để có bề mặt trên cùng nằm phía dưới so với bề mặt trên cùng của khuôn;

tạo ra lớp đúc trên nhiều hơn một khuôn bán dẫn;

tách lớp thành phần khỏi lớp đỡ;

loại bỏ lớp thành phần trên ít nhất một số trong số các đế hàn mở rộng để tạo ra khoảng hở lỗ dẫn trên ít nhất một số trong số các đế hàn mở rộng này;

tạo ra lớp phủ kim loại trên lớp thành phần, lớp phủ kim loại này gần như điền đầy khoảng hở lỗ dẫn; và

tạo mẫu lớp phủ kim loại để tạo ra các vùng đệm nổi trên các khoảng hở lỗ dẫn được điền đầy và nhiều hơn một dây dẫn giữa các vùng đệm nổi tương ứng của ít nhất một số trong số các đế hàn mở rộng, trong đó ít nhất một hoặc nhiều dây dẫn được tạo ra cách biệt giữa vùng đệm nổi của khuôn thứ nhất và vùng đệm nổi khác của khuôn thứ hai.

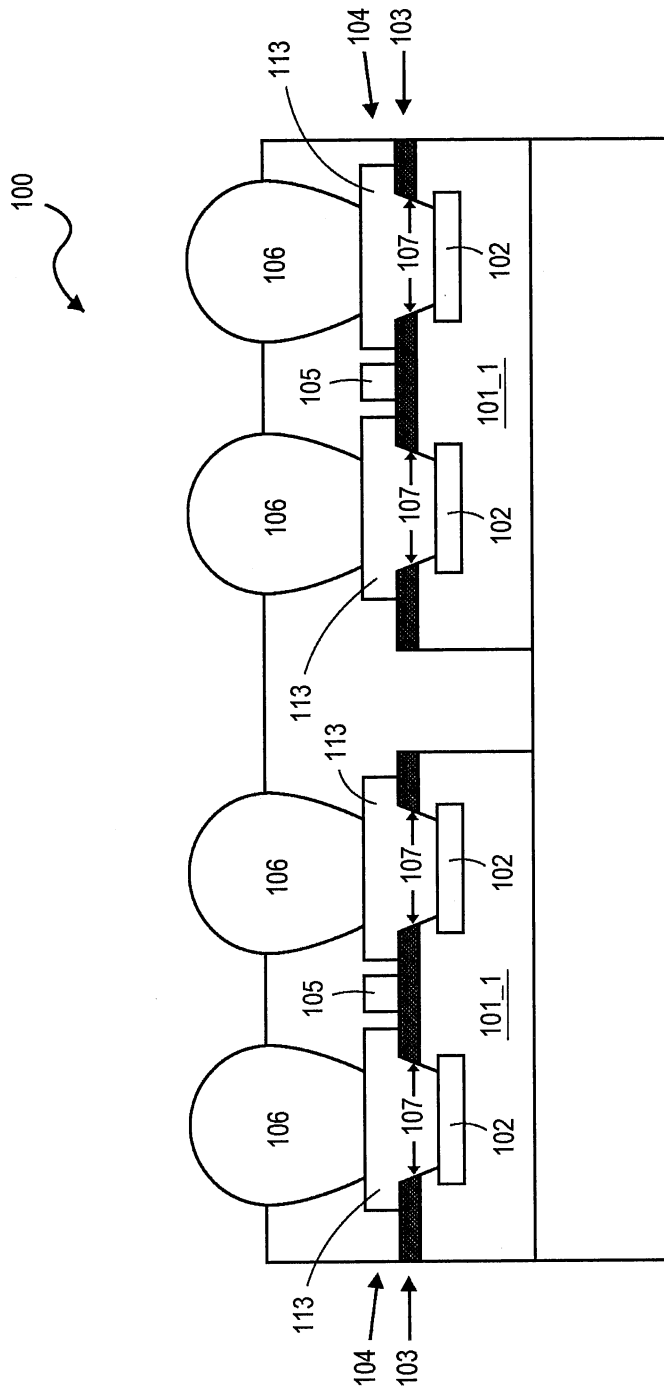
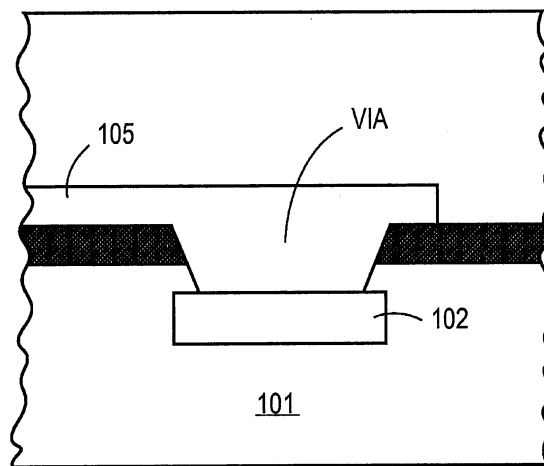


FIG. 1A

**FIG. 1B**

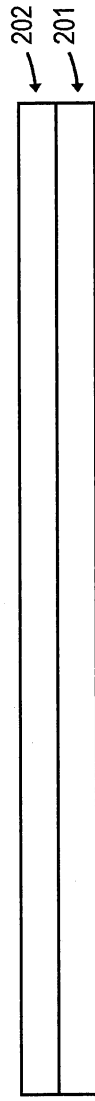


FIG. 2A

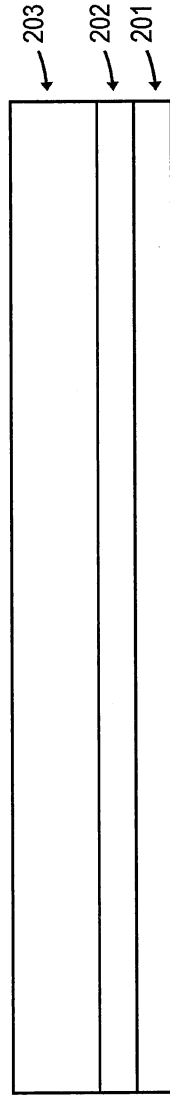


FIG. 2B

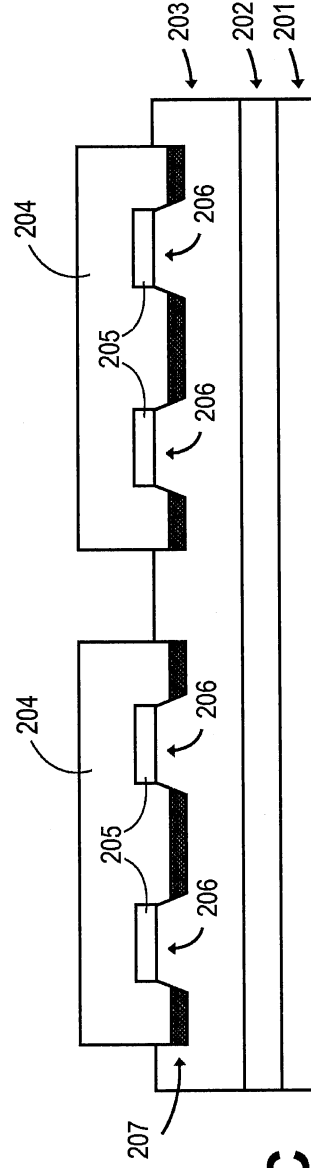


FIG. 2C

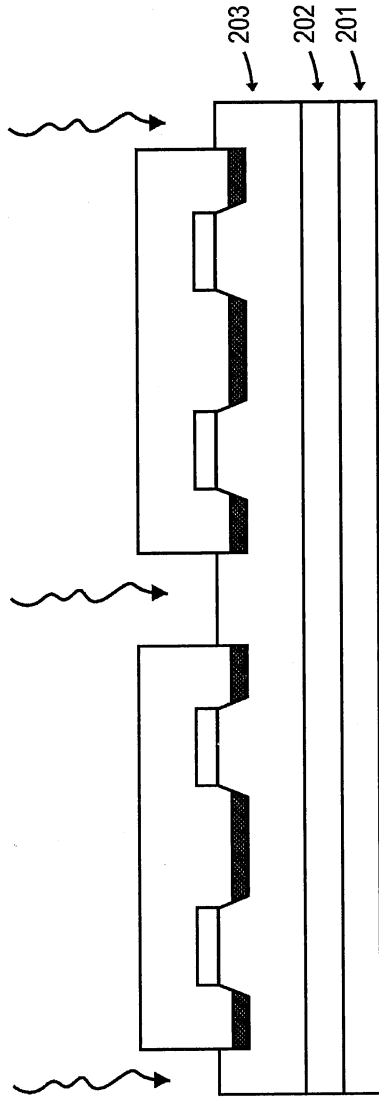


FIG. 2D

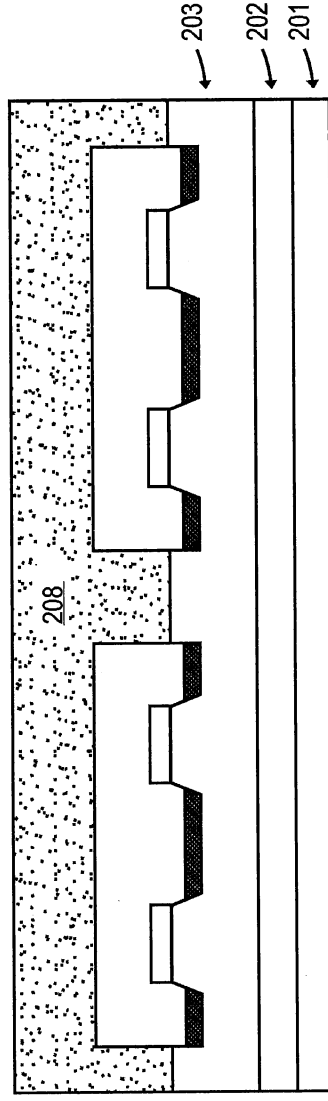


FIG. 2E

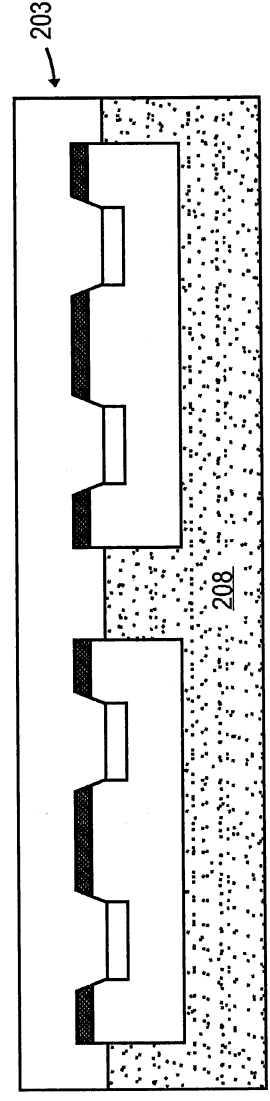


FIG. 2F

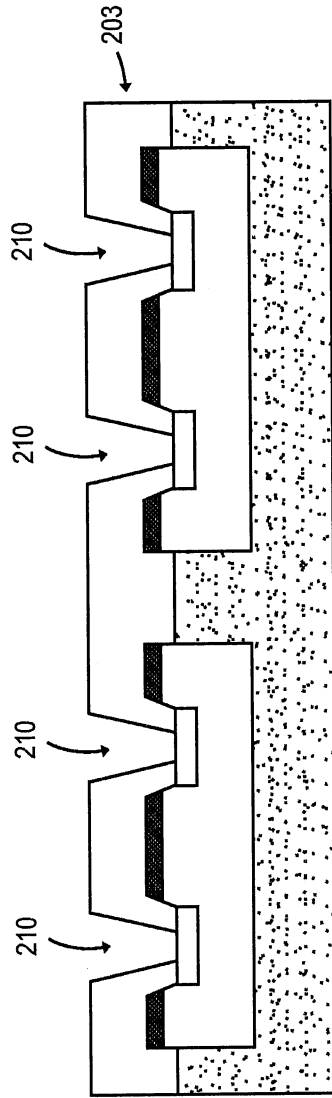


FIG. 2G

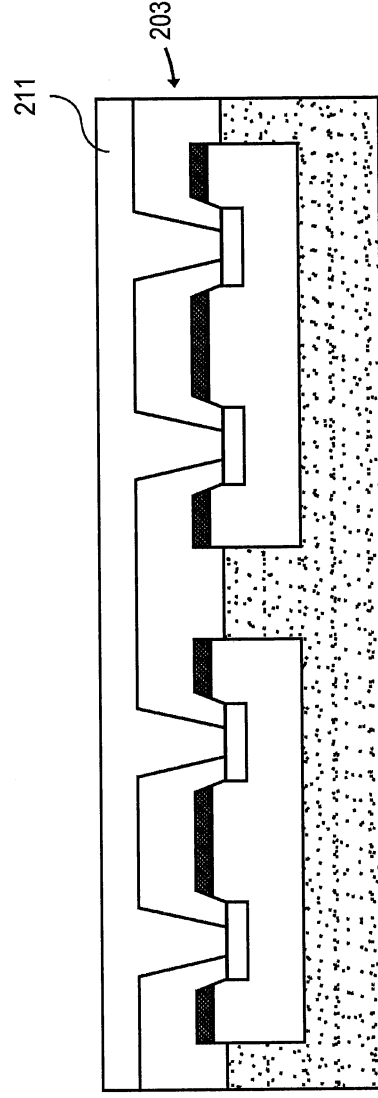


FIG. 2H

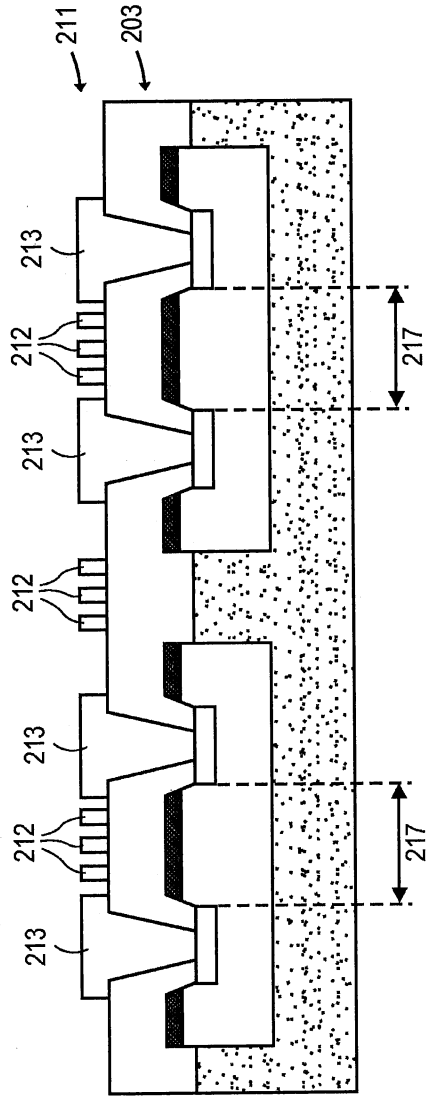


FIG. 2I

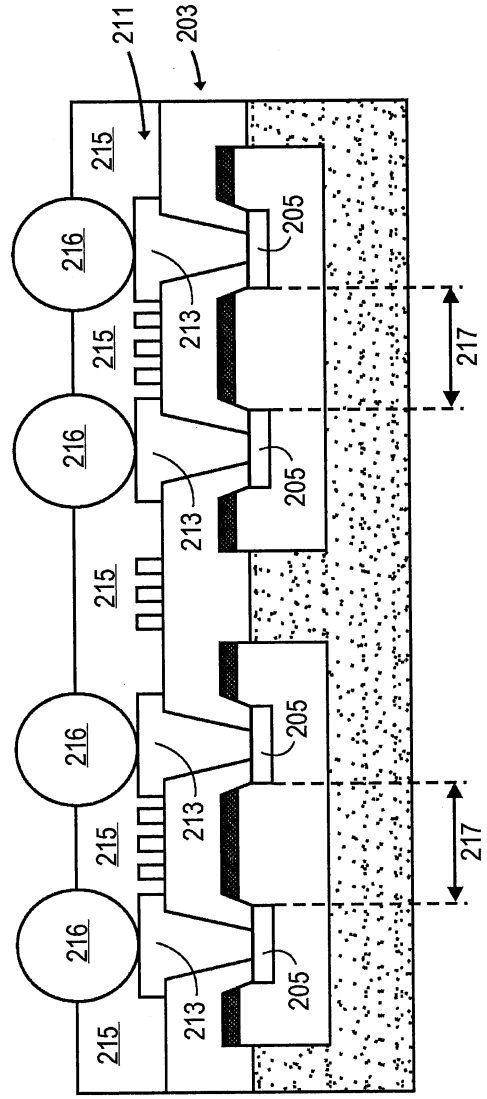
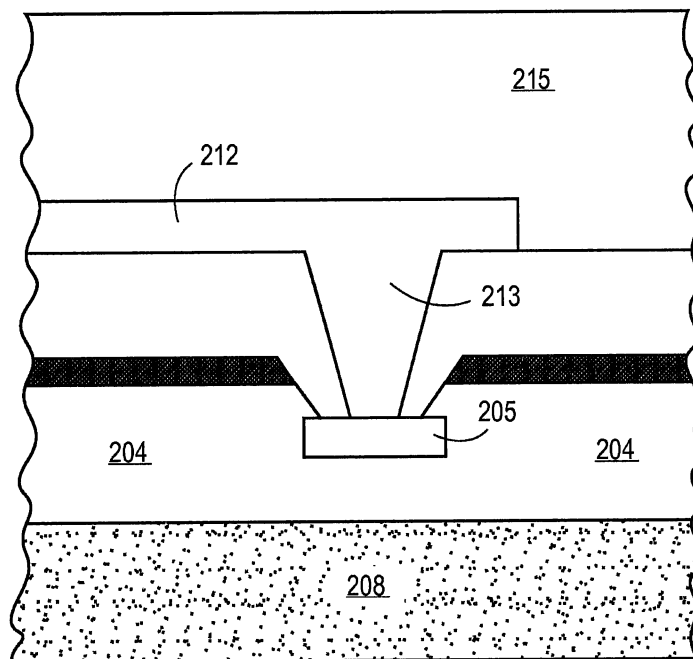
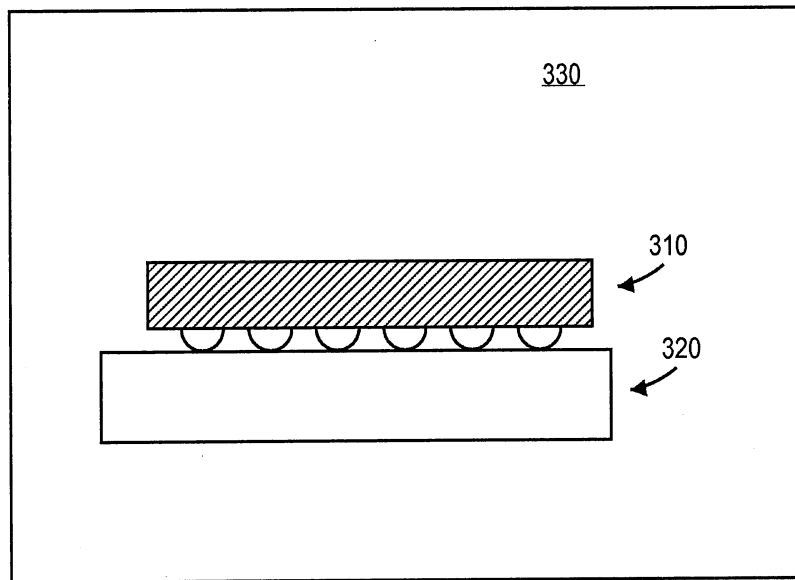


FIG. 2J

**FIG. 2K**

**FIG. 3**