



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0027871

(51)⁷ H01L 29/78; H01L 21/336

(13) B

(21) 1-2015-04527

(22) 25/06/2013

(86) PCT/US2013/047626 25/06/2013

(87) WO/2014/209285 31/12/2014

(45) 25/04/2021 397

(43) 25/08/2016 341A

(73) INTEL CORPORATION (US)

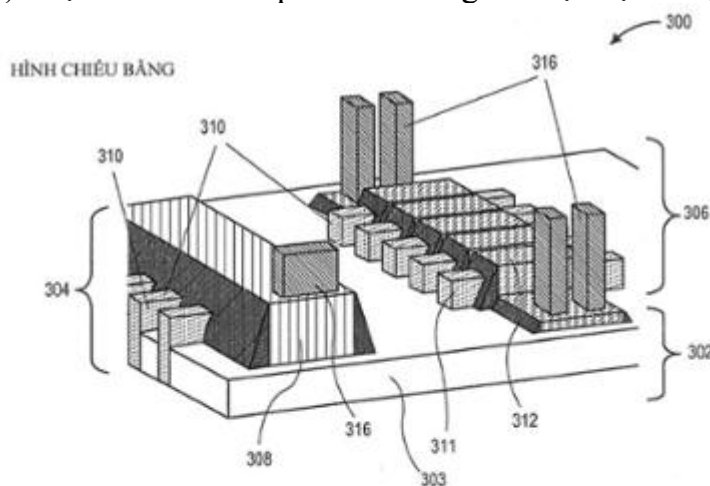
2200 Mission College Boulevard, MS: RNB-4-150, Santa Clara, California 95052,
United States of America

(72) YEH, Jeng-Ya D. (TW); JAN, Chia-Hong (US); HAFEZ, Walid M. (US); PARK,
Joodong (KR).

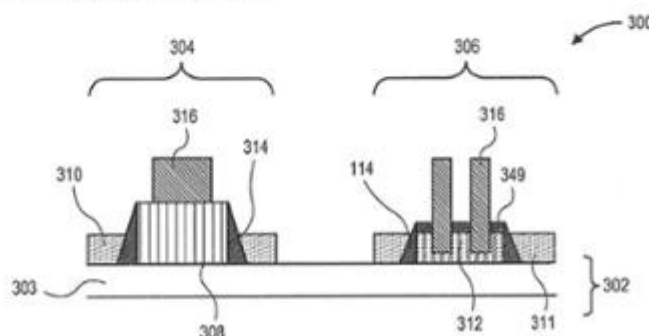
(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) KẾT CẤU BÁN DẪN

(57) Sáng chế đề cập đến kết cấu bán dẫn bao gồm các cấu trúc hợp nhất polycide tương thích có chất bán dẫn oxit kim loại bù (Complementary metal-oxide semiconductor, CMOS) và phương pháp chế tạo các cấu trúc hợp nhất polycide tương thích CMOS. Ví dụ, kết cấu bán dẫn này bao gồm lớp nền. Cấu trúc hợp nhất polycide được bố trí trên lớp nền và bao gồm silic và kim loại. Cấu trúc tranzito bán dẫn oxit kim loại (metal oxide semiconductor, MOS) được bố trí trên lớp nền và bao gồm điện cực cổng kim loại.



HÌNH CHIỀU MẶT CẮT NGANG



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực các thiết bị và quy trình bán dẫn và, cụ thể là, cấu trúc hợp nhất polycide tương thích có chất bán dẫn oxit kim loại bù (Complementary metal-oxide semiconductor, CMOS) và các phương pháp chế tạo các cấu trúc hợp nhất polycide tương thích CMOS này.

Tình trạng kỹ thuật của sáng chế

Trong một vài thập kỷ qua, việc mở rộng quy mô của các tính năng trong các mạch tích hợp đã là động lực thúc đẩy sự phát triển mạnh mẽ của ngành công nghiệp bán dẫn. Việc mở rộng quy mô đến các tính năng nhỏ hơn và nhỏ hơn nữa cho phép tăng mật độ của các đơn vị chức năng đối với phạm vi giới hạn các chip bán dẫn. Ví dụ, việc thu nhỏ kích thước tranzito cho phép tích hợp nhiều bộ nhớ hoặc thiết bị logic hơn trên chip, cho phép chế tạo các sản phẩm có dung lượng tăng lên. Tuy nhiên, ổ đĩa có dung lượng lớn hơn không phải là không có vấn đề. Sự cần thiết để tối ưu hóa hiệu suất của mỗi thiết bị ngày càng trở nên có ý nghĩa.

Khi sản xuất các thiết bị mạch tích hợp, quy trình gia công vật liệu có hằng số điện môi (k) cao và cực cổng bằng kim loại đã được đưa vào các sơ đồ xử lý công đoạn trước của dây chuyền (front end of line, FEOL) để cho phép mở rộng quy mô hơn nữa. Ngoài ra, các tranzito đa cực cổng, chẳng hạn như tranzito ba cực cổng, đã trở nên phổ biến hơn do các kích thước của thiết bị tiếp tục được giảm kích thước xuống. Trong các quy trình thông thường, các tranzito ba cực cổng thường được chế tạo ở cả các lớp nền silic dạng khối hoặc các lớp nền cách điện trên phiến silic. Trong một số trường hợp, các lớp nền silic dạng khối được ưa chuộng do chi phí của chúng thấp hơn và vì chúng cho phép quy trình chế tạo ba cực cổng ít phức tạp hơn. Trong các trường hợp khác, các lớp nền cách điện trên phiến silic được ưa chuộng vì trạng thái kênh ngắn của tranzito ba cực cổng được cải thiện.

Tuy nhiên, việc giảm kích thước của tranzito đa cực cổng không phải là không có hệ quả. Khi các chiều của các khối dựng cơ bản của hệ mạch vi điện tử này được giảm xuống và khi số lượng tuyệt đối của các khối dựng cơ bản được chế tạo ở vùng đã cho tăng lên, thì ràng buộc bao gồm tính năng thụ động trong các thiết bị hoạt động

tăng lên, ví dụ, đối với các kiến trúc dựa trên hệ thống trên chip (system-on-chip, SoC).

Bản chất kỹ thuật của sáng chế

Các phương án của sáng chế đề xuất các cấu trúc hợp nhất polycide tương thích CMOS và các phương pháp chế tạo các cấu trúc hợp nhất polycide tương thích CMOS này.

Theo một phương án, kết cấu bán dẫn bao gồm lớp nền. Cấu trúc hợp nhất polycide được bố trí trên lớp nền và bao gồm silic và kim loại. Cấu trúc tranzito bán dẫn oxit kim loại (metal oxide semiconductor, MOS) được bố trí trên lớp nền và bao gồm điện cực cổng kim loại.

Theo một phương án, cấu trúc hợp nhất polycide không được lập trình và bao gồm lớp silicua kim loại ở lớp silic đa tinh thể.

Theo một phương án, cấu trúc hợp nhất polycide được lập trình và bao gồm hỗn hợp của silic và kim loại.

Theo một phương án, cấu trúc tranzito MOS còn bao gồm lớp điện môi cực cổng có hằng số điện môi (k) cao.

Theo một phương án, lớp điện môi cực cổng có k cao được bố trí giữa điện cực cổng kim loại và lớp nền, và dọc theo các thành bên của điện cực cổng kim loại này.

Theo một phương án, kim loại trong cấu trúc hợp nhất polycide là niken hoặc coban.

Theo một phương án, lớp nền là lớp nền silic đơn tinh thể dạng khối, cấu trúc tranzito MOS được bố trí ở lớp nền silic đơn tinh thể dạng khối, và cấu trúc hợp nhất polycide được bố trí ở vùng cách điện được bố trí trong lớp nền silic đơn tinh thể dạng khối này.

Theo một phương án, kết cấu bán dẫn bao gồm các vây bán dẫn thứ nhất và thứ hai được bố trí trên lớp nền. Cấu trúc hợp nhất polycide được bố trí trên vây bán dẫn thứ nhất nhưng không được bố trí trên vây bán dẫn thứ hai. Cấu trúc hợp nhất polycide này bao gồm silic và kim loại. Cấu trúc tranzito bán dẫn oxit kim loại (MOS) được tạo

ra từ vây bán dẫn thứ hai nhưng không được tạo ra từ vây bán dẫn thứ nhất. Cấu trúc tranzito MOS này bao gồm điện cực cổng kim loại.

Theo một phương án, cấu trúc hợp nhất polycide không được lập trình và bao gồm lớp silicua kim loại nằm trên lớp silic đa tinh thể.

Theo một phương án, cấu trúc hợp nhất polycide được lập trình và bao gồm hỗn hợp của silic và kim loại.

Theo một phương án, cấu trúc tranzito MOS còn bao gồm lớp điện môi cực cổng có k cao.

Theo một phương án, lớp điện môi cực cổng có k cao được bố trí giữa điện cực cổng kim loại và vây bán dẫn thứ hai, và dọc theo các thành bên của điện cực cổng kim loại.

Theo một phương án, kim loại trong cấu trúc hợp nhất polycide là niken hoặc coban.

Theo một phương án, cấu trúc hợp nhất polycide được bố trí trên lớp cách điện được bố trí trên vây bán dẫn thứ nhất.

Theo một phương án, vây bán dẫn thứ nhất bao gồm các vây bán dẫn thứ nhất và vây bán dẫn thứ hai bao gồm các vây bán dẫn thứ hai. Cấu trúc hợp nhất polycide được bố trí trên các vây bán dẫn thứ nhất nhưng không được bố trí trên các vây bán dẫn thứ hai. Cấu trúc tranzito MOS được tạo ra từ các vây bán dẫn thứ hai nhưng không được tạo ra từ các vây bán dẫn thứ nhất.

Theo một phương án, các vây bán dẫn thứ nhất và thứ hai được ghép nối điện với lớp nền bán dẫn dạng khối bên dưới.

Theo một phương án, cấu trúc hợp nhất polycide là cấu trúc hợp nhất polycide không phẳng.

Theo một phương án, kết cấu bán dẫn bao gồm các vây bán dẫn thứ nhất và thứ hai được bố trí trên lớp nền. Vùng cách điện được bố trí trên lớp nền, nằm giữa các vây bán dẫn thứ nhất và thứ hai, và ở chiều cao nhỏ hơn các vây bán dẫn thứ nhất và thứ hai. Cấu trúc hợp nhất polycide được bố trí ở vùng cách điện mà không được bố trí ở các vây bán dẫn thứ nhất và thứ hai. Cấu trúc hợp nhất polycide này bao gồm silic và

kim loại. Các cấu trúc tranzito bán dẫn oxit kim loại thứ nhất và thứ hai lần lượt được tạo ra từ các vây bán dẫn thứ nhất và thứ hai. Cấu trúc tranzito MOS, mỗi cấu trúc này bao gồm điện cực cổng kim loại.

Theo một phương án, cấu trúc hợp nhất polycide không được lập trình và bao gồm lớp silicua kim loại nằm trên lớp silic đa tinh thể.

Theo một phương án, cấu trúc hợp nhất polycide được lập trình và bao gồm hỗn hợp của silic và kim loại.

Theo một phương án, mỗi trong số các cấu trúc tranzito MOS thứ nhất và thứ hai còn bao gồm lớp điện môi cực cổng có k cao, và lớp điện môi cực cổng có k cao này được bố trí giữa điện cực cổng kim loại và vây bán dẫn thứ nhất và thứ hai tương ứng, và dọc theo các thành bên của điện cực cổng kim loại.

Theo một phương án, kim loại trong cấu trúc hợp nhất polycide là niken hoặc coban.

Theo một phương án, vây bán dẫn thứ nhất bao gồm các vây bán dẫn thứ nhất và vây bán dẫn thứ hai bao gồm các vây bán dẫn thứ hai. Cấu trúc tranzito MOS thứ nhất được tạo ra từ các vây bán dẫn thứ nhất và cấu trúc tranzito MOS thứ hai được tạo ra từ các vây bán dẫn thứ hai. Các vây bán dẫn thứ nhất và thứ hai này được ghép nối điện với lớp nền bán dẫn dạng khối bên dưới.

Theo một phương án, cấu trúc hợp nhất polycide là cấu trúc hợp nhất polycide phẳng.

Theo một phương án, cấu trúc hợp nhất polycide có bề mặt trên cùng ở chiều cao nhỏ hơn các chiều cao của các vây bán dẫn thứ nhất và thứ hai.

Mô tả vắn tắt các hình vẽ

Fig.1A minh họa hình chiếu mặt cắt ngang của tranzito MOS-FET có chồng vật liệu có cực cổng bằng kim loại/ k cao, theo một phương án của sáng chế.

Fig.1B minh họa hình chiếu mặt cắt ngang của cấu trúc hợp nhất polycide tương thích CMOS, theo một phương án của sáng chế.

Fig.2A đến Fig.2I minh họa các hình chiếu mặt cắt ngang thể hiện các thao tác khác nhau trong phương pháp chế tạo cấu trúc hợp nhất polycide, theo một phương án của sáng chế.

Fig.3A minh họa hình chiếu bằng và hình chiếu mặt cắt ngang của cấu trúc hợp nhất polycide dùng cho kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế.

Fig.3B minh họa hình chiếu mặt cắt ngang của cấu trúc hợp nhất polycide đối với kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế.

Fig.4A đến Fig.4K minh họa các hình chiếu mặt cắt ngang thể hiện các thao tác khác nhau trong phương pháp chế tạo cấu trúc hợp nhất polycide dùng cho kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế.

Fig.5A đến Fig.5K minh họa các hình chiếu mặt cắt ngang thể hiện các thao tác khác nhau trong phương pháp chế tạo cấu trúc hợp nhất polycide khác dùng cho kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế.

Fig.6A đến Fig.6L minh họa các hình chiếu mặt cắt ngang thể hiện các thao tác khác nhau trong phương pháp chế tạo cấu trúc hợp nhất polycide khác dùng cho kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế.

Fig.7 minh họa thiết bị tính toán theo một phương án thực hiện của sáng chế.

Mô tả chi tiết sáng chế

Sáng chế đề xuất các cấu trúc hợp nhất polycide tương thích CMOS và các phương pháp chế tạo các cấu trúc hợp nhất polycide tương thích CMOS này. Trong phần mô tả sau, một số chi tiết cụ thể được nêu, chẳng hạn như các trạng thái vật liệu và tích hợp cụ thể, để cung cấp việc hiểu hoàn toàn các phương án của sáng chế. Điều này sẽ rõ ràng đối với người có hiểu biết trung bình trong lĩnh vực kỹ thuật rằng các phương án của sáng chế có thể được thực hiện mà không có các chi tiết cụ thể này. Trong các trường hợp khác, các dấu hiệu đã biết, chẳng hạn như các bố trí thiết kế mạch tích hợp, không được mô tả một cách chi tiết để không làm khó hiểu một cách không cần thiết các phương án của sáng chế. Hơn nữa, cần hiểu rằng các phương án khác nhau được thể hiện trên các hình vẽ minh họa các biểu diễn và không nhất thiết được vẽ theo tỷ lệ.

Một hoặc nhiều phương án được mô tả ở đây đề cập đến các cấu trúc hợp nhất polycide và các phương pháp sản xuất đối với công nghệ cực cổng bằng kim loại có k cao.

Các phương án này có thể bao gồm một hoặc nhiều thiết bị bán dẫn oxit kim loại bù (metal oxide semiconductor, CMOS), sơ đồ xử lý chất điện môi cực cổng có k cao và/hoặc cực cổng bằng kim loại, sự hợp nhất lập trình được một lần (one time programmable, OTP), công nghệ xử lý và các cấu trúc hợp nhất polysilicua (polycide) và sự hợp nhất lập trình được.

Thông thường, các phương thức được mô tả ở đây liên quan đến các sơ đồ tích hợp xử lý mà cho phép chế tạo phần tử hợp nhất polycide và tích hợp công nghệ CMOS có k có/cực cổng bằng kim loại. Cụ thể hơn là, theo một phương án, quy trình quang khắc và tạo mẫu hình bằng cách khắc được sử dụng để tạo hốc cấu trúc silic đa tinh thể giả trước khi xử lý cực cổng thay thế để chôn cực cổng silic đa tinh thể một cách hiệu quả bên dưới màng oxit điện môi giữa các lớp. Sau đó, cực cổng silic đa tinh thể được duy trì được silicua hóa và sử dụng làm cấu trúc hợp nhất lập trình được một lần. Các phương án được mô tả ở đây có thể cho phép thay thế kiến trúc của phần tử hợp nhất cho các nút trong công nghệ trong tương lai. Hơn nữa, cách phương án được mô tả ở đây đề xuất các tùy chọn ngoài việc hợp nhất kim loại chuẩn mà có thể tích hợp được trực tiếp với các tranzito CMOS dựa trên vật liệu có k cao và cực cổng bằng kim loại.

Để tạo ra ngưỡng cảnh, các điện cực cổng ban đầu được tạo ra từ kim loại (ví dụ, nhôm). Tuy nhiên, đối với nhiều nút công nghệ, Tranzito hiệu ứng trường bán dẫn oxit kim loại (Metal- Oxide-Semiconductor Field Effect Transistor, MOSFET) đã bao gồm điện cực cổng được chế tạo từ silic đa tinh thể để cho phép cấy ion (ví dụ, để tùy chỉnh pha tạp thành loại N hoặc P ở cùng mạch) và silicua hóa (để làm giảm điện trở tiếp xúc). Vì vậy, sự hợp nhất này được kết hợp với MOSFET trong mạch còn được chế tạo bằng silic đa tinh thể được silicua hóa. Quy trình tiếp theo được gọi là "cực cổng đầu tiên" đã được thực hiện một cách phổ biến để cho phép lắng đọng lớp phủ của silic đa tinh thể, các chiều dài của cực cổng được xác định bằng cách khắc plasma, các vùng đầu được pha tạp thấp, các lớp đệm thành bên có chất điện môi và cực nguồn/cực máng tự căn chỉnh (nghĩa là, với điện cực cổng).

Do các chiều của MOSFET tiếp tục được giảm kích thước xuống ở các nút công nghệ gần đây, sự suy giảm silic đa tinh thể ngày càng trở thành vấn đề đáng chú ý. Kết quả là, các điện cực cổng hiện đang được tạo ra lại từ kim loại.

Tuy nhiên, các điện cực cổng thường không còn được tạo ra hoàn toàn từ nhôm. Để đạt được các chức năng hoạt động mong muốn, các điện cực cổng này hiện nay thường được tạo ra từ kim loại chuyển tiếp, hợp kim của các kim loại chuyển tiếp, hoặc nitrua kim loại chuyển tiếp. Tuy nhiên, việc sử dụng cực cổng bằng kim loại cũng mang lại các ưu điểm cho quy trình thay thế được gọi là "cực cổng cuối cùng". Một phương án thực hiện của quy trình cực cổng cuối cùng có liên quan đến quy trình "thay thế cực cổng" mà được cho phép sử dụng các kim loại khác nhau đối với N-FET và P-FET trong mạch. Khi kim loại trong điện cực cổng được thay đổi từ silic đa tinh thể trở lại kim loại, thì các hợp nhất kim loại ở công đoạn sau của dây chuyền (back end of line, BEOL) trở thành cấu trúc hợp nhất chuẩn. Tuy nhiên, do sự mở rộng quy mô công nghệ và tăng điện trở ở công đoạn sau, các hợp nhất kim loại đang tỏ ra khó khăn đối với việc duy trì sự chênh lệch về điện trở giữa phần tử hợp nhất và điện trở định tuyến ký sinh. Mặt khác, hợp nhất polycide ở cùng mức của tranzito chương trình và thường không gặp phải vấn đề về chênh lệch điện trở thấp, có thể tạo ra công nghệ hợp nhất được cải tiến.

Hơn nữa, các phương án được mô tả ở đây có thể tương thích được với các thiết bị và kiến trúc kiểu phẳng, nhưng cũng có thể tương thích được với các kiến trúc không phẳng. Do đó, theo một hoặc nhiều phương án, sáng chế đề xuất các phương pháp tạo ra cấu trúc hợp nhất polycide dựa trên công nghệ sử dụng vật liệu có k cao/cực cổng bằng kim loại không phẳng.

Như được mô tả một cách chi tiết hơn dưới đây kết hợp với các hình vẽ, một hoặc nhiều phương án được mô tả ở đây trực tiếp đề cập đến các sơ đồ tích hợp xử lý mà cho phép duy trì silic đa tinh thể ở các vùng nhất định trong quá trình chế tạo dựa trên công nghệ CMOS có k cao và cực cổng bằng kim loại. Silic đa tinh thể được duy trì để chế tạo phần tử hợp nhất sau đó, ví dụ, được tạo mẫu hình trong quy trình đa tạo mẫu hình. Quá trình quang khắc có thể được thực hiện để cho phép phần duy trì silic đa tinh thể đối với sơ đồ tích hợp. Theo phương án này, đa đường đối với ứng dụng cuối cùng dưới dạng phần tử hợp nhất polycide được làm lộ ra trong khi các vùng đa

cực cổng khác được phủ bởi lớp cảm quang. Sau đó, quá trình khắc khô có thể được thực hiện, trong quá trình này phần tử đa hợp nhất được khắc và tạo hốc. Theo phương án này, độ dày đa chênh lệch giữa phần tử hợp nhất và các cấu trúc đa cực cổng chuẩn bao quanh đạt được theo quy trình khắc và tạo hốc. Theo sau quy trình tạo mẫu hình, quy trình silicua hóa bằng silic đa tinh thể có thể được thực hiện để chế tạo phần tử hợp nhất polycide. Sau đó, quy trình thay thế cực cổng và cực cổng giả có thể được sử dụng để chế tạo các tranzito dựa trên vật liệu có k cao và cực cổng bằng kim loại ở các vùng cực cổng chuẩn. Sau đó, theo sau quy trình làm đầy và đánh bóng cực cổng bằng kim loại, sự hình thành tiếp xúc có thể được thực hiện để tạo ra điểm tiếp xúc trên phần tử hợp nhất polycide. Các quy trình được mô tả nêu trên tích hợp được với công nghệ CMOS, với việc bổ sung thêm hốc đa cực cổng ở các vùng hợp nhất của lớp nền.

Là một ví dụ về cấu trúc hợp nhất polycide tương thích CMOS, Fig.1A minh họa hình chiếu mặt cắt ngang của tranzito MOS-FET có chồng vật liệu có k cao/cực cổng bằng kim loại, theo một phương án của sáng chế. Fig.1B minh họa hình chiếu mặt cắt ngang của cấu trúc hợp nhất polycide tương thích CMOS, theo một phương án của sáng chế. Cần hiểu rằng các cấu trúc trên Fig.1A và Fig.1B có thể được chế tạo trên lớp nền chung và, do đó, cấu trúc hợp nhất polycide trên Fig.1B là tương thích với thiết bị dựa trên vật liệu có k cao và cực cổng bằng kim loại CMOS trên Fig.1A.

Dựa vào Fig.1A, tranzito MOS-FET 100A được tạo ra ở và trên lớp nền 102, chẳng hạn như lớp nền tinh thể đơn dạng khối. Chồng cực cổng bao gồm điện cực cổng kim loại (metal gate, MG) 104 và lớp điện môi cực cổng có k cao 106 được bố trí trên lớp nền 102. Các lớp đệm 108 được tạo ra ở các thành bên của chồng cực cổng, và lớp điện môi giữa các lớp 110 được tạo ra ở cả hai phía của các lớp đệm 108. Các vùng cực nguồn và cực máng 112 được bố trí trên lớp nền 102, ở cả hai phía của chồng cực cổng.

Dựa vào Fig.1B, cấu trúc hợp nhất polycide 100B được tạo ra ở vùng cách điện 103 của lớp nền 102. Cấu trúc hợp nhất polycide 100B này bao gồm vật liệu "cực cổng" silic đa tinh thể 154, có thể được bố trí trên lớp điện môi 156. Lớp silicua kim loại 170 được bố trí trên vật liệu silic đa tinh thể 154. Các lớp đệm 158 có thể còn được bao gồm, như được mô tả trên Fig.1B.

Các hình vẽ từ Fig.2A đến Fig.2I minh họa hình chiếu mặt cắt ngang thể hiện các thao tác khác nhau trong phương pháp chế tạo cấu trúc hợp nhất polycide, theo một phương án của sáng chế.

Dựa vào Fig.2A, các đường silic đa tinh thể 202 được tạo mẫu hình trên lớp nền 200, chẳng hạn như lớp nền silic đơn tinh thể. Các đường silic đa tinh thể 202 có thể bao gồm mặt nạ cứng (hardmask, HM) 204 và/hoặc các lớp đệm 206, như được mô tả trên Fig.2A. Mặc dù không được mô tả, lớp cách điện có thể được bố trí giữa lớp nền 200 và đường silic đa tinh thể 202. Một hoặc nhiều đường có thể được tạo ra ở vùng cách điện 208. Vùng này có thể được tạo ra từ các màng oxit được lắng đọng chẳng hạn như bằng phương pháp lắng đọng pha hơi hóa học (chemical vapor deposition, CVD), lắng đọng plasma mật độ cao (high density plasma deposition, HDP) hoặc quay phủ trên các chất điện môi. Sau đó, lớp phủ chống phản xạ 210 và lớp cảm quang được tạo mẫu hình 212 được tạo ra (có thể liên quan đến hoạt động chống đông cứng) ở cấu trúc trên Fig.1A, được mô tả trên Fig.2B. Đường silic đa tinh thể nhằm tạo thành hợp nhất polycide được làm lộ ra bởi lớp cảm quang được tạo mẫu hình 212. Dựa vào Fig.2C, lớp phủ chống phản xạ 210 được tạo hốc, ví dụ, bằng quy trình khắc, để làm lộ ra đường silic đa tinh thể 214 thông qua lớp phủ chống phản xạ 210. Sau đó, lớp mặt nạ cứng và các phần đệm phía trên được loại bỏ để làm lộ ra silic đa tinh thể của đường silic đa tinh thể 214, như được mô tả trên Fig.2D. Dựa vào Fig.2E, quy trình lắng đọng/ủ kim loại hoặc cấy/ủ kim loại được thực hiện trên silic đa tinh thể của đường silic đa tinh thể 214 để tạo ra lớp silicua kim loại 216. Cấu trúc tạo thành là cấu trúc hợp nhất polycide 218. Như còn được mô tả trên Fig.2E, các lớp phủ cảm quang và chống phản xạ có thể còn được loại bỏ. Sau đó, lớp điện môi giữa các lớp 220, được tạo ra theo phương pháp tương tự với 208 (CVD, HDP, quay phủ trên các chất điện môi) được tạo ra trên các cấu trúc tạo thành, như được mô tả trên Fig.2F.

Lớp điện môi giữa các lớp 220 làm lộ ra các mặt nạ cứng của các đường silic đa tinh thể còn lại, cuối cùng có thể được loại bỏ, như được mô tả trên Fig.2F. Tuy nhiên, cấu trúc hợp nhất polycide 21 được bảo vệ khỏi quy trình làm lộ ra này vì cấu trúc này được tạo rãnh thấp hơn các cấu trúc silic đa tinh thể liền kề.

Dựa vào Fig.2G, các đường silic đa tinh thể được loại bỏ trong quy thay thế cực cổng để tạo ra các rãnh 222. Sau đó, lớp điện môi cực cổng có k cao 224 và điện cực

cổng kim loại 226 được tạo ra ở các rãnh 222 để tạo ra các cấu trúc tranzito 228, như được mô tả trên Fig.2H. Dựa vào Fig.2I, các tiếp điểm 230 được tạo ra với cấu trúc hợp nhất polycide 218, ví dụ, thông qua lớp điện môi 232.

Như được mô tả trong toàn bộ bản mô tả này, theo một phương án, chồng vật liệu dùng cho cấu trúc hợp nhất polycide được chế tạo song song với các thiết bị tranzito CMOS bao gồm lớp silic đa tinh thể phía dưới và lớp silicua kim loại phía trên được tạo ra từ phản ứng của, ví dụ, Coban (Co) hoặc Niken (Ni) với lớp silic đa tinh thể. Theo một phương án, chồng vật liệu dùng cho cấu trúc hợp nhất polycide không bị thổi ra và không bao giờ bị thổi ra, để còn lại lớp silic đa tinh thể và lớp silicua kim loại phía trên. Theo một phương án khác, chồng vật liệu dùng cho cấu trúc hợp nhất polycide cuối cùng bị thổi ra (ví dụ, tạo ra dòng điện do đặt điện áp vào cấu trúc này), để còn lại hỗn hợp silic và kim loại. Nghĩa là, hợp nhất thổi ra này có thể không có lớp silic đa tinh thể và lớp silicua kim loại phía trên có thể thấy rõ. Theo một phương án, silic đa tinh thể có kích thước hạt bằng khoảng 20 nanomet.

Như được mô tả trong toàn bộ bản mô tả này, theo một phương án, lớp điện môi cực cổng dùng cho các thiết bị tranzito CMOS được chế tạo song song với cấu trúc hợp nhất polycide bao gồm vật liệu chẳng hạn như, nhưng không giới hạn ở, hafni oxit, hafni oxy-nitrit, hafni silicat, lantan oxit, ziconi oxit, ziconi silicat, tantali oxit, bari stronti titanat, bari titanat, stronti titanat, ytri oxit, nhôm oxit, chì scandi tantali oxit, chì kẽm niobat hoặc sự kết hợp của các vật liệu này. Hơn nữa, một phần lớp điện môi cực cổng có thể bao gồm lớp oxit riêng được tạo ra từ một vài lớp trên cùng của lớp nền. Theo một phương án, lớp điện môi cực cổng bao gồm phần có k cao trên cùng và phần phía dưới bao gồm oxit của vật liệu bán dẫn. Theo một phương án, lớp điện môi cực cổng bao gồm phần trên cùng của hafni oxit và phần dưới dùng của silic oxit hoặc silic oxy nitrit.

Như được mô tả trong toàn bộ bản mô tả này, theo một phương án, lớp điện môi cực cổng dùng cho thiết bị tranzito CMOS được chế tạo song song với cấu trúc hợp nhất polycide bao gồm lớp kim loại chẳng hạn như, nhưng không bị giới hạn ở, nitrit kim loại, cacbua kim loại, silicua kim loại, aluminit kim loại, hafni, ziriconi, titan, tantali, nhôm, ruteni, paladi, platin, coban, niken hoặc oxit kim loại dẫn điện.

Theo một phương án cụ thể, điện cực cổng bao gồm vật liệu làm đầy thiết lập không có công thoát được tạo ra trên lớp thiết lập có công thoát kim loại.

Theo một khía cạnh khác, cấu trúc hợp nhất polycide không phẳng có thể được bao gồm dưới dạng cấu trúc hợp nhất polycide nhưng có kiến trúc không phẳng. Theo một phương án, dựa vào cấu trúc hợp nhất polycide không phẳng được sử dụng ở đây để mô tả cấu trúc hợp nhất polycide có lớp silic đa tinh thể/silicua được tạo ra trên một hoặc các vây nhô ra từ lớp nền. Ví dụ là, Fig.3A minh họa hình chiếu bằng và hình chiếu mặt cắt ngang của cấu trúc hợp nhất polycide dùng cho kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế.

Dựa vào cả hai hình chiếu trên Fig.3A, kết cấu bán dẫn 300 bao gồm lớp nền 302 (chỉ được thể hiện một phần) có cơ cấu không phẳng 304 và cấu trúc hợp nhất polycide không phẳng 306 được tạo ra trên lớp cách điện 303. Cơ cấu không phẳng 304 bao gồm chõng cực cổng 308, ví dụ, chõng cực cổng điện môi cực cổng có cực cổng bằng kim loại/k cao. Chõng cực cổng 308 này được tạo ra trên các vây thứ nhất 310. Cấu trúc hợp nhất polycide không phẳng 306 bao gồm lớp silic đa tinh thể không phẳng, bao gồm lớp silicua 349 như được thể hiện theo hình chiếu mặt cắt ngang, được tạo ra trên các vây thứ hai 311. Cả hai thiết bị này bao gồm các lớp đệm 314 và tiếp điểm 316. Theo một phương án, lớp silic đa tinh thể 312 và lớp silicua 349 bên trên được tạo ra tương thích với các vây 311. Theo phương án này, lớp điện môi (không được thể hiện trên hình vẽ) cách ly lớp silic đa tinh thể 312 khỏi các vây 311 này.

Theo một phương án, các vây thứ nhất 310 và thứ hai 311 được tạo ra từ lớp nền dạng khối 302, như được mô tả trên Fig.3A. Trong ví dụ này, lớp nền dạng khối 302 và, do đó, các vây 310 và 311 có thể được tạo ra từ vật liệu bán dẫn có thể chịu được quy trình sản xuất và trong đó điện tích có thể di chuyển. Theo một phương án, lớp nền dạng khối 302 được tạo ra từ lớp silic tinh thể, silic/germani hoặc germani được pha tạp với chất mang điện tích, chẳng hạn như nhưng không bị giới hạn ở, photpho, asen, bo hoặc sự kết hợp của các vật liệu này. Theo một phương án, nồng độ của nguyên tử silic trong lớp nền dạng khối 302 lớn hơn 97%. Theo một phương án khác, lớp nền dạng khối 302 được tạo ra từ lớp epitaxi được mọc bên trên của lớp nền tinh thể riêng, ví dụ, lớp epitaxi silic được mọc bên trên lớp nền đơn tinh thể silic dạng khối được pha tạp bo. Theo cách khác, lớp nền dạng khối 302 có thể được tạo ra từ vật

liệu nhóm III-V. Theo một phương án, lớp nền dạng khối 302 được tạo ra từ vật liệu nhóm III-V, chẳng hạn như nhưng không bị giới hạn ở, gali nitrit, gali phosphit, gali asen, indi phosphit, indi antimonit, indi gali asen, nhôm gali asen, indi gali phosphit hoặc sự kết hợp của các vật liệu này. Theo một phương án, lớp nền dạng khối 302 được tạo ra từ vật liệu nhóm III-V và các nguyên tử tạp chất pha tạp chất mang điện tích, nhưng không bị giới hạn ở, cacbon, silic, germani, oxy, lưu huỳnh, selen, hoặc telur. Theo một phương án, lớp nền dạng khối 302, và do đó, các vây 310 và 311 không được pha tạp hoặc chỉ được pha tạp ít. Theo một phương án, ít nhất một phần của các vây 310 và 311 bị biến dạng.

Theo cách khác, lớp nền 302 bao gồm lớp epitaxi phía trên và phần dạng khối phía dưới, cả hai phần này có thể được tạo ra từ vật liệu đơn tinh thể mà có thể bao gồm, nhưng không bị giới hạn ở, silic, germani, silic-germani hoặc vật liệu bán dẫn hợp chất nhóm III-V. Lớp cách điện xen giữa được tạo ra từ vật liệu mà có thể bao gồm, nhưng không bị giới hạn ở, silic điôxit, silic nitrit hoặc silic oxy-nitrit có thể được bố trí giữa lớp epitaxi phía trên và phần dạng khối phía dưới.

Lớp cách điện 303 có thể được tạo ra từ vật liệu thích hợp để cuối cùng cách điện, hoặc góp phần vào việc cách điện cấu trúc cực cổng cố định khối lớp dạng khối bên dưới. Ví dụ, theo một phương án, lớp điện môi cách điện 303 được tạo ra từ vật liệu điện môi bao gồm, nhưng không bị giới hạn ở, silic điôxit, silic oxy-nitrit, silic nitrit, hoặc silic nitrit pha tạp cacbon. Cần hiểu rằng lớp bao trùm có thể được tạo ra và sau đó được tạo hốc để cuối cùng làm lộ ra các phần hoạt động của các vây 310 và 311.

Theo một phương án, cơ cấu không phẳng 304 là cơ cấu không phẳng chẳng hạn như, nhưng không bị giới hạn ở, cơ cấu tranzito hiệu ứng trường vây (fin field-effect transistor, fin-FET) hoặc ba cực cổng. Theo phương án này, vùng kênh bán dẫn của cơ cấu không phẳng 304 được tạo ra từ hoặc được tạo ra ở phần thân ba chiều. Theo phương án này, chồng cực cổng 308 bao quanh ít nhất bề mặt trên cùng và cặp thành bên của phần thân ba chiều, như được mô tả trên Fig.3A. Theo phương án khác, ít nhất vùng kênh này được tạo ra từ phần thân ba chiều rời rạc, chẳng hạn như cơ cấu có cực cổng dạng vòng (gate-all-around). Theo phương án này, chồng cực cổng 308 bao quanh hoàn toàn vùng kênh.

Như được nêu ở trên, theo một phương án, các cơ cấu bán dẫn 304 bao gồm chồng cực cổng 308 bao quanh ít nhất một phần của cơ cấu không phẳng 304. Theo phương án này, chồng cực cổng 308 bao gồm lớp điện môi cực cổng và lớp điện cực cổng (không được thể hiện riêng biệt trên hình vẽ). Theo một phương án, điện cực cổng của chồng cực cổng 308 được tạo ra từ cực cổng bằng kim loại và lớp điện môi cực cổng được tạo ra từ vật liệu có k cao.

Theo một phương án, các lớp đệm 314 được tạo ra từ vật liệu điện môi cách điện chẳng hạn như, nhưng không bị giới hạn ở, silic điôxit, silic oxy-nitrit hoặc silic nitrit. Theo một phương án, các tiếp điểm 316 được chế tạo từ các loại kim loại. Các loại kim loại này có thể là kim loại nguyên chất, chẳng hạn như vonfram, niken, coban, hoặc có thể là hợp kim chẳng hạn như hợp kim kim loại-kim loại hoặc hợp kim kim loại-chất bán dẫn (ví dụ, chẳng hạn như vật liệu silicua).

Theo một khía cạnh khác, cấu trúc hợp nhất polycide phẳng có thể được bao gồm dưới dạng kiến trúc không phẳng. Theo một phương án, dựa vào cấu trúc hợp nhất polycide phẳng được sử dụng ở đây để mô tả cấu trúc hợp nhất polycide có lớp silic đa tinh thể/silicua được tạo ra liền kề với, nhưng không nằm trên, một hoặc nhiều vây nhô ra khỏi lớp nền. Ví dụ là, Fig.3B minh họa hình chiếu mặt cắt ngang của cấu trúc hợp nhất polycide dùng cho kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế.

Dựa vào Fig.3B, kết cấu bán dẫn 350 bao gồm lớp nền 302 (chỉ được thể hiện một phần) có cơ cấu không phẳng 304 và cấu trúc hợp nhất polycide phẳng 356 được tạo ra trên lớp cách điện 303. Cơ cấu không phẳng 304 bao gồm chồng cực cổng 108, ví dụ, chồng cực cổng điện môi cực cổng có cực cổng bằng kim loại/k cao. Chồng cực cổng 308 này được tạo ra trên các vây 310. Cấu trúc hợp nhất polycide phẳng 356 bao gồm lớp silic đa tinh thể phẳng 362 được tạo ra trên lớp cách điện 303. Lớp silic đa tinh thể phẳng 362 bao gồm lớp silicua phía trên (không được thể hiện trên hình vẽ). Cả hai cơ cấu này bao gồm các lớp đệm 314 và tiếp điểm 316. Các dấu hiệu khác trên Fig.3B có thể được tạo ra từ các vật liệu giống với các vật liệu được mô tả trên Fig.3A. Ví dụ, theo một phương án, các vây 310 được tạo ra từ lớp nền dạng khối 302, như được mô tả trên Fig.3B.

Theo phương thức chế tạo không phẳng thứ nhất, các hình vẽ từ Fig.4A đến Fig.4K minh họa các hình chiếu mặt cắt ngang thể hiện các thao tác khác nhau trong phương pháp chế tạo cấu trúc hợp nhất polycide dùng cho kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế. Dựa vào Fig.4A, lớp cách điện 402 được tạo ra trên lớp nền dạng khối được tạo mẫu hình 404 và được tạo hốc để làm lộ ra các vây 406. Sau đó, lớp silic đa tinh thể thứ nhất 408 và mặt nạ cứng silic nitrit 410 được tạo ra tương thích với các vây 406, như được mô tả trên Fig.4B. Mặc dù không được mô tả, lớp cách điện trước tiên có thể được tạo ra trên các vây 406 để cuối cùng cách điện lớp silic đa tinh thể 408 khỏi vật liệu vây. Dựa vào Fig.4C, quy trình tạo mẫu hình, ví dụ, quy trình quang khắc và khắc, của lớp silic đa tinh thể thứ nhất 408 và mặt nạ cứng silic nitrit 410 được thực hiện để tạo ra cấu trúc tiền chất hợp nhất polycide. Sau đó, lớp silic đa tinh thể thứ hai 414 được tạo ra trên cấu trúc tiền chất hợp nhất polycide 412. Lớp silic đa tinh thể thứ hai 414 được làm phẳng, ví dụ, bằng quy trình đánh bóng cơ hóa học, và lớp mặt nạ cứng thứ hai 416 được tạo ra trên đó, như được mô tả trên Fig.4D. Dựa vào Fig.4E, quy trình tạo mẫu hình, ví dụ, quy trình quang khắc và khắc, của lớp silic đa tinh thể thứ hai 414 và mặt nạ cứng thứ hai 416 được thực hiện để tạo ra các cấu trúc cực cổng giả 418, có thể bao gồm các lớp đệm 420. Sau đó, cấu trúc cực cổng giả 418 có thể bị che bởi mặt nạ 422, và mặt nạ cứng 410 được loại bỏ khỏi cấu trúc tiền chất hợp nhất polycide 412. Sau đó, quy trình lắng đọng/ủ kim loại hoặc cấy/ủ kim loại được thực hiện trên cấu trúc tiền chất hợp nhất polycide 412 không có mặt nạ cứng để tạo ra lớp silicua kim loại 424. Cấu trúc tạo thành là cấu trúc hợp nhất polycide 413, như được mô tả trên Fig.4F.

Dựa vào Fig.4G, mặt nạ 422 được loại bỏ, và lớp điện môi giữa các lớp 426 (ví dụ, silic oxit) được tạo ra trên các cấu trúc cực cổng giả 418 và cấu trúc hợp nhất polycide 413. Lớp điện môi giữa các lớp 426 được làm phẳng để làm lộ ra silic đa tinh thể của cấu trúc cực cổng giả 418, nhưng giữ lại cấu trúc hợp nhất polycide 413 dưới dạng không được làm lộ ra. Sau đó silic đa tinh thể của cấu trúc cực cổng giả 418 được loại bỏ, nhưng cấu trúc hợp nhất polycide 413 được giữ lại, như được mô tả trên Fig.4H. Dựa vào Fig.4I, các điện cực cổng cố định 428, ví dụ, các điện cực cổng kim loại (có thể là lớp điện môi cực cổng có k cao), được tạo ra. Vật liệu điện môi giữa các lớp bổ sung 450 được tạo ra và các lỗ mở tiếp xúc 430 sau đó được tạo ra để làm lộ ra

cả các điện cực cổng cố định 428 và cấu trúc hợp nhất polycide 413 để nối điện, như được mô tả trên Fig.4J. Dựa vào Fig.4K, các tiếp điểm 432 được tạo ra, ví dụ, bằng cách làm đầy và đánh bóng kim loại vonfram. Các cấu trúc cực cổng cố định 428 có thể là các cấu trúc cực cổng dùng cho thiết bị ba cực cổng, trong khi cấu trúc 413 là cấu trúc hợp nhất polycide. Phương thức nêu trên có thể được gọi là phương thức lắng đọng silic đa tinh thể kép.

Theo phương thức chế tạo không phẳng thứ hai, các hình vẽ từ Fig.5A đến Fig.5K minh họa các hình chiếu mặt cắt ngang thể hiện các thao tác khác nhau trong phương pháp chế tạo cấu trúc hợp nhất polycide khác dùng cho kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế. Dựa vào Fig.5A, lớp cách điện 502 được tạo ra trên lớp nền dạng khối được tạo mẫu hình 504 và được tạo hốc để làm lộ ra các vây 506. Sau đó, lớp silic đa tinh thể thứ nhất 508 và mặt nạ cứng silic nitrit 510 được tạo ra để tương thích với các vây 506, như được mô tả trên Fig.5B. Mặc dù không được mô tả, lớp cách điện trước tiên có thể được tạo ra trên các vây 506 để cuối cùng cách điện lớp silic đa tinh thể 508 khỏi vật liệu vây. Dựa vào Fig.5C, quy trình tạo mẫu hình, ví dụ quy trình quang khắc và khắc, của mặt nạ cứng silic nitrit 510 được thực hiện để tạo ra mặt nạ hợp nhất polycide 511. Sau đó, lớp silic đa tinh thể thứ hai 514 được tạo ra trên mặt nạ hợp nhất polycide 511 trên. Lớp silic đa tinh thể thứ hai 514 được làm phẳng, ví dụ, bằng quy trình đánh bóng cơ hóa học, và lớp mặt nạ cứng thứ hai 516 được tạo ra trên đó, như được mô tả trên Fig.5D. Dựa vào Fig.5E, quy trình tạo mẫu hình, ví dụ, quy trình quang khắc và khắc, của lớp silic đa tinh thể thứ nhất 508, lớp silic đa tinh thể thứ hai 514 và mặt nạ cứng thứ hai 516 được thực hiện để tạo ra cấu trúc cực cổng giả 518, có thể bao gồm các lớp đệm 520, và tạo ra cấu trúc tiền chất hợp nhất polycide 512. Sau đó, cấu trúc cực cổng giả 518 có thể bị che bởi mặt nạ 522, và mặt nạ cứng 511 được loại bỏ khỏi cấu trúc tiền chất hợp nhất polycide 512. Sau đó, quy trình lắng đọng/ủ kim loại hoặc cấy ghép/ủ kim loại được thực hiện trên cấu trúc tiền chất hợp nhất polycide 512 không có mặt nạ cứng để tạo ra lớp silicua kim loại 524. Cấu trúc tạo thành là cấu trúc hợp nhất polycide 513, như được mô tả trên Fig.5F. Dựa vào Fig.5G, mặt nạ 522 được loại bỏ, và lớp điện môi giữa các lớp 526 (ví dụ, silic oxit) được tạo ra trên cấu trúc cực cổng giả 518 và cấu trúc hợp nhất polycide 513. Lớp điện môi giữa các lớp 526 được làm phẳng để làm lộ

ra silic đa tinh thể của cấu trúc cực cổng giả 518, nhưng giữ lại cấu trúc hợp nhất polycide 513 dưới dạng không được làm lộ ra. Sau đó, silic đa tinh thể của cấu trúc cực cổng giả 518 được loại bỏ, nhưng cấu trúc hợp nhất polycide 513 được giữ lại, như được mô tả trên Fig.5H. Dựa vào Fig.5I, các điện cực cổng cố định 528, ví dụ, các điện cực cổng kim loại (có thể là các lớp điện môi cực cổng có k cao), được tạo ra. Vật liệu điện môi giữa các lớp bổ sung 550 được tạo ra và lỗ mở tiếp xúc 530 sau đó được tạo ra để làm lộ ra cả các điện cực cổng cố định 528 và cấu trúc hợp nhất polycide 513 để nối điện, như được mô tả trên Fig.5J. Dựa vào Fig.5K, các tiếp điểm 532 được tạo ra, ví dụ, bằng cách làm đầy và đánh bóng kim loại vonfram. Cấu trúc cực cổng cố định 528 có thể là các cấu trúc cực cổng dùng cho thiết bị ba cực cổng, trong khi cấu trúc 513 là cấu trúc hợp nhất polycide. Phương thức nêu trên có thể được gọi là phương thức hợp nhất polycide xếp chồng lên mặt nạ cứng được chôn.

Theo phương thức chế tạo không phẳng thứ ba, các hình vẽ từ Fig.6A đến Fig.6K minh họa các hình chiếu mặt cắt ngang thể hiện các thao tác khác nhau trong phương pháp chế tạo cấu trúc hợp nhất polycide khác dùng cho kiến trúc của thiết bị bán dẫn không phẳng, theo một phương án của sáng chế. Dựa vào Fig.6A, lớp cách điện 602 được tạo ra trên lớp nền dạng khối được tạo mẫu hình 604 và được tạo hốc để làm lộ ra các vây 606. Sau đó, lớp silic đa tinh thể 608 được tạo ra trên các vây 606 này, như được mô tả trên Fig.6B. Mặc dù không được mô tả, lớp cách điện trước tiên có thể được tạo ra trên các vây 606 để cuối cùng cách điện lớp silic đa tinh thể 608 khỏi vật liệu vây. Dựa vào Fig.6C, lớp silic đa tinh thể 608 được làm phẳng, ví dụ, bằng quy trình đánh bóng cơ hóa học, và mặt nạ cứng silic nitrit 610 sau đó được tạo ra. Quy trình tạo mẫu hình, ví dụ, quy trình quang khắc và khắc, của mặt nạ cứng silic nitrit 610 và lớp silic đa tinh thể 608 được thực hiện để tạo ra các cấu trúc cực cổng giả 618 và cấu trúc tiền chất hợp nhất polycide 612, có thể bao gồm các lớp đệm 620, như được mô tả trên Fig.6D. Dựa vào Fig.6E, sau đó, cấu trúc cực cổng giả 618 có thể bị che bởi mặt nạ 622. Sau đó, cấu trúc tiền chất hợp nhất polycide 612 đã làm lộ ra được tạo hốc, ví dụ, bằng quy trình khắc. Bước tạo hốc 623, theo một phương án, liên quan đến việc loại bỏ mặt nạ cứng cũng như một phần lớp silic đa tinh thể để tạo ra cấu trúc tiền chất hợp nhất polycide được biến đổi 612'. Sau đó, quy trình lắng đọng/ủ kim loại hoặc cấy ghép/ủ kim loại được thực hiện trên cấu trúc tiền chất hợp nhất

polycide được biến đổi 612' để tạo ra lớp silicua kim loại 624. Cấu trúc tạo thành là cấu trúc hợp nhất polycide 613, như được mô tả trên Fig.6F. Dựa vào Fig.6G, mặt nạ 622 được loại bỏ, và lớp điện môi giữa các lớp 626 (ví dụ, silic oxit) được tạo ra trên các cấu trúc cực cổng giả 618 và cấu trúc hợp nhất polycide 613. Lớp điện môi giữa các lớp 626 được làm phẳng để làm lộ ra silic đa tinh thể của cấu trúc cực cổng giả 618, nhưng giữ lại cấu trúc hợp nhất polycide 613 dưới dạng không được làm lộ ra. Sau đó, silic đa tinh thể của cấu trúc cực cổng giả 618 được loại bỏ, nhưng cấu trúc hợp nhất polycide 613 được giữ lại, như được mô tả trên Fig.6H. Dựa vào Fig.6I, các điện cực cổng cố định 628, ví dụ, các điện cực cổng kim loại (có thể là lớp điện môi cực cổng có k cao), được tạo ra. Sau đó, vật liệu điện môi giữa các lớp bổ sung 60 được tạo ra, như được mô tả trên Fig.6J. Dựa vào Fig.6K, các lỗ mở tiếp xúc 630 sau đó được tạo ra để làm lộ ra cả các điện cực cổng cố định 628 và cấu trúc hợp nhất polycide 613 để nối điện. Sau đó, các tiếp điểm 632 được tạo ra, ví dụ, bằng cách làm đầy và đánh bóng kim loại vonfram, như được mô tả trên Fig.6L. Các cấu trúc cực cổng cố định 628 có thể là các cấu trúc cực cổng dùng cho thiết bị ba cực cổng, trong khi cấu trúc 613 có thể là cấu trúc hợp nhất polycide. Các phương thức nêu trên có thể được gọi là phương thức hợp nhất polycide silic đa tinh thể được tạo hóc.

Do đó, một hoặc nhiều phương án của sáng chế giải quyết các tính chất thích hợp của cấu trúc hợp nhất polycide. Ví dụ, theo một phương án, cấu trúc hợp nhất polycide được mô tả ở đây tương thích được với các công nghệ xử lý ở hiện tại và trong tương lai, ví dụ, các cấu trúc hợp nhất polycide được nêu chi tiết tương thích được với dòng quy trình cực cổng có ba cực cổng và/hoặc k cao/cực cổng bằng kim loại trong đó silic đa tinh thể của các thiết bị hoạt động ăn mòn thay thế và được thay thế bằng kiến trúc cực cổng bằng kim loại ở quy trình ba cực cổng không phẳng.

Theo các phương thức được mô tả ở trên, các cực cổng giả được làm lộ ra cuối cùng có thể được thay thế trong sơ đồ quy trình thay thế cực cổng. Trong sơ đồ này, vật liệu cực cổng giả chẳng hạn như silic đa tinh thể có thể được loại bỏ và thay thế bằng vật liệu điện cực cổng cố định. Theo phương án này, lớp điện môi cực cổng cố định còn được tạo ra ở quy trình này, thay vì được thực hiện từ các quy trình trước đó. Theo một phương án, như được mô tả ở trên, các cấu trúc được dành riêng cho các hợp

nhất polycide bị chặn khỏi việc loại bỏ silic đa tinh thể mà được duy trì để tạo thành silicua.

Theo một phương án, các cực cổng giả được loại bỏ bằng quy trình khắc khô hoặc khắc ướt. Theo một phương án, các cực cổng giả này được tạo ra từ silic đa tinh thể hoặc silic vô định hình và được loại bỏ bằng quy trình khắc khô bao gồm SF_6 . Theo một phương án khác, các cực cổng giả được tạo ra từ silic đa tinh thể hoặc silic vô định hình và được loại bỏ bằng quy trình khắc ướt bao gồm NH_4OH ngâm nước hoặc tetrametylammoni hydroxit. Theo một phương án, các cực cổng giả được tạo ra từ silic nitrit và được loại bỏ bằng quy trình khắc ướt bao gồm axit phosphoric ngâm nước.

Để tổng quát hơn, một hoặc nhiều phương án theo sáng chế có thể còn trực tiếp đề cập đến quy trình tiếp xúc được căn chỉnh với cực cổng. Quy trình này có thể được thực hiện dưới dạng các cấu trúc tiếp xúc để chế tạo kết cấu bán dẫn, ví dụ, để chế tạo mạch tích hợp. Theo một phương án, mẫu hình tiếp xúc được tạo ra dưới dạng được căn chỉnh với mẫu hình cực cổng hiện có. Ngược lại, các phương thức thông thường thường liên quan đến quy trình quang khắc bổ sung với sự đăng ký chặt chẽ của mẫu hình tiếp xúc quang khắc với mẫu hình cực cổng hiện kết hợp với các quy trình khắc tiếp xúc chọn lọc. Ví dụ, quy trình thông thường có thể bao gồm việc tạo mẫu hình đa lưới (cực cổng) với việc tạo mẫu hình các tiếp điểm và nút tiếp xúc một cách riêng biệt.

Fig.7 minh họa thiết bị tính toán 700 theo một phương án của sáng chế. Thiết bị tính toán 700 này chứa bảng mạch 702. Bảng mạch 702 có thể bao gồm một số thành phần, bao gồm nhưng không bị giới hạn ở bộ xử lý 704 và ít nhất một chip truyền thông. Bộ xử lý 704 được ghép nối về mặt vật lý và điện với bảng mạch 702. Theo một số phương án thực hiện, ít nhất một chip truyền thông cũng được ghép nối về mặt vật lý và ghép nối điện với bảng mạch 702. Theo các phương án thực hiện khác nữa, chip truyền thông là một phần của bộ xử lý 704.

Tùy thuộc vào các ứng dụng của nó, thiết bị tính toán 700 có thể bao gồm các thành phần khác mà có thể hoặc có thể không được ghép nối về mặt vật lý và điện với bảng mạch 702. Các thành phần khác này bao gồm, nhưng không bị giới hạn ở, bộ nhớ khả biến (ví dụ, DRAM), bộ nhớ không khả biến (ví dụ, ROM), bộ nhớ chớp, bộ xử lý

đồ họa, bộ xử lý tín hiệu số, bộ xử lý mã hóa, bộ chip, ăngten, màn hiển thị, màn hình cảm ứng, bộ điều khiển màn hình cảm ứng, pin, bộ mã hóa-giải mã âm thanh, bộ khuếch đại công suất, thiết bị có hệ thống định vị toàn cầu (global positioning system, GPS), la bàn, gia tốc kế, con quay hồi chuyển, loa, camera và thiết bị lưu trữ lớn (chẳng hạn như ổ đĩa cứng, đĩa nén (compact disk, CD), đĩa đa năng kỹ thuật số (digital versatile disk, DVD), và v.v.).

Chip truyền thông 706 cho phép truyền thông không dây để chuyển dữ liệu đến và từ thiết bị tính toán 700. Thuật ngữ "không dây" và các biến thể của thuật ngữ này có thể được sử dụng để mô tả các mạch, thiết bị, hệ thống, phương pháp, kỹ thuật, kênh truyền thông, v.v. mà có thể truyền thông dữ liệu thông qua việc sử dụng bức xạ điện từ được điều biến thông qua vật ghi không rắn. Thuật ngữ này ngụ ý rằng các thiết bị có liên quan không bao gồm các dây dẫn bất kỳ, mặc dù theo một số phương án, chúng có thể không có. Chip truyền thông 706 có thể thực hiện chuẩn hoặc giao thức bất kỳ trong số các chuẩn hoặc giao thức không dây, bao gồm nhưng không bị giới hạn ở (họ IEEE 802.11), WiMAX (họ IEEE 802.16), IEEE 802.20, tiến hóa dài hạn (long term evolution, LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, Bluetooth hoặc các biến thể của các chuẩn hoặc giao thức này, cũng như giao thức không dây khác bất kỳ được thiết kế dưới dạng 3G, 4G, 5G, và hơn thế nữa. Thiết bị tính toán 700 này có thể bao gồm các chip truyền thông 706. Ví dụ, chip truyền thông 706 thứ nhất có thể được dành riêng cho truyền thông không dây tầm ngắn hơn chẳng hạn như Wi-Fi và Bluetooth và chip truyền thông 706 thứ hai có thể được dành riêng cho truyền thông không dây tầm xa hơn chẳng hạn như GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO và các dạng khác.

Bộ xử lý 704 của thiết bị tính toán 700 bao gồm khuôn mạch tích hợp được đóng gói trong bộ xử lý 704. Theo một số phương án của sáng chế, khuôn mạch tích hợp của bộ xử lý này bao gồm một hoặc nhiều thiết bị thụ động, chẳng hạn như các cấu trúc hợp nhất polycide được xây dựng theo các phương án thực hiện của sáng chế. Thuật ngữ "bộ xử lý" có thể đề cập đến thiết bị bất kỳ hoặc một phần thiết bị mà xử lý dữ liệu điện tử từ thanh ghi và/hoặc bộ nhớ để chuyển dữ liệu điện tử này thành dữ liệu điện tử khác có thể được lưu trữ trong thanh ghi và/hoặc bộ nhớ.

Chip truyền thông 706 còn bao gồm khuôn mạch tích hợp được đóng gói trong chip truyền thông 706. Theo một phương án thực hiện khác của sáng chế, khuôn mạch tích hợp của chip truyền thông bao gồm một hoặc nhiều thiết bị thụ động, chẳng hạn như các cấu trúc hợp nhất polycide được xây dựng theo các phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác nữa, thành phần khác có trong thiết bị tính toán 700 có thể bao gồm khuôn mạch tích hợp mà bao gồm một hoặc nhiều thiết bị thụ động, chẳng hạn như cấu trúc hợp nhất polycide được xây dựng theo các phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác nhau, thiết bị tính toán 700 có thể là máy tính xách tay laptop, máy tính xách tay notebook, máy tính xách tay ultrabook, điện thoại thông minh, máy tính dạng bảng, thiết bị kỹ thuật số hỗ trợ cá nhân (personal digital assistant, PDA), PC siêu di động, điện thoại di động, máy tính để bàn, máy chủ, máy tin, máy quét, màn hình, thiết bị giải mã tín hiệu truyền hình (set-top box), bộ điều khiển giải trí, camera kỹ thuật số, máy phát nhạc cầm tay hoặc thiết bị ghi video kỹ thuật số. Theo các phương án thực hiện khác nữa, thiết bị tính toán 700 có thể là thiết bị điện tử khác bất kỳ để xử lý dữ liệu.

YÊU CẦU BẢO HỘ

1. Kết cấu bán dẫn, kết cấu bán dẫn này bao gồm:

các vây bán dẫn thứ nhất và thứ hai được bố trí trên lớp nền;

vùng cách điện được bố trí trên lớp nền, giữa các vây bán dẫn thứ nhất và thứ hai, và ở chiều cao nhỏ hơn các vây bán dẫn thứ nhất và thứ hai này;

cấu trúc hợp nhất polycide được bố trí ở vùng cách điện nhưng không được bố trí ở các vây bán dẫn thứ nhất và thứ hai, cấu trúc hợp nhất polycide này bao gồm silic và kim loại; trong đó kim loại của cấu trúc hợp nhất polycide là niken hoặc coban; và

các cấu trúc tranzito bán dẫn oxit kim loại (metal oxide semiconductor, MOS) thứ nhất và thứ hai lần lượt được tạo ra từ các vây bán dẫn thứ nhất và thứ hai, các cấu trúc tranzito MOS, mỗi cấu trúc này bao gồm điện cực cổng kim loại,

trong đó mỗi trong số các cấu trúc tranzito MOS thứ nhất và thứ hai còn bao gồm lớp điện môi cực cổng có hằng số điện môi (k) cao, trong đó lớp điện môi cực cổng có k cao được bố trí giữa điện cực cổng kim loại và vây bán dẫn thứ nhất hoặc thứ hai tương ứng và dọc theo các thành bên của điện cực cổng kim loại,

trong đó bề mặt dưới cùng của chất điện môi cực cổng có k cao tiếp xúc vùng cách điện đồng phẳng với bề mặt dưới cùng của cấu trúc hợp nhất polycide, và trong đó bề mặt phía trên của cấu trúc hợp nhất polycide nằm bên dưới bề mặt phía trên của điện cực cổng kim loại,

trong đó vây bán dẫn thứ nhất bao gồm các vây bán dẫn thứ nhất và vây bán dẫn thứ hai bao gồm các vây bán dẫn thứ hai, trong đó cấu trúc tranzito MOS thứ nhất được tạo ra từ các vây bán dẫn thứ nhất và cấu trúc tranzito MOS thứ hai được tạo ra từ các vây bán dẫn thứ hai, và trong đó các vây bán dẫn thứ nhất và thứ hai được ghép nối điện với lớp nền bán dẫn dạng khối bên dưới.

2. Kết cấu bán dẫn theo điểm 1, trong đó cấu trúc hợp nhất polycide không được lập trình và bao gồm lớp silicua kim loại nằm trên lớp silic đa tinh thể.

3. Kết cấu bán dẫn theo điểm 1, trong đó cấu trúc hợp nhất polycide được lập trình và bao gồm hỗn hợp của silic và kim loại.

4. Kết cấu bán dẫn theo điểm 1, trong đó cấu trúc hợp nhất polycide là cấu trúc hợp nhất polycide phẳng.

5. Kết cấu bán dẫn, cấu trúc này bao gồm:

các vây bán dẫn thứ nhất và thứ hai được bố trí trên lớp nền;

cấu trúc hợp nhất polycide được bố trí trên vây bán dẫn thứ nhất nhưng không được bố trí trên vây bán dẫn thứ hai, cấu trúc hợp nhất polycide này bao gồm silic và kim loại; và

cấu trúc tranzito bán dẫn oxit kim loại (Complementary metal-oxide semiconductor, CMOS) được tạo ra từ vây bán dẫn thứ hai nhưng không được tạo ra từ vây bán dẫn thứ nhất, cấu trúc tranzito MOS này bao gồm điện cực cổng kim loại,

trong đó vây bán dẫn thứ nhất bao gồm các vây bán dẫn thứ nhất và vây bán dẫn thứ hai bao gồm các vây bán dẫn thứ hai, trong đó cấu trúc hợp nhất polycide được bố trí trên các vây bán dẫn thứ nhất nhưng không được bố trí trên các vây bán dẫn thứ hai và trong đó cấu trúc tranzito MOS được tạo ra từ các vây bán dẫn thứ hai nhưng không được tạo ra từ các vây bán dẫn thứ nhất.

6. Kết cấu bán dẫn theo điểm 5, trong đó các vây bán dẫn thứ nhất và thứ hai được ghép nối điện với lớp nền bán dẫn dạng khối bên dưới.

Tranzito sử dụng vật liệu có hằng số điện môi cao/cực cổng bằng kim loại

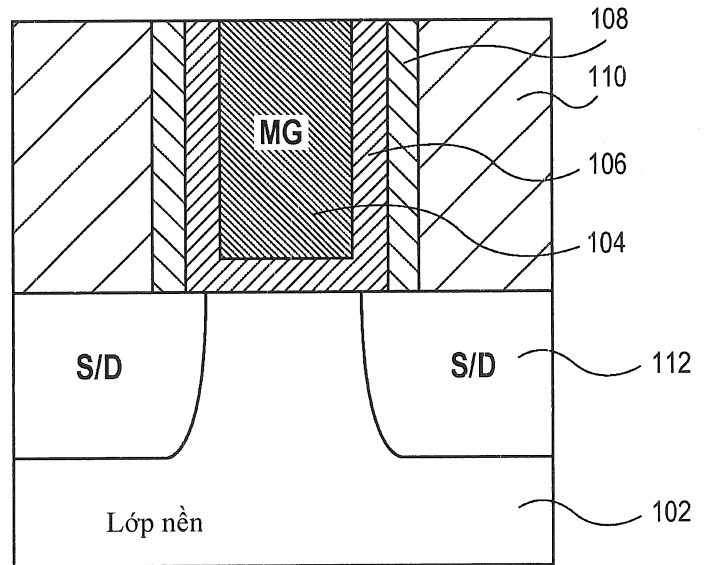


FIG. 1A

Cấu trúc hợp nhất polycide

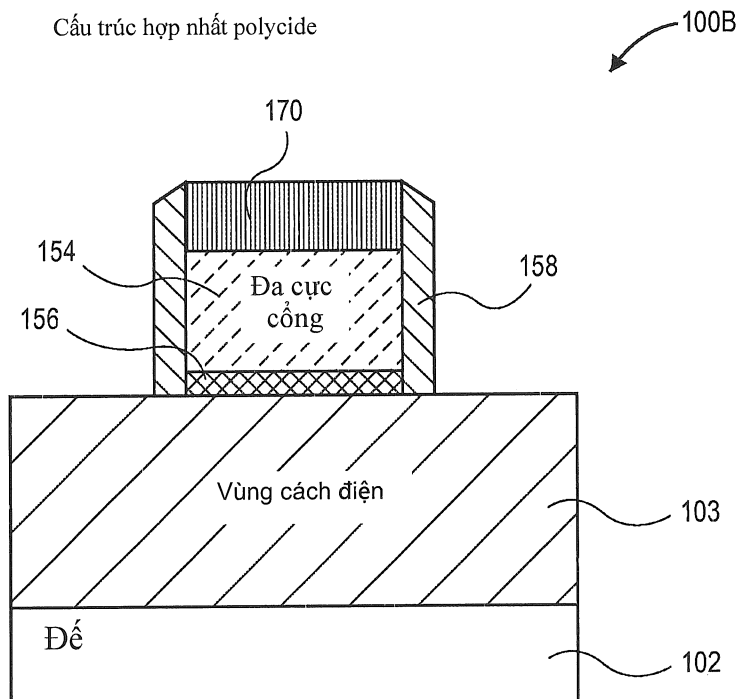


FIG. 1B

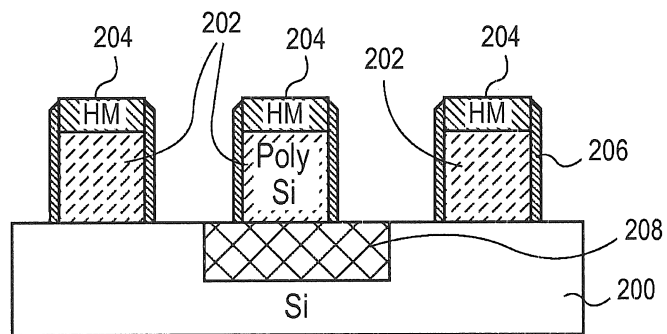


FIG. 2A

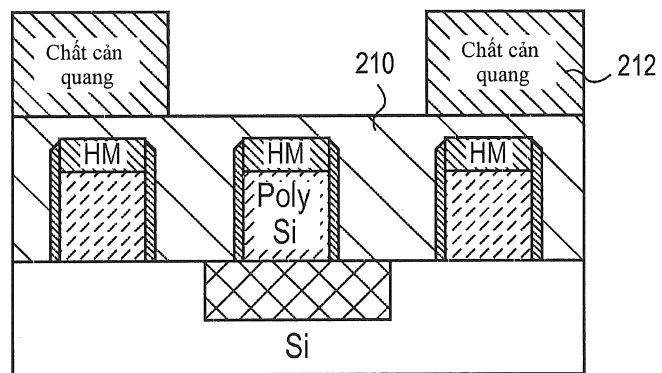


FIG. 2B

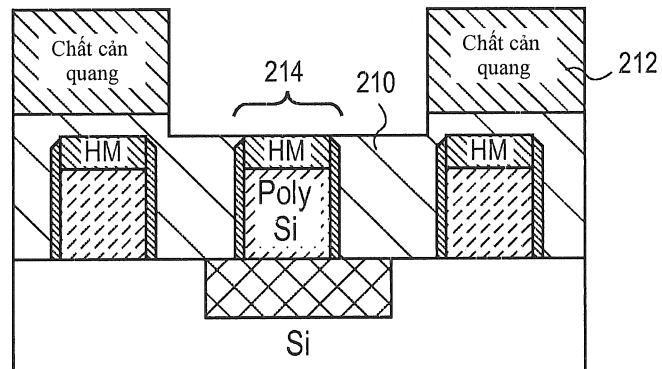


FIG. 2C

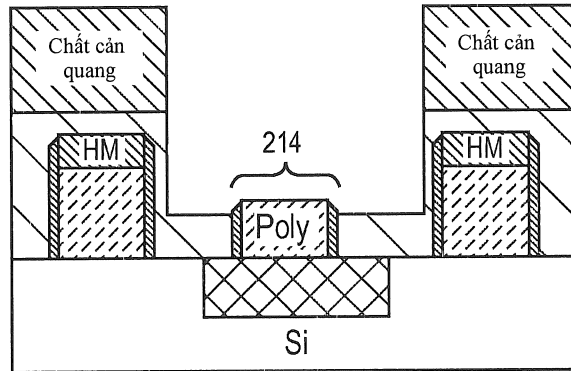


FIG. 2D

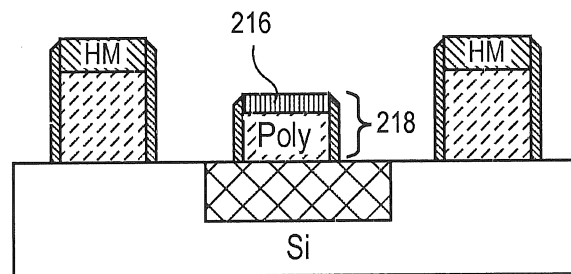


FIG. 2E

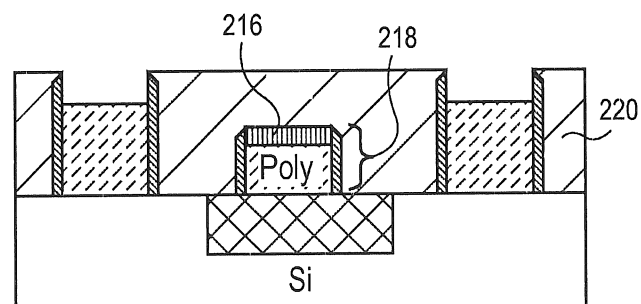


FIG. 2F

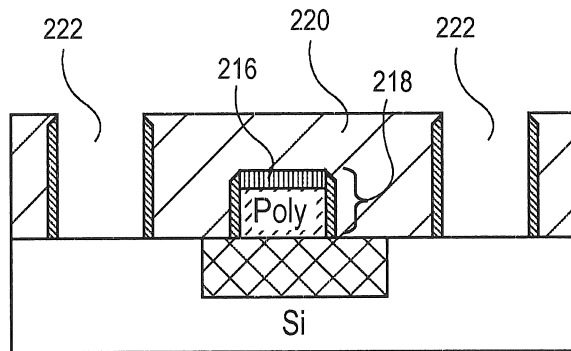


FIG. 2G

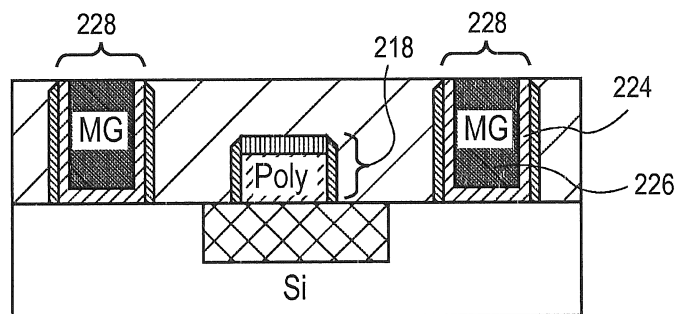


FIG. 2H

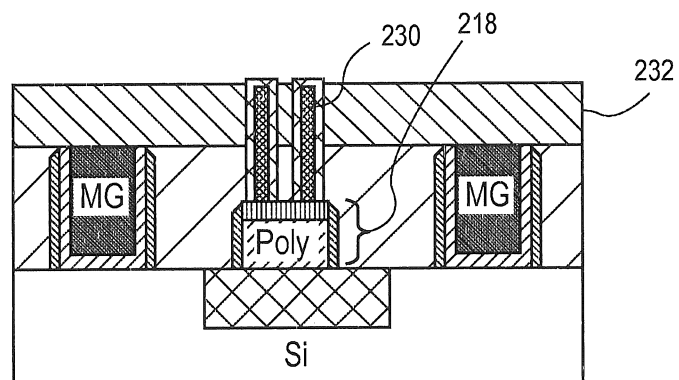
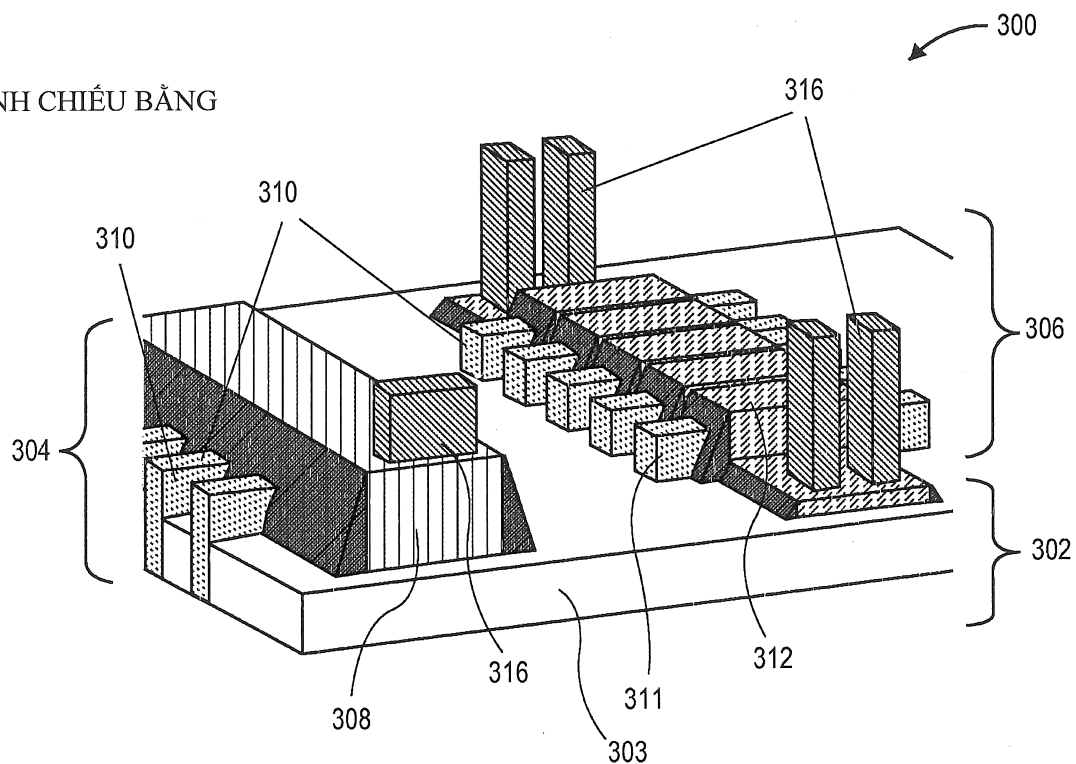


FIG. 2I

HÌNH CHIẾU BẰNG



HÌNH CHIỀU MẶT CẮT NGANG

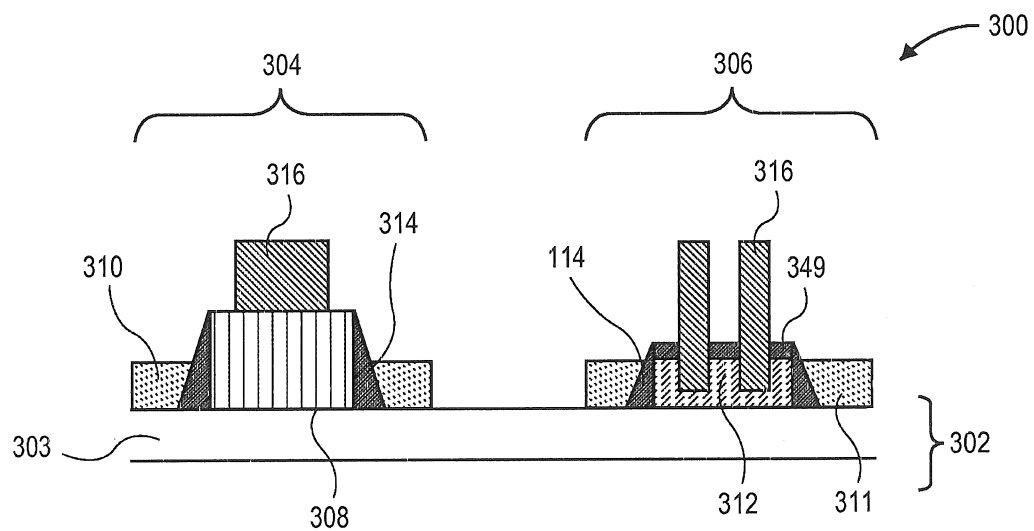
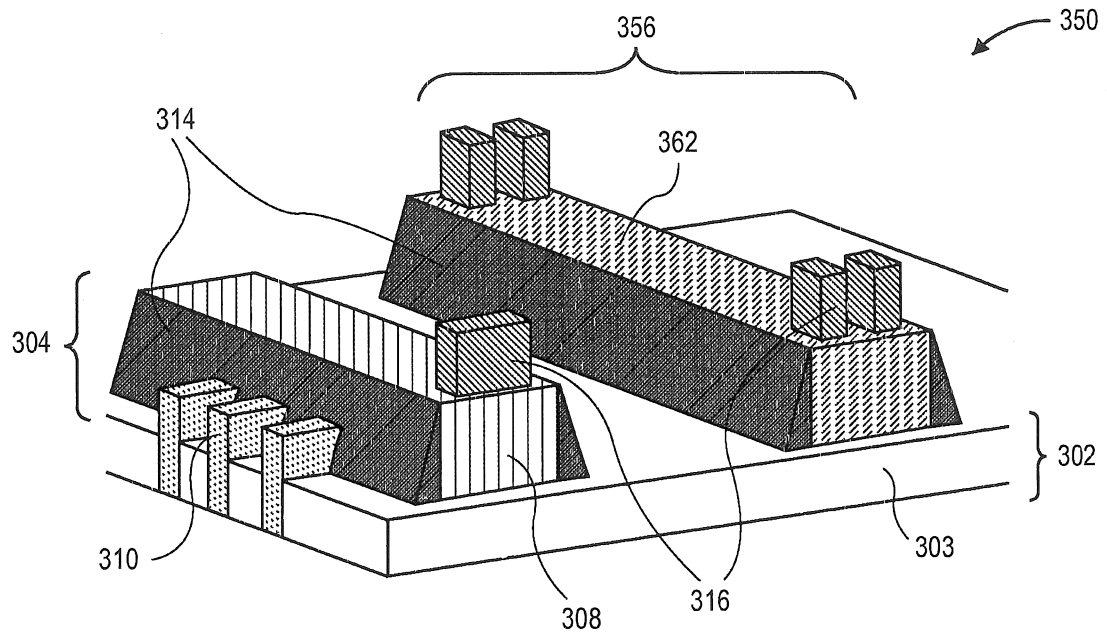
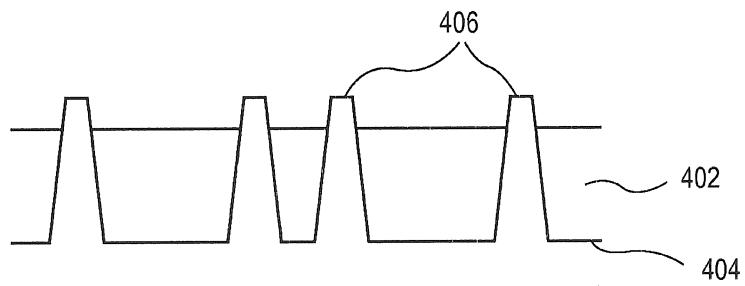
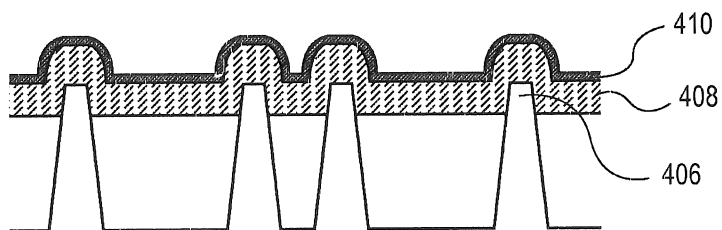


FIG. 3A

**FIG. 3B****FIG. 4A****FIG. 4B**

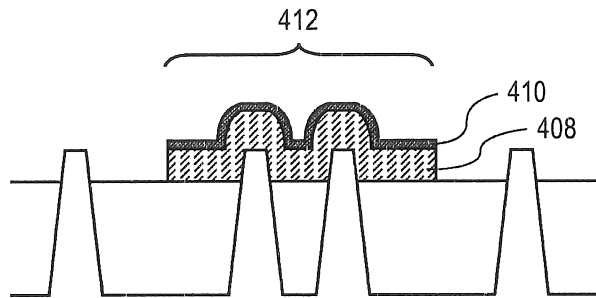


FIG. 4C

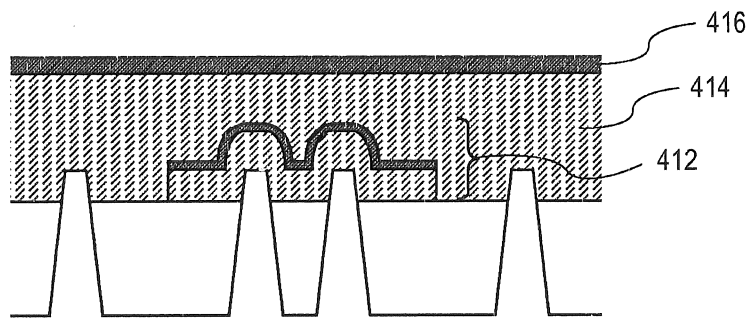


FIG. 4D

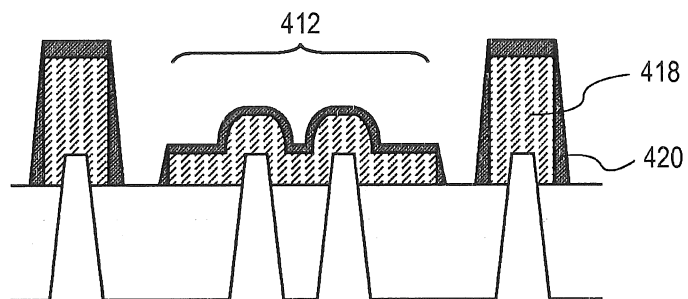


FIG. 4E

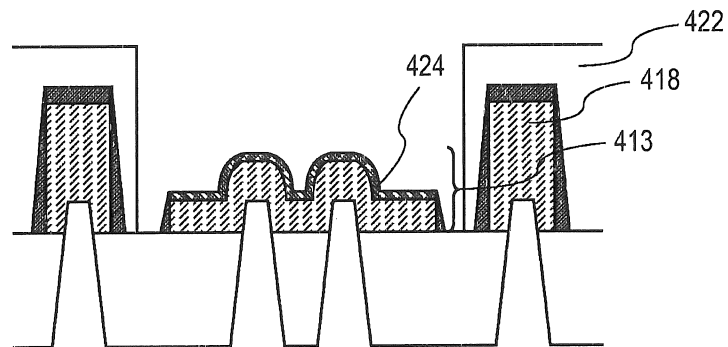


FIG. 4F

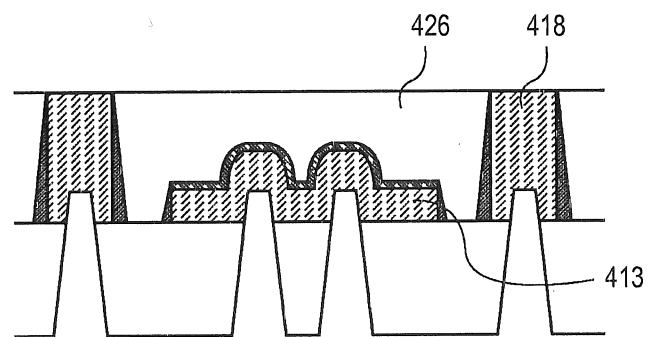


FIG. 4G

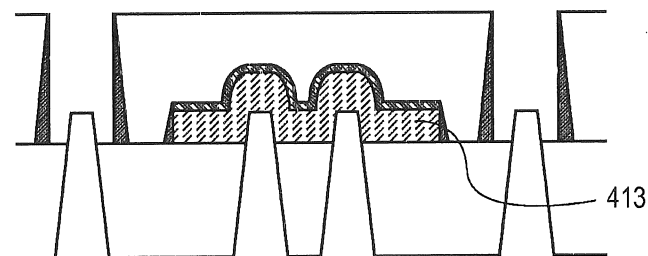


FIG. 4H

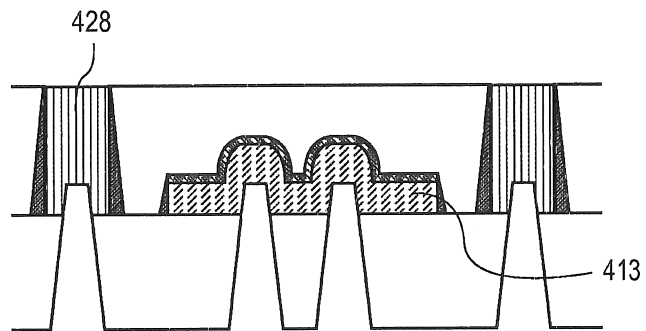


FIG. 4I

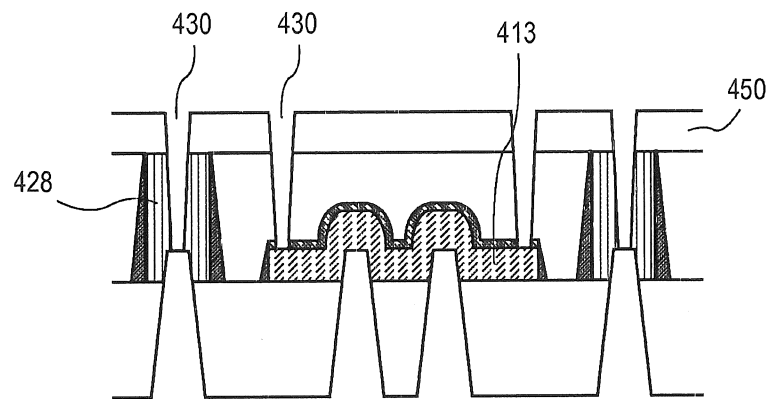


FIG. 4J

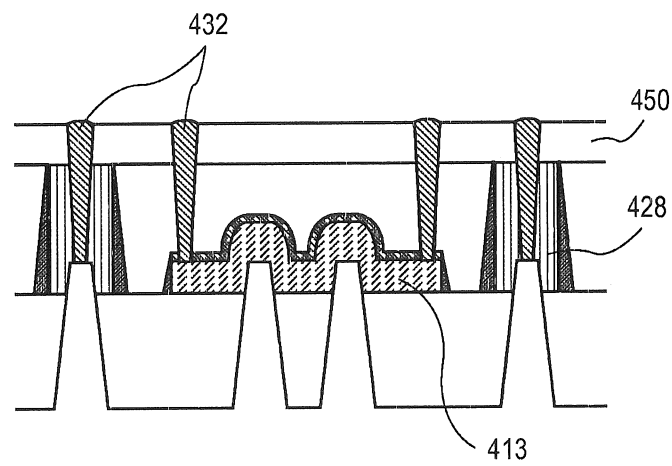


FIG. 4K

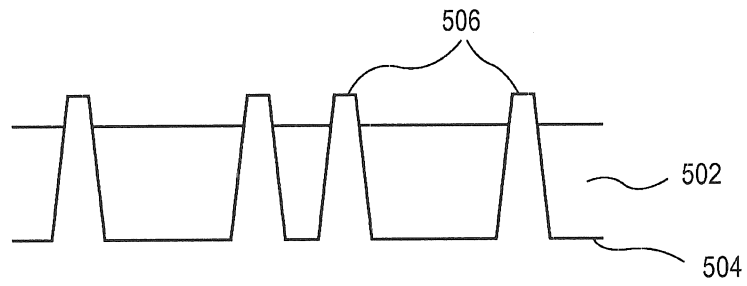


FIG. 5A

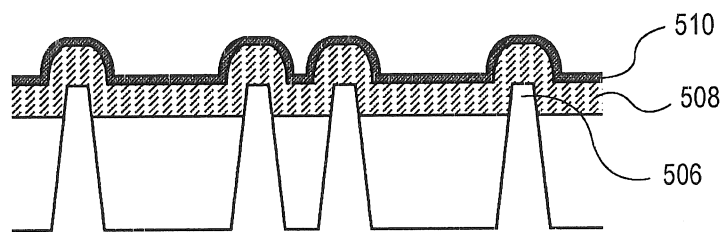


FIG. 5B

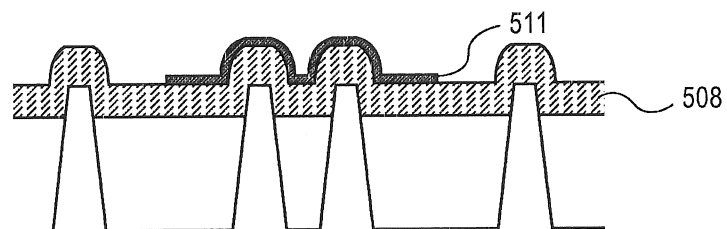


FIG. 5C

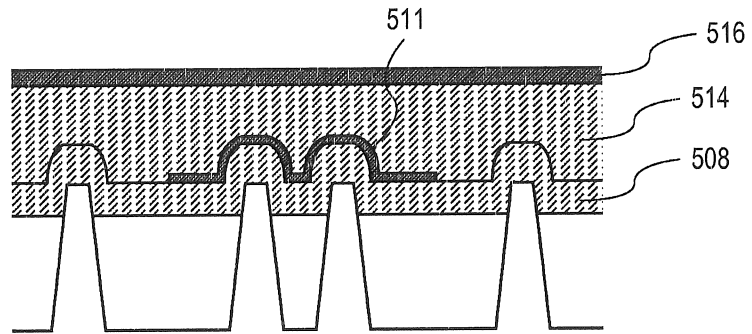


FIG. 5D

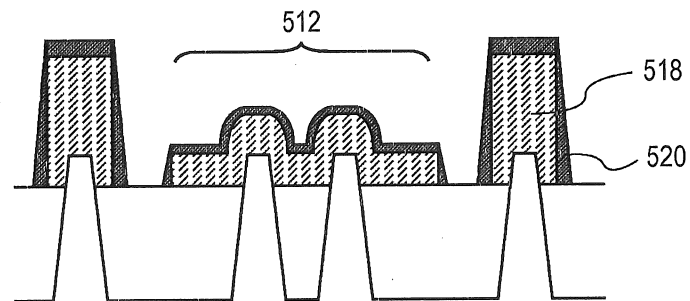


FIG. 5E

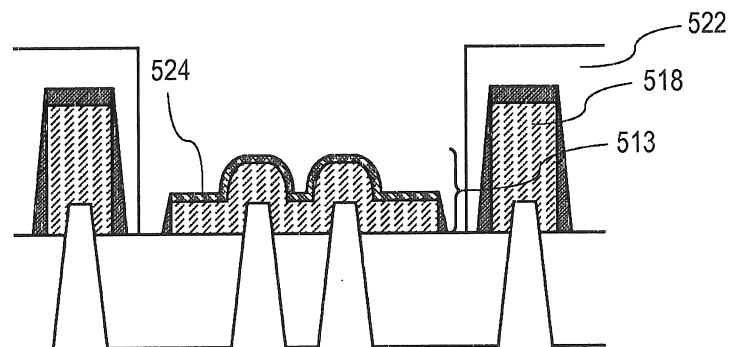


FIG. 5F

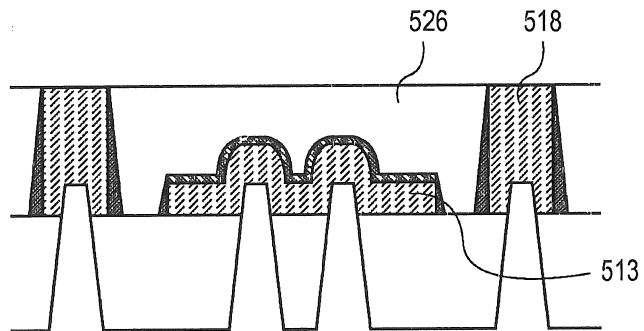


FIG. 5G

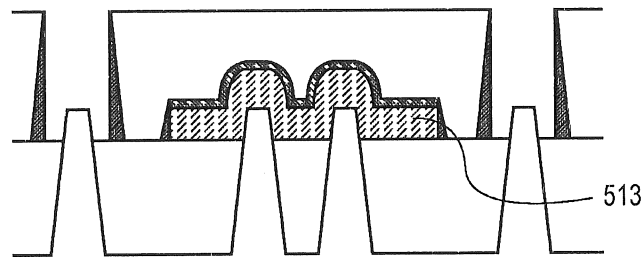


FIG. 5H

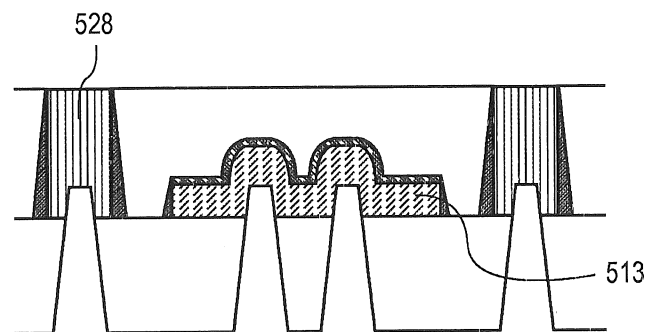


FIG. 5I

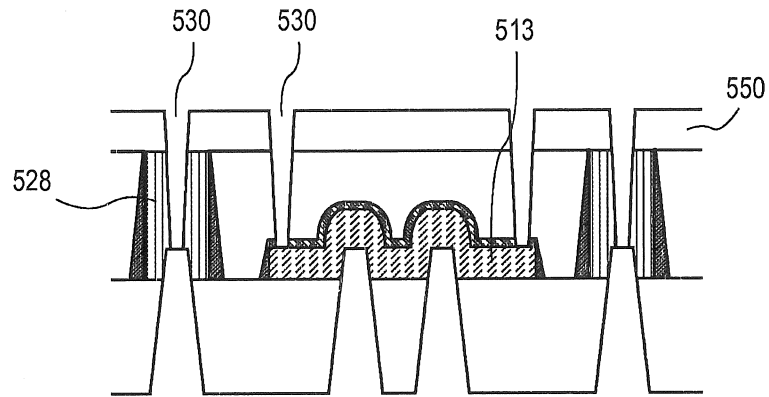


FIG. 5J

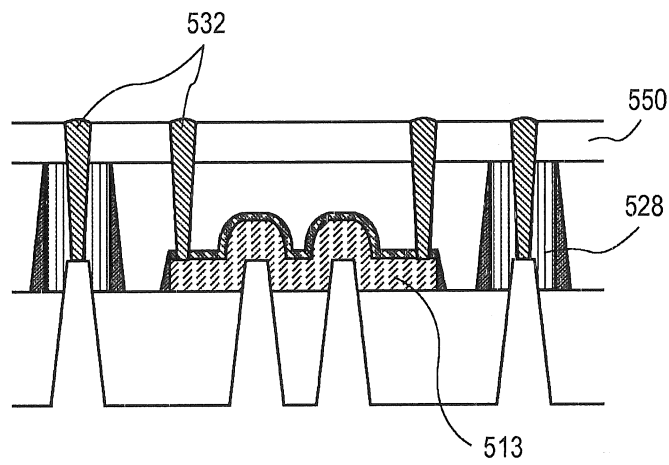


FIG. 5K

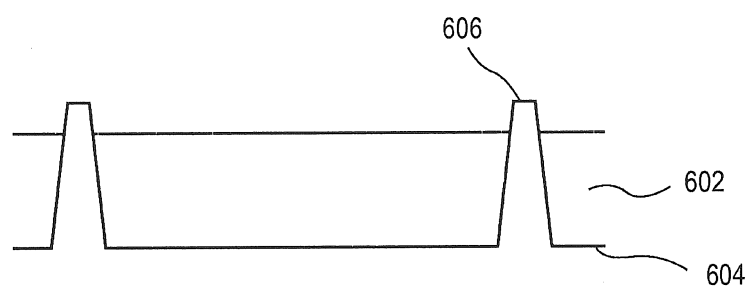


FIG. 6A

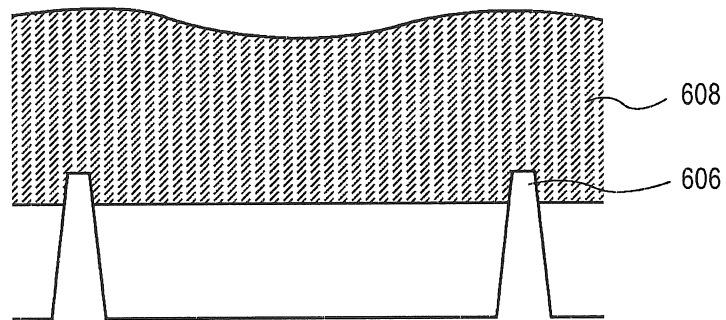


FIG. 6B

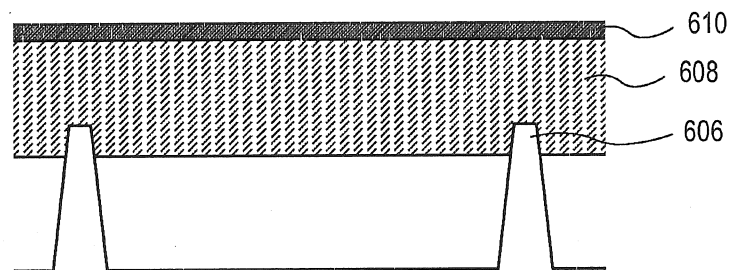


FIG. 6C

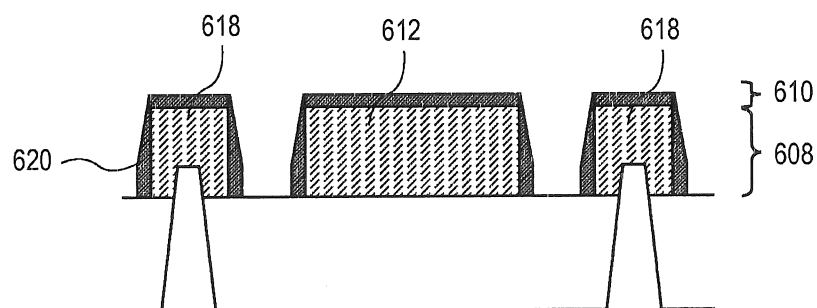


FIG. 6D

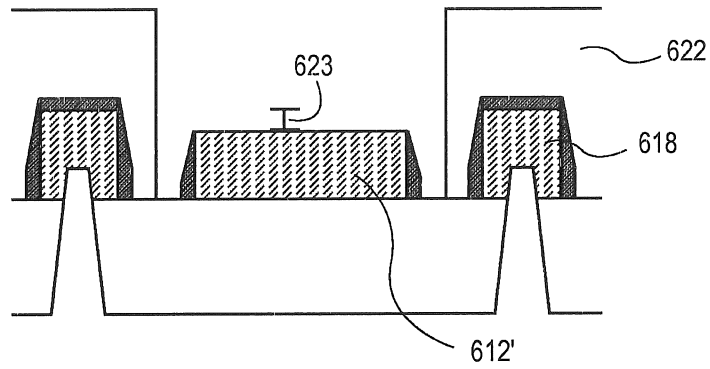


FIG. 6E

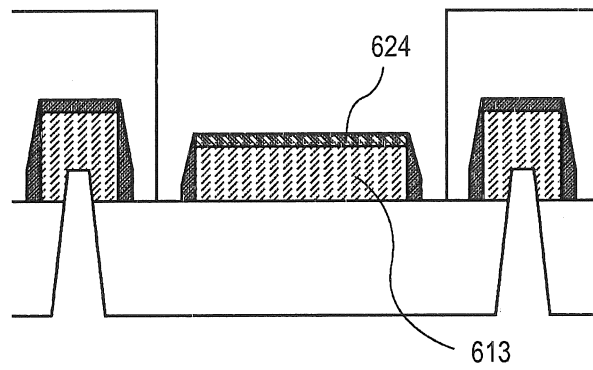


FIG. 6F

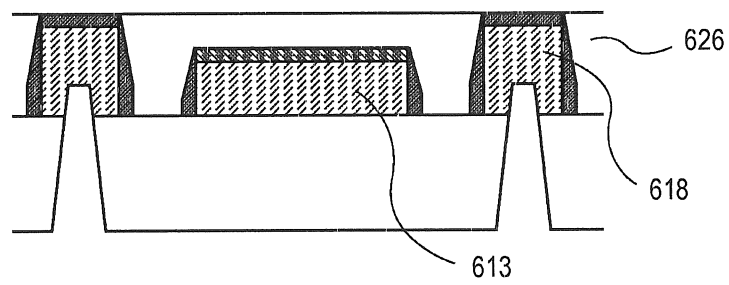


FIG. 6G

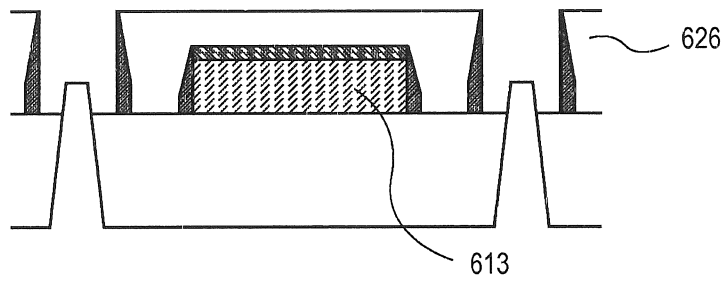


FIG. 6H

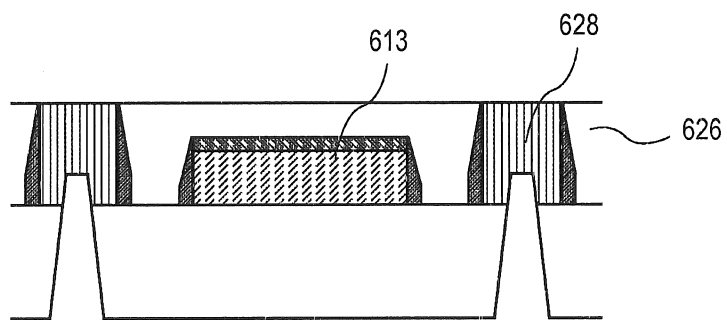


FIG. 6I

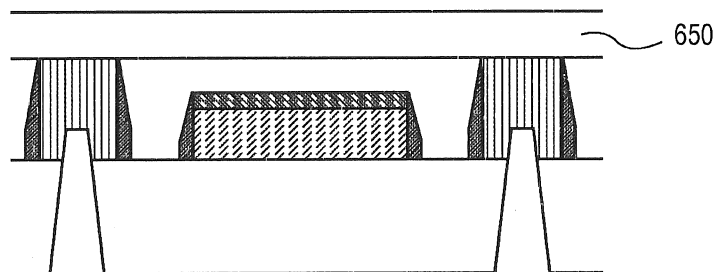


FIG. 6J

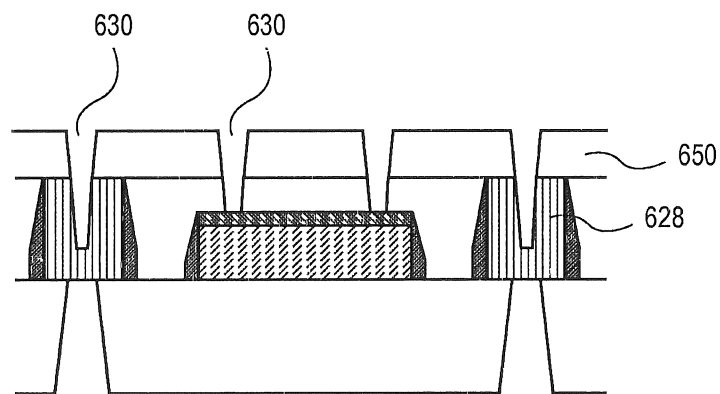


FIG. 6K

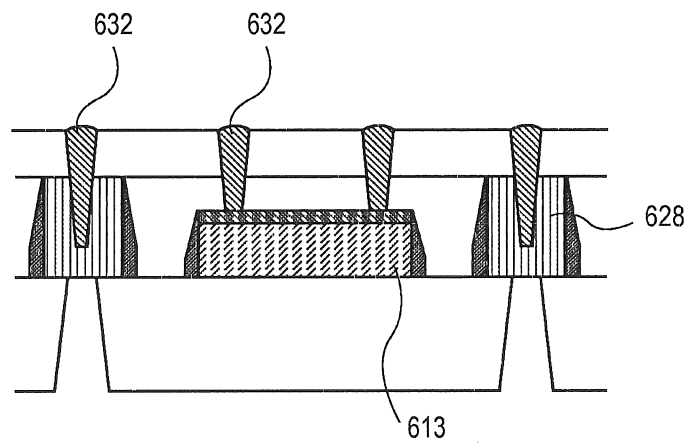
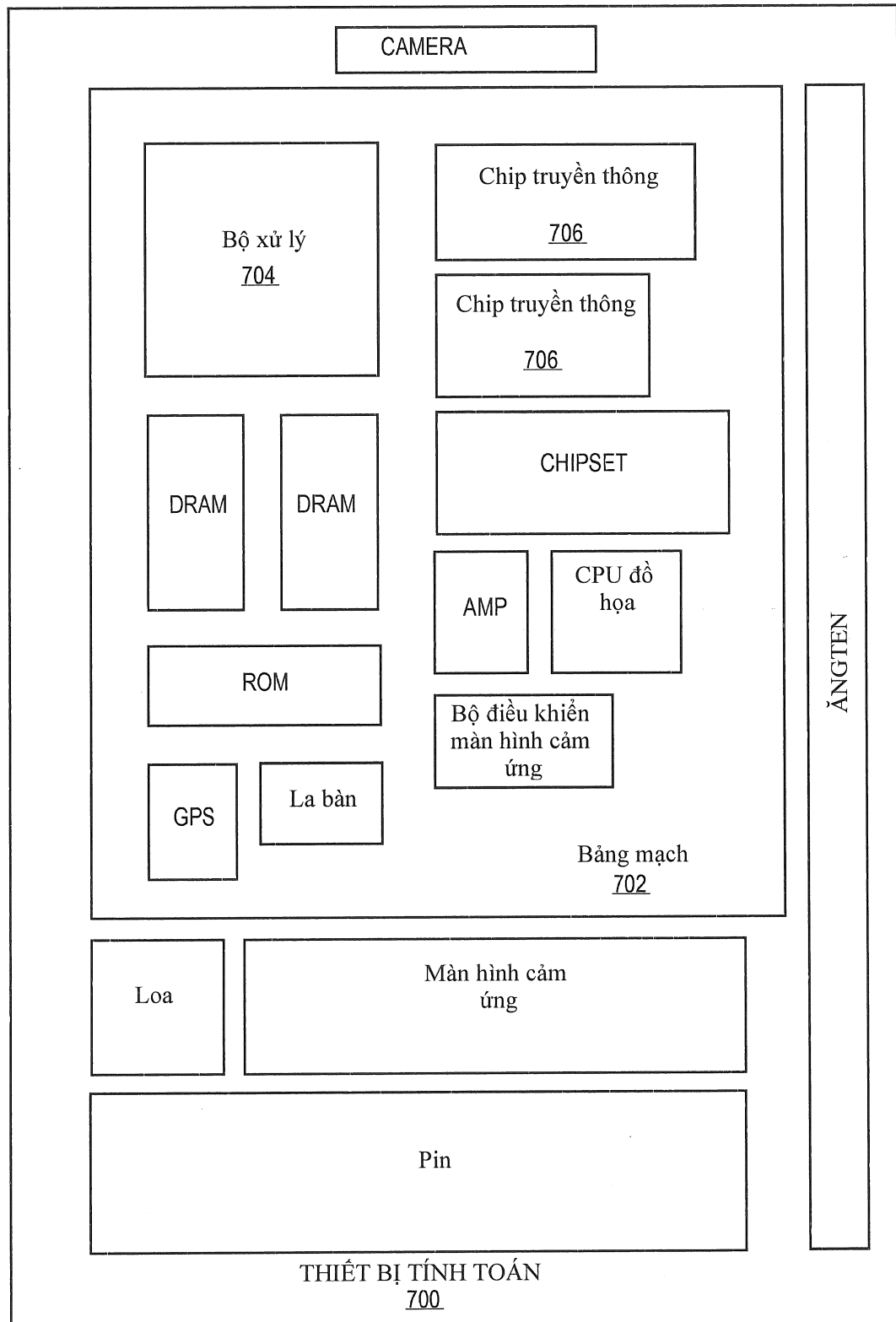


FIG. 6L

**FIG. 7**