



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN) (11) CỤC SỞ HỮU TRÍ TUỆ



1-0027819

(51)⁸ G01R 31/00; G01R 27/26; G06F 3/044; (13) B
G06F 3/041; G01R 27/02

(21) 1-2017-01908

(22) 07/08/2015

(86) PCT/JP2015/072558 07/08/2015

(87) WO2016/067709 06/05/2016

(30) 2014-220189 29/10/2014 JP

(45) 25/04/2021 397

(43) 25/08/2017 353A

(73) NIDEC-READ CORPORATION (JP)

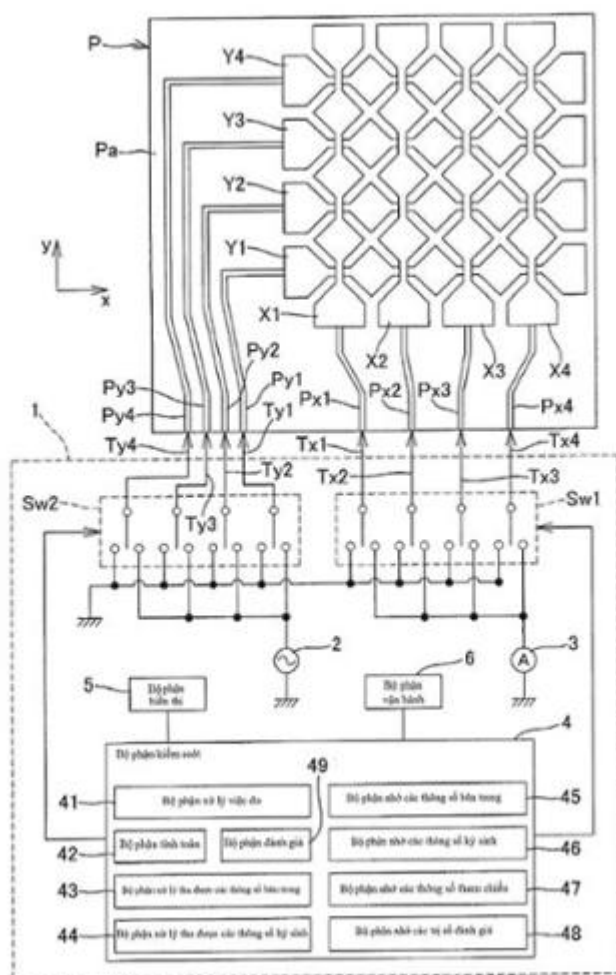
10, Tsutsumisoto-cho, Nishikyogoku, Ukyo-ku, Kyoto-shi, Kyoto 6150854 Japan

(72) TAKAHASHI Tadashi (JP); HIBARINO Toshihisa (JP); HONDA Mutsuhiro (JP).

(74) Công ty Luật TNHH T&G (TGVN)

(54) THIẾT BỊ KIỂM TRA BẢNG MẠCH VÀ PHƯƠNG PHÁP KIỂM TRA BẢNG MẠCH

(57) Mục đích của sáng chế: Muốn tạo ra thiết bị kiểm tra bảng mạch và phương pháp kiểm tra bảng mạch mà tạo điều kiện thuận tiện cho việc làm giảm số lượng các bước trong việc đo các trị số điện dung và điện trở. Biện pháp giải quyết đề xuất: bộ phận xử lý việc đo để thực hiện quá trình đo, tương ứng với nhiều tổ hợp thu được bằng cách kết hợp một cách lần lượt nhiều đầu cuối nối Tx và nhiều đầu cuối nối Ty, và liên quan đến các đầu cuối nối Tx, Ty tương ứng với mỗi tổ hợp trong số các tổ hợp, cấp điện áp AC SA đến các đầu cuối nối Ty thông qua nguồn dòng điện AC (2) và phát hiện dòng điện chạy trong các đầu cuối nối Tx thông qua ampe kế (3), để nhờ đó thu được các dòng điện tương ứng với mỗi tổ hợp trong số các tổ hợp; và bộ phận tính toán để thực hiện quá hình tính toán, dựa trên độ lớn của các dòng điện được phát hiện bởi ampe kế (3) trong quá trình đo và dựa trên thông tin chỉ báo các pha của các dòng điện, tính toán các trị số điện dung và điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến các thiết bị kiểm tra bảng mạch và các phương pháp kiểm tra bảng mạch để kiểm tra các bảng mạch.

Tình trạng kỹ thuật của sáng chế

Cùng với sự mở rộng nhanh chóng trong việc phổ biến của các thiết bị điện tử—trước hết là các điện thoại thông minh và các máy tính bảng—trong các năm gần đây, nhu cầu đối với các màn hình chạm mà phát hiện vị trí nơi mà ngón tay con người hoặc bút kim đã chạm vào màn hình đã và đang đặc biệt trong xu thế tăng lên. Màn hình chạm đã biết thuộc kiểu này là loại màng điện trở của màn hình chạm trong đó hai tấm màng điện trở được sắp xếp đối diện và được đặt ở bề mặt chạm, trong đó từ trị số điện trở khi người sử dụng đã chạm vào bề mặt chạm, vị trí chạm được phát hiện. Ví dụ đã biết của phương pháp kiểm tra kiểu loại màng điện trở của màn hình chạm này là tài liệu sáng chế 1.

Đồng thời, trong các năm gần đây, các màn hình chạm thuộc loại điện dung—trong đó các điện cực trong suốt được sắp xếp dưới dạng lưới được đặt trong bề mặt chạm, và dựa trên điện dung được tạo ra khi người sử dụng chạm vào màn hình bằng (các) ngón tay anh ta hoặc cô ta, vị trí chạm được phát hiện—đã dần dần sử dụng phổ biến. Với loại điện dung của màn hình chạm, hệ tọa độ hai chiều x - y được thiết lập ở mặt của màn hình, và nhiều điện cực trong suốt kéo dài theo hướng x và nhiều điện cực trong suốt kéo dài theo hướng y , tương ứng với hệ tọa độ x - y , được sắp xếp đối diện, được cách điện với nhau, trên vật nền trong suốt chẳng hạn như, ví dụ, thủy tinh.

Danh sách tài liệu viện dẫn

Tài liệu sáng chế

Tài liệu sáng chế 1: Công bố đơn sáng chế chưa được xét nghiệm Nhật Bản số 2005-274225

Bản chất kỹ thuật của sáng chế

Các vấn đề sáng chế cần phải giải quyết

Về vấn đề này, khi màn hình chạm thuộc loại điện dung như được mô tả ở trên được kiểm tra, nó cần phải đo điện dung được tạo ra giữa các điện cực trong suốt kéo dài theo hướng x và các điện cực trong suốt kéo dài theo hướng y , và điện trở của các điện cực trong suốt này. Đối với việc đo điện dung, thiết bị để đo điện dung được sử dụng, và đối với việc đo điện trở, bộ kiểm tra hoặc thiết bị tương tự để đo điện trở được sử dụng. Do đó, thao tác để đo điện dung và thao tác để đo điện trở đã được yêu cầu, mà có nghĩa là sự bất tiện về số lượng bước kiểm tra tăng lên.

Mục đích của sáng chế là để khiến cho có thể tạo ra thiết bị kiểm tra bằng mạch và phương pháp kiểm tra bằng mạch nhờ đó trong việc kiểm tra bằng mạch, chẳng hạn ví dụ như, các màn hình chạm, trong đó nhiều điện cực thứ nhất kéo dài dọc theo hướng định trước thứ nhất và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, việc làm giảm số lượng bước trong việc đo các trị số điện dung và điện trở được tạo điều kiện thuận tiện.

Giải pháp cho vấn đề

Thiết bị kiểm tra bằng mạch được nêu ra trong sáng chế, hiện là thiết bị kiểm tra bằng mạch để kiểm tra bằng mạch trong đó nhiều điện cực thứ nhất kéo dài dọc theo hướng thứ nhất định trước, và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, được trang bị: bộ phận xuất điện áp AC để đưa ra điện áp AC định trước; bộ phận phát hiện dòng điện để phát hiện dòng điện; nhiều đầu cuối nối thứ nhất có thể nối điện được một cách lần lượt với nhiều điện cực thứ nhất; nhiều đầu cuối nối thứ hai có thể nối điện được một cách lần lượt với nhiều điện cực thứ hai; bộ phận xử lý việc đo để thực hiện quy trình đo, tương ứng với nhiều tổ hợp thu được bằng cách kết hợp một cách lần lượt nhiều đầu cuối nối thứ nhất và nhiều đầu cuối nối thứ hai, và liên quan đến các đầu cuối nối thứ nhất và thứ hai tương ứng với mỗi tổ hợp trong số tổ hợp, cung cấp điện áp AC cho các đầu cuối nối thứ hai thông qua bộ phận xuất điện áp AC và phát hiện dòng điện chạy trong các đầu cuối nối thứ nhất thông qua bộ phận phát hiện dòng điện, để do đó thu được các dòng điện tương ứng với mỗi tổ hợp trong số các tổ hợp; và bộ phận tính toán để thực hiện quy trình tính toán, dựa trên độ lớn của các dòng điện được phát hiện bởi bộ

phân phát hiện dòng điện trong quy trình đo và dựa trên thông tin chỉ báo các pha của các dòng điện, tính toán các trị số điện dung và điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp.

Thiết bị kiểm tra bảng mạch được nêu ra trong sáng chế, hiện là thiết bị kiểm tra bảng mạch để kiểm tra bảng mạch trong đó nhiều điện cực thứ nhất kéo dài dọc theo hướng thứ nhất định trước, và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, được trang bị: bộ phận xuất điện áp AC để đưa ra điện áp AC định trước; bộ phận phát hiện dòng điện để phát hiện dòng điện; nhiều đầu cuối nối thứ nhất có thể nối điện được một cách lần lượt với nhiều điện cực thứ nhất; nhiều đầu cuối nối thứ hai có thể nối điện được một cách lần lượt với nhiều điện cực thứ hai; bộ phận xử lý việc đo để thực hiện quy trình đo, tương ứng với nhiều tổ hợp thu được bằng cách kết hợp một cách lần lượt nhiều đầu cuối nối thứ nhất và nhiều đầu cuối nối thứ hai, và liên quan đến các đầu cuối nối thứ nhất và thứ hai tương ứng với mỗi tổ hợp trong số tổ hợp, cung cấp điện áp AC cho các đầu cuối nối thứ hai thông qua bộ phận xuất điện áp AC và phát hiện dòng điện chạy trong các đầu cuối nối thứ nhất thông qua bộ phận phát hiện dòng điện, để do đó thu được các dòng điện tương ứng với mỗi tổ hợp trong số các tổ hợp; và bộ phận tính toán để thực hiện quy trình tính toán, dựa trên độ lớn của các dòng điện được phát hiện bởi bộ phận phát hiện dòng điện trong quy trình đo và dựa trên thông tin chỉ báo các pha của các dòng điện, tính toán các trị số điện dung và điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp.

Theo các kết cấu này, trong việc kiểm tra bảng mạch trong đó nhiều điện cực thứ nhất kéo dài dọc theo hướng thứ nhất định trước, và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, tương ứng với nhiều tổ hợp thu được bằng cách kết hợp một cách lần lượt nhiều đầu cuối nối thứ nhất và nhiều đầu cuối nối thứ hai, nghĩa là, mỗi tổ hợp của nhiều điện cực thứ nhất và nhiều điện cực thứ hai, bằng cách cung cấp điện áp AC cho các đầu cuối nối thứ hai và phát hiện dòng điện chạy trong các đầu cuối nối thứ nhất, các trị số điện dung và điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp được tính toán, dựa trên kích thước của dòng điện được phát hiện và thông tin chỉ báo các pha của các dòng điện này. Kết quả là, thao tác để đo điện dung và thao tác để đo điện trở không cần

phải được thực hiện một cách tách biệt. Do đó, trong việc kiểm tra bảng mạch trong đó nhiều điện cực thứ nhất kéo dài dọc theo hướng định trước thứ nhất, và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, việc làm giảm các bước xử lý để đo các trị số điện dung và điện trở được tạo điều kiện thuận tiện.

Hơn nữa, tốt hơn là bảng mạch bao gồm nhiều đầu cuối bảng mạch thứ nhất, mỗi đầu cuối nối điện với nhiều điện cực thứ nhất, và nhiều đầu cuối bảng mạch thứ hai, mỗi đầu cuối nối điện với nhiều điện cực thứ hai, trong đó nhiều đầu cuối nối thứ nhất được nối một cách lần lượt với nhiều đầu cuối bảng mạch thứ nhất, và được nối điện một cách lần lượt với nhiều điện cực thứ nhất qua nhiều đầu cuối bảng mạch thứ nhất, và nhiều đầu cuối nối thứ hai được nối một cách lần lượt với nhiều đầu cuối bảng mạch thứ hai, và được nối điện một cách lần lượt với nhiều điện cực thứ hai qua nhiều đầu cuối bảng mạch thứ hai.

Theo kết cấu này, vì các đầu cuối nối thứ nhất và thứ hai được nối vào các đầu cuối bảng mạch thứ nhất và thứ hai, mà không có việc nối các đầu cuối nối thứ nhất và thứ hai một cách trực tiếp với các điện cực thứ nhất và thứ hai, khiến cho có thể kiểm tra các điện cực thứ nhất và thứ hai qua các đầu cuối bảng mạch thứ nhất và thứ hai, nguy cơ phá hủy cho các điện cực thứ nhất và thứ hai, chẳng hạn như chúng bị xước, việc nảy sinh này được giảm đi trong khi việc thực hiện việc kiểm tra bảng mạch được tạo điều kiện thuận tiện.

Hơn nữa, tốt hơn là bảng mạch là màn hình chạm được bố trí trước trong đó tín hiệu AC, ở tần số đọc định trước để đọc điện dung ở các vị trí nơi mà mỗi điện cực trong số các điện cực thứ nhất và mỗi điện cực trong số các điện cực thứ hai giao nhau, được cấp cho mỗi điện cực trong số các điện cực thứ nhất và thứ hai, trong đó tần số của điện áp AC gần như bằng tần số đọc.

Theo kết cấu này, vì việc kiểm tra màn hình chạm được thực hiện bằng cách áp dụng điện áp AC có tần số gần như bằng tần số đọc được áp dụng khi màn hình chạm được sử dụng, màn hình chạm này có thể được kiểm tra dưới các điều kiện gần các điều kiện áp dụng thực tế.

Ngoài ra, tốt hơn là bộ phận nhớ các thông số bên trong lưu trữ, dưới dạng các trị số điện dung bên trong và điện trở bên trong, các trị số điện dung và điện trở này

sinh trong phần trong thiết bị kiểm tra bảng mạch tương ứng với mỗi tổ hợp trong số các tổ hợp cũng được tạo ra, trong đó bộ phận tính toán còn thực hiện quy trình hiệu chỉnh các thông số bên trong nhằm hiệu chỉnh các trị số điện dung và điện trở tương ứng cho mỗi tổ hợp trong số các tổ hợp, dựa trên các trị số điện dung bên trong và điện trở bên trong được lưu trữ trong bộ phận nhớ các thông số bên trong tương ứng với mỗi tổ hợp trong số các tổ hợp.

Theo kết cấu này, qua việc các trị số điện dung và điện trở được đo và được tính toán tương ứng với các tổ hợp của các điện cực thứ nhất và thứ hai, sự ảnh hưởng trên các trị số điện dung và điện trở nảy sinh bên trong ở thiết bị kiểm tra bảng mạch có thể được làm giảm, do đó khiến cho có thể cải thiện độ chính xác mà với nó các trị số điện dung và điện trở cho các vị trí đích kiểm tra thu được.

Ngoài ra, tốt hơn là cũng đề xuất bộ phận xử lý việc thu được các thông số bên trong để lưu trữ các trị số điện dung và điện trở, thu được tương ứng với mỗi tổ hợp trong số các tổ hợp bằng cách thực hiện quy trình đo và quy trình tính toán thông qua bộ phận xử lý việc đo và bộ phận tính toán ở trạng thái trong đó nhiều điện cực thứ nhất và thứ hai không được nối với nhiều đầu cuối nối thứ nhất và thứ hai, trong bộ phận nhớ các thông số bên trong như các trị số điện dung bên trong và điện trở bên trong tương ứng với mỗi tổ hợp trong số các tổ hợp.

Theo kết cấu này, các trị số điện dung và điện trở nảy sinh bên trong thiết bị kiểm tra bảng mạch có thể được đo và được tính toán, và được lưu trữ trong bộ phận nhớ các thông số bên trong dưới dạng các trị số điện dung bên trong và điện trở bên trong.

Ngoài ra, tốt hơn là bộ phận nhớ điện dung tập tán lưu trữ các điện dung tập tán, được tạo ra trong bảng mạch, tương ứng với mỗi tổ hợp trong số các tổ hợp được tạo ra, trong đó bộ phận tính toán thực hiện quy trình hiệu chỉnh điện dung tập tán nhằm hiệu chỉnh các điện dung tương ứng với mỗi tổ hợp trong số các tổ hợp, dựa trên các điện dung tập tán được lưu trữ trong bộ phận nhớ điện dung tập tán tương ứng với mỗi tổ hợp trong số các tổ hợp.

Theo kết cấu này, vì sự ảnh hưởng của các điện dung tập tán được tạo ra trong bảng mạch có thể được làm giảm qua việc các điện dung được đo và được tính toán

tương ứng với tổ hợp của các điện cực thứ nhất và thứ hai, độ chính xác mà các điện dung ở các vị trí đích kiểm tra thu được có thể được cải thiện.

Ngoài ra, tốt hơn là còn tạo ra: bộ phận nhớ điện dung chuẩn lưu trữ các điện dung chuẩn tương ứng với mỗi tổ hợp trong số các tổ hợp, dùng cho bảng mạch chuẩn nhờ đó các điện dung chuẩn, là các điện dung được tạo ra bên trong bảng mạch tương ứng với mỗi tổ hợp trong số các tổ hợp, đã được tìm ra từ trước; và bộ phận xử lý việc thu được điện dung tạp tán đối với, ở trạng thái trong đó liên quan đến bảng mạch chuẩn nhiều đầu cuối nối thứ nhất và thứ hai được nối, và dựa trên các điện dung thu được tương ứng với mỗi tổ hợp trong số các tổ hợp bằng cách thực hiện quy trình đo và quy trình tính toán thông qua bộ phận xử lý việc đo và bộ phận tính toán, và dựa trên các điện dung chuẩn được lưu trữ tương ứng với mỗi tổ hợp trong số các tổ hợp thông qua bộ phận nhớ điện dung chuẩn, tính toán, và lưu trữ trong bộ phận nhớ điện dung tạp tán, các điện dung tạp tán tương ứng với mỗi tổ hợp trong số các tổ hợp.

Theo kết cấu này, các điện dung tạp tán được tạo ra trong bảng mạch tương ứng với mỗi tổ hợp trong số các tổ hợp có thể được đo, được tính toán và được lưu trữ trong bộ phận nhớ điện dung tạp tán.

Ngoài ra, tốt hơn là còn tạo ra bộ phận hiển thị để hiển thị ảnh trong đó các trị số điện trở, được tính toán thông qua quy trình tính toán, tương ứng với mỗi tổ hợp trong số các tổ hợp được thể hiện bởi đồ thị ba chiều.

Theo kết cấu này, vì các tổ hợp mỗi tổ hợp tương ứng với các tổ hợp của nhiều điện cực thứ nhất và nhiều điện cực thứ hai—nghĩa là, tương ứng với các vị trí tọa độ trên bảng mạch—thể hiện các trị số điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp với đồ thị ba chiều có thể khiến người sử dụng kiểm tra bằng mắt thường các trị số điện trở tương ứng với các vị trí trên bảng mạch.

Ngoài ra, tốt hơn là còn tạo ra bộ phận hiển thị để hiển thị ảnh trong đó các trị số điện dung, được tính toán thông qua quy trình tính toán, tương ứng với mỗi tổ hợp trong số các tổ hợp được thể hiện bởi đồ thị ba chiều.

Theo kết cấu này, vì các tổ hợp mỗi tổ hợp tương ứng với các tổ hợp của nhiều điện cực thứ nhất và nhiều điện cực thứ hai—nghĩa là, tương ứng với các vị trí tọa độ trên bảng mạch—thể hiện các trị số điện dung tương ứng để mỗi tổ hợp trong số các tổ hợp

hợp với đồ thị ba chiều có thể khiến người sử dụng kiểm tra bằng mắt thường các điện dung tương ứng với các vị trí trên bảng mạch.

Ngoài ra, tốt hơn là còn tạo ra bộ phận hiển thị để hiển thị ảnh trong đó các độ lệch, được tính toán thông qua bộ phận đánh giá, tương ứng với mỗi tổ hợp trong số các tổ hợp được thể hiện bởi đồ thị ba chiều.

Theo kết cấu này, vì các tổ hợp mỗi tổ hợp tương ứng với các tổ hợp của nhiều điện cực thứ nhất và nhiều điện cực thứ hai—nghĩa là, tương ứng với các vị trí tọa độ trên bảng mạch—thể hiện với đồ thị ba chiều các độ lệch, tương ứng với mỗi tổ hợp trong số các tổ hợp, giữa các trị số được tính toán đối với các trị số điện trở và các trị số đánh giá có thể khiến người sử dụng kiểm tra bằng mắt thường các sự khác nhau về các trị số điện trở tương ứng với các vị trí trên bảng mạch.

Ngoài ra, tốt hơn là còn tạo ra: bộ phận nhớ trị số đánh giá lưu trữ trước các trị số đánh giá tạo nên các chuẩn để đánh giá chất lượng của các trị số điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp; và bộ phận đánh giá để tính toán các độ lệch, một cách lần lượt tương ứng với mỗi tổ hợp trong số các tổ hợp, giữa các trị số điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp, thu được thông qua bộ phận tính toán, và các trị số đánh giá được lưu trữ trong bộ phận nhớ trị số đánh giá tương ứng với mỗi tổ hợp trong số các tổ hợp, và nếu các độ lệch tương ứng với mỗi tổ hợp trong số các tổ hợp vượt quá các trị số đánh giá độ chênh định trước, đánh giá các vị trí tọa độ được thể hiện bởi các điện cực thứ nhất và thứ hai tương ứng với các tổ hợp trong đó các trị số đánh giá sự khác biệt bị vượt quá cần phải là các vị trí có khiếm khuyết trên bảng mạch.

Theo kết cấu này, chất lượng liên quan đến mỗi trị số điện trở được đo và được tính toán tương ứng với các tổ hợp các điện cực thứ nhất và thứ hai có thể được đánh giá, và ở cùng thời điểm, các vị trí có khiếm khuyết tại đó có thể cũng được đánh giá.

Các hiệu quả thuận lợi của sáng chế

Thiết bị kiểm tra bảng mạch, và phương pháp kiểm tra bảng mạch, thuộc kiểu kết cấu này, trong việc kiểm tra bảng mạch trong đó nhiều điện cực thứ nhất kéo dài dọc theo hướng thứ nhất định trước, và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, việc làm giảm các bước xử lý để đo các trị số điện dung và điện trở được tạo điều kiện thuận tiện.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ khối dưới dạng giản đồ thể hiện một ví dụ của kết cấu của thiết bị kiểm tra bảng mạch bao gồm một phương án thực hiện sáng chế.

Fig.2 là sơ đồ dưới dạng giản đồ tóm tắt và thể hiện dưới dạng giản đồ thiết bị kiểm tra bảng mạch được minh họa trên Fig.1.

Fig.3 là mạch tương đương thể hiện một cách tương đương mạch đo khi thực hiện quy trình đo trong trường hợp ở đó các đầu cuối nối T_{xm}, T_{yn} đã được lựa chọn trong quy trình đo bởi bộ phận xử lý việc đo được thể hiện trên Fig.1.

Fig.4 là đồ thị dạng sóng minh họa mối liên hệ giữa điện áp dạng sóng tín hiệu AC và dòng điện dạng sóng được phát hiện bởi ampe kế.

Fig.5 là sơ đồ giải thích để giải thích phương pháp tính toán các trị số điện trở và các điện dung từ trở kháng được đo và độ lệch pha.

Fig.6 là lưu đồ thể hiện phương pháp kiểm tra bảng mạch bao gồm một phương án thực hiện sáng chế.

Fig.7 là lưu đồ thể hiện phương pháp kiểm tra bảng mạch bao gồm một phương án thực hiện sáng chế.

Fig.8 là lưu đồ thể hiện phương pháp kiểm tra bảng mạch bao gồm một phương án thực hiện sáng chế.

Fig.9 là lưu đồ thể hiện phương pháp kiểm tra bảng mạch bao gồm một phương án thực hiện sáng chế.

Fig.10 là đồ thị giải thích để giải thích một ví dụ của mối liên hệ giữa các điện dung được đo tương ứng với mỗi vị trí trong số các vị trí tọa độ trên bảng mạch màn hình chạm, và tần số của tín hiệu AC sử dụng trong việc đo.

Fig.11 là đồ thị giải thích để giải thích một ví dụ của mối liên hệ giữa các điện dung được đo tương ứng với mỗi vị trí trong số các vị trí tọa độ trên bảng mạch màn hình chạm, và tần số của tín hiệu AC sử dụng trong việc đo.

Fig.12 là đồ thị giải thích để giải thích một ví dụ của mối liên hệ giữa các điện dung được đo tương ứng với mỗi vị trí trong số các vị trí tọa độ trên bảng mạch màn hình chạm, và tần số của tín hiệu AC sử dụng trong việc đo.

Fig.13 là đồ thị giải thích để minh họa các kết quả hiệu chỉnh các điện dung

được đo được thể hiện trên Fig.12.

Fig.14 là đồ thị thể hiện các trị số lý thuyết của các điện trở tương ứng với mỗi vị trí trong số các vị trí tọa độ trên bảng mạch màn hình chạm.

Fig.15 là đồ thị thể hiện mối liên hệ giữa các điện trở được đo tương ứng với mỗi vị trí trong số các vị trí tọa độ trên bảng mạch màn hình chạm, và tần số đo.

Fig.16 là đồ thị thể hiện mối liên hệ giữa các điện trở được đo tương ứng với mỗi vị trí trong số các vị trí tọa độ trên bảng mạch màn hình chạm, và tần số đo.

Fig.17 là đồ thị giải thích để giải thích tình huống trong đó khiếm khuyết xảy ra ở điện cực trên bảng mạch màn hình chạm.

Fig.18 là đồ thị thể hiện các điện trở được đo tương ứng với mỗi vị trí tọa độ liên quan đến bảng mạch màn hình chạm được minh họa trên Fig.17.

Fig.19 là đồ thị giải thích minh họa ví dụ biến đổi của thiết bị kiểm tra bảng mạch được thể hiện trên Fig.1.

Fig.20 là đồ thị của các điện trở được đo tương ứng với mỗi vị trí tọa độ liên quan đến bảng mạch màn hình chạm trong thiết bị kiểm tra bảng mạch được minh họa trên Fig.19.

Mô tả chi tiết sáng chế

Trong phần sau, sự giải thích về các phương án thực hiện sáng chế sẽ được thể hiện tham chiếu đến các hình vẽ. Cần phải hiểu rằng trên mỗi hình vẽ, các kết cấu được gán bằng các số chỉ dẫn giống nhau chỉ ra rằng chúng là các kết cấu giống nhau, và mà do đó loại bỏ phần mô tả chúng. Fig.1 là sơ đồ khối dưới dạng giản đồ thể hiện một ví dụ của kết cấu của thiết bị kiểm tra bảng mạch bao gồm một phương án thực hiện sáng chế. Thiết bị kiểm tra bảng mạch 1 được minh họa trên Fig.1 được trang bị: nguồn năng lượng AC 2 (bộ phận xuất điện áp AC); ampe kế 3 (bộ phận phát hiện dòng điện); bộ phận kiểm soát 4; bộ phận hiển thị 5 (bộ phận khai báo); bộ phận vận hành 6; các đầu cuối nối Tx1–Tx4 (các đầu cuối nối thứ nhất); các đầu cuối nối Ty1–Ty4 (các đầu cuối nối thứ hai); và các bộ chuyển mạch lựa chọn SW1, SW2. Cần phải hiểu rõ rằng các đầu cuối nối Tx1–Tx4 có thể là các đầu cuối nối thứ hai, và các đầu cuối nối Ty1–Ty4 có thể là các đầu cuối nối thứ nhất.

Thiết bị kiểm tra bảng mạch 1 được minh họa trên Fig.1 được nối với bảng mạch màn hình chạm P (bảng mạch) mà là vật đích kiểm tra. Trong bảng mạch màn hình chạm P được minh họa trên Fig.1, hệ tọa độ $x-y$ được thiết lập, và trong ví dụ được thể hiện trên Fig.1, trục hoành là trục x trong khi trục tung là trục y .

Trong bảng mạch màn hình chạm P, nhiều điện cực X X1–X4 (các điện cực thứ nhất) được đặt cách một khoảng với nhau và kéo dài dọc theo hướng trục y -(hướng thứ nhất) và nhiều điện cực Y Y1–Y4 được đặt cách một khoảng với nhau và kéo dài dọc theo hướng trục x (hướng thứ hai) vuông góc với hướng trục y được tạo ra trên vật nền trong suốt được tạo dạng tấm Pa chẳng hạn ví dụ như, thủy tinh, để đối diện nhau qua độ dày của bảng mạch màn hình chạm P (nghĩa là, theo hướng trục giao với mặt phẳng của hình vẽ). Do đó, các điện cực X X1–X4 tương ứng với các tọa độ x , và các điện cực Y tương ứng với các tọa độ y .

Ví dụ, tổ hợp của điện cực X X1 và điện cực Y Y1 tương ứng với vị trí tọa độ (X1, Y1), và tổ hợp của điện cực X Xm và điện cực Y Yn tương ứng với vị trí tọa độ (Xm, Yn), trong đó m và n là các số nguyên, trên bảng mạch màn hình chạm P.

Cần phải hiểu rõ rằng bảng mạch có thể không cần phải là bảng mạch màn hình chạm, và các ví dụ bao gồm các loại vật nền khác nhau, chẳng hạn như các bảng mạch in, các bảng mạch mềm, các bảng nối dây gồm nhiều lớp, và các vật nền điện cực dùng cho các màn hình tinh thể lỏng và các màn hình plasma, cũng như các vật nền gói và các vật mang màng dùng cho các gói chất bán dẫn.

Mặc dù, một ví dụ gồm có bốn điện cực X và bốn điện cực Y được minh họa trên Fig.1 nhằm thuận tiện trong việc minh họa, nhưng số lượng các điện cực có thể được xác định theo cách thích hợp phụ thuộc vào kích thước của bảng mạch màn hình chạm P và độ chính xác của việc phát hiện các vị trí.

Các điện cực X X1–X4 và các điện cực Y Y1–Y4 được gọi là các điện cực trong suốt và được làm bằng, ví dụ, oxit thiếc indi (indium tin oxide - ITO), oxit kẽm indi (indium zinc oxidize - IZO), hoặc vật liệu tương tự. Cần phải lưu ý rằng các điện cực X X1–X4 và các điện cực Y Y1–Y4 có thể được làm bằng các vật liệu khác nhau, và chúng có thể không cần phải là các điện cực trong suốt.

Ở các vị trí nơi mà các điện cực X X1–X4 giao với các điện cực Y Y1–Y4, màng cách điện được tạo ra giữa cụm các điện cực X X1–X4 và các điện cực Y

Y1–Y4 sao cho chúng được cách điện với nhau. Bởi vì độ dày của màng cách điện, khe hở rất nhỏ được tạo ra giữa các điện cực X X1–X4 và các điện cực Y Y1–Y4.

Hình dạng của mỗi điện cực trong số các điện cực X X1–X4 và các điện cực Y Y1–Y4 có mẫu sao cho nhiều hình thoi nhỏ với kích thước đồng đều được xiên trên que, trong đó các vị trí rộng hơn và các vị trí hẹp hơn xuất hiện một cách lặp lại dọc theo hướng dọc. Các điện cực X X1–X4 và các điện cực Y Y1–Y4 giao nhau ở các vị trí hẹp hơn khi được nhìn trong sơ đồ. Do đó, hầu hết toàn bộ vùng có thể phát hiện vị trí chạm (sau đây gọi là “vùng chạm”) được phủ bởi điện cực bất kỳ trong số các điện cực X X1–X4 và các điện cực Y Y1–Y4.

Được tạo ra trên bảng mạch màn hình chạm P là các đầu cuối bảng mạch Px1–Px4 (các đầu cuối bảng mạch thứ nhất), mà được nối điện với các điện cực X X1–X4, và các đầu cuối bảng mạch Py1–Py4 (các đầu cuối bảng mạch thứ hai), mà được nối điện với các điện cực Y Y1–Y4. Các đầu cuối bảng mạch Px1–Px4 và các đầu cuối bảng mạch Py1–Py4 được tạo ra bởi việc in màn hình bằng cách sử dụng vật liệu hồ dẫn, chẳng hạn như hồ bạc hoặc hồ đồng.

Cần phải hiểu rõ rằng các đầu cuối bảng mạch Px1–Px4 và Py1–Py4 có thể là các bộ phận nối, ví dụ, hoặc có thể là các phương tiện nối khác. Các đầu cuối bảng mạch Px1–Px4 và Py1–Py4 có thể là các thiết bị mà nối điện các điện cực X X1–X4 và các điện cực Y Y1–Y4 với các đầu cuối nối Tx1–Tx4 và Ty1–Ty4, và không bị hạn chế ở ví dụ nêu trên. Còn có thể áp dụng kết cấu trong đó không có đầu cuối bảng mạch Px1–Px4 hoặc Py1–Py4 được bố trí nhưng các điện cực X X1–X4 và các điện cực Y Y1–Y4 được nối điện một cách trực tiếp với các đầu cuối nối Tx1–Tx4 và Ty1–Ty4.

Fig.2 là sơ đồ dưới dạng giản đồ tóm tắt và thể hiện dưới dạng giản đồ thiết bị kiểm tra bảng mạch 1 được minh họa trên Fig.1. Thiết bị kiểm tra bảng mạch 1 được minh họa trên Fig.1 thể hiện một ví dụ trong đó bảy điện cực X X1–X7 và năm điện cực Y Y1–Y5 được trang bị. Mặc dù không được thể hiện trên Fig.2, phần mô tả sau giả sử rằng thiết bị kiểm tra bảng mạch 1 được trang bị: các đầu cuối bảng mạch Px1–Px7 (các đầu cuối bảng mạch thứ nhất), các đầu cuối nối Tx1–Tx7 (các đầu cuối nối thứ nhất), và bộ chuyển mạch lựa chọn SW1, mà tương ứng với các điện cực X X1–X7; và các đầu cuối bảng mạch Py1–Py5 (các đầu cuối bảng mạch thứ hai), các

đầu cuối nối Ty1–Ty5 (các đầu cuối nối thứ hai), và bộ chuyển mạch lựa chọn SW2, mà tương ứng với các điện cực Y Y1–Y5 (các điện cực thứ hai).

Trong phần sau, kết cấu của thiết bị kiểm tra bảng mạch 1 sẽ được mô tả tham chiếu đến Fig.1 và Fig.2 khi thích hợp. Trong phần sau, các điện cực X X1–X7 và các điện cực Y Y1–Y5 được gọi chung là X điện cực X và Y điện cực Y, một cách lần lượt, các đầu cuối bảng mạch Px1–Px7 và Py1–Py5 là các đầu cuối bảng mạch Px và Py, một cách lần lượt, và các đầu cuối nối Tx1–Tx7 và Ty1–Ty5 là các đầu cuối nối Tx và Ty, một cách lần lượt.

Bảng mạch màn hình chạm P được bố trí trước sao cho khi bảng mạch màn hình chạm P được lắp ráp thành sản phẩm và được sử dụng, tín hiệu AC, ở tần số đọc được thiết lập trước f_0 để đọc điện dung ở các vị trí trong đó X điện cực X và Y điện cực Y giao nhau, được cấp cho Y điện cực Y qua các đầu cuối nối Ty và các đầu cuối bảng mạch Py và được cấp cho X điện cực X qua điện dung ở các vị trí giao. Tần số đọc f_0 càng cao, tốc độ phát hiện vị trí của màn hình chạm càng cao và phản ứng của màn hình chạm sẽ càng tốt.

Mặt khác, khi tần số đọc f_0 càng cao, nhiễu sẽ xảy ra càng dễ dàng hơn và sẽ phải khử nhiễu càng khó khăn hơn. Do đó, từ các quan điểm có khả năng đối với người sử dụng trong việc vận hành màn hình chạm và ràng buộc trong thiết kế, tần số từ 100 kHz đến 1 MHz, tốt hơn là tần số từ khoảng 300 kHz đến 500 kHz, ví dụ, được sử dụng như tần số đọc f_0 ở đó thu được phản ứng thích hợp của màn hình chạm.

Các đầu cuối nối Tx1–Tx7 và Ty1–Ty5 là các đầu cuối nối được tạo kết cấu để có thể nối với các đầu cuối bảng mạch Px1–Px7 và Py1–Py5. Các đầu cuối nối Tx1–Tx7 và Ty1–Ty5 được tạo kết cấu để được nối với các đầu cuối bảng mạch Px1–Px7 và Py1–Py5 sao cho các đầu cuối nối Tx1–Tx7 và Ty1–Ty5 được đưa vào trong việc nối điện với các điện cực X X1–X7 và các điện cực Y Y1–Y5, ví dụ, khi người sử dụng lắp bảng mạch màn hình chạm P mà là vật đích kiểm tra vào vị trí lắp định trước trong thiết bị kiểm tra bảng mạch 1.

Bộ chuyển mạch lựa chọn SW1 chuyển mạch các điểm đến nối của mỗi đầu cuối trong số các đầu cuối nối Tx1–Tx7 giữa ampe kế 3 và mạch nối đất. Bộ chuyển mạch lựa chọn SW2 chuyển mạch các điểm đến nối của mỗi đầu cuối trong số các đầu cuối nối Ty1–Ty5 giữa nguồn năng lượng AC 2 và mạch nối đất.

Nguồn năng lượng AC 2 cấp tín hiệu AC ở trị số hiệu dụng của điện áp đầu ra V , ví dụ, đến đầu cuối nối Ty được lựa chọn bởi bộ chuyển mạch lựa chọn SW2. Tín hiệu AC SA được tạo kết cấu cần phải là sóng hình sin hoặc sóng hình chữ nhật. Tần số của tín hiệu AC SA được thiết lập đến tần số gần như bằng với tần số đọc f_0 , ví dụ, trong phạm vi tần số từ $f_0 \times 0,9$ đến $f_0 \times 1,1$. Việc thiết lập tần số f đến tần số gần như bằng tần số đọc f_0 có thể khiến việc kiểm tra của bảng mạch màn hình chạm P dưới hầu hết các điều kiện tương tự như trong các điều kiện sử dụng của bảng mạch màn hình chạm P, do đó cải thiện độ tin cậy của việc kiểm tra.

Ampe kế 3 phát hiện dòng điện chạy trong các đầu cuối nối Tx được lựa chọn bởi bộ chuyển mạch lựa chọn SW1 và xuất thông tin chỉ báo trị số dòng điện I và độ lệch pha θ đến bộ phận kiểm soát 4. Độ lệch pha θ thể hiện độ lệch pha của việc phát hiện dòng điện so với tín hiệu AC SA. Cần phải hiểu rõ rằng mặc dù độ lệch pha θ được đưa ra dưới dạng thông tin chỉ báo các pha của các dòng điện trong ví dụ nêu trên, thông tin chỉ báo các pha của các dòng điện không bị hạn chế ở độ lệch pha θ . Ví dụ, có khả năng là ampe kế 3 có thể đưa ra pha của dòng điện được phát hiện trong thời gian thực. Trong trường hợp đó, ví dụ, bộ phận kiểm soát 4 có thể được tạo kết cấu để tính toán độ lệch pha θ giữa tín hiệu AC SA và dòng điện được phát hiện.

Bộ phận hiển thị 5, ví dụ, là thiết bị hiển thị, chẳng hạn như thiết bị hiển thị màn hình tinh thể lỏng hoặc màn hình điện phát quang (organic electroluminescence - EL). Bộ phận vận hành 6 là thiết bị nhập thao tác để chấp nhận các thông tin nhập của người sử dụng. Các ví dụ của bộ phận vận hành 6 bao gồm các chuyển mạch thao tác, các bàn phím, và các màn hình chạm.

Bộ phận kiểm soát 4 bao gồm, ví dụ: bộ xử lý trung tâm (Central Processing Unit - CPU) để thực hiện các thao tác số học định trước; bộ nhớ truy cập ngẫu nhiên (Random Access Memory - RAM) để lưu trữ một cách tạm thời dữ liệu; thiết bị lưu trữ chẳng hạn như bộ nhớ chỉ đọc cố định (Read Only Memory - ROM) hoặc HDD để lưu trữ chương trình điều khiển định trước; các bộ phận nhớ bao gồm bộ phận nhớ các thông số bên trong 45, bộ phận nhớ các thông số ký sinh 46 (bộ phận nhớ điện dung tạp tán), bộ phận nhớ các thông số chỉ dẫn 47 (bộ phận nhớ điện dung chuẩn), và bộ phận nhớ trị số đánh giá 48, mỗi trong số các bộ phận này gồm có thiết bị lưu trữ chẳng hạn như HDD; và các mạch ngoại vi của nó. Bằng cách thực hiện chương trình

kiểm soát được lưu trữ trong bộ lưu trữ, ví dụ, bộ phận kiểm soát 4 có chức năng như bộ phận xử lý việc đo 41, bộ phận tính toán 42, bộ phận xử lý thu được các thông số bên trong 43, bộ phận xử lý thu được các thông số ký sinh 44 (bộ phận xử lý việc thu được điện dung tạp tán), và bộ phận đánh giá 49.

Bộ phận xử lý việc đo 41 khiến cho dòng điện nguồn AC 2 cấp cho tín hiệu AC SA đến đầu cuối nối Tyn, liên quan đến các đầu cuối nối Txm và Tyn mà tương ứng với nhiều tổ hợp thu được bằng cách kết hợp một cách lần lượt các đầu cuối nối Tx1–Tx7 và các đầu cuối nối Ty1–Ty5 và tương ứng với mỗi tổ hợp trong số các tổ hợp, và khiến cho ampe kế 3 phát hiện dòng điện chạy trong đầu cuối nối Txm. Do đó, bộ phận xử lý việc đo 41 thực hiện quy trình đo nhằm thu được các cường độ dòng điện I và các độ lệch pha θ của các dòng điện tương ứng với các tổ hợp.

Khi lựa chọn các đầu cuối nối Txm, bộ phận xử lý việc đo 41 khiến cho bộ chuyển mạch lựa chọn SW1 nối đầu cuối nối Txm với ampe kế 3 và nối các đầu cuối nối Tx khác đầu cuối nối Txm với mạch nối đất. Khi lựa chọn đầu cuối nối Tyn, bộ phận xử lý việc đo 41 khiến cho bộ chuyển mạch lựa chọn SW2 nối đầu cuối nối Tyn với nguồn năng lượng AC 2 và nối các đầu cuối nối Ty khác đầu cuối nối Tyn với mạch nối đất.

Cần phải hiểu rõ rằng bộ phận xử lý việc đo 41 và các bộ lựa chọn chuyển mạch SW1 và SW2 có thể được tạo kết cấu để mở các đầu cuối nối khác đầu cuối nối được lựa chọn.

Trong bản mô tả này, vì các đầu cuối nối Tx1–Tx7 và các đầu cuối nối Ty1–Ty5 được nối điện một cách lần lượt với các điện cực X X1–X7 và các điện cực Y Y1–Y5, tổ hợp của đầu cuối nối Txn và đầu cuối nối Tym tương ứng với tổ hợp của điện cực X Xn và điện cực Y Ym. Nói cách khác, tổ hợp của đầu cuối nối Txn và đầu cuối nối Tym tương ứng với vị trí tọa độ (X_m, Y_n).

Cụ thể là, trong quy trình đo, bộ phận xử lý việc đo 41 thu được các cường độ dòng điện I và các độ lệch pha θ tương ứng với toàn bộ các vị trí tọa độ (X_1, Y_1)–(X_7, Y_5) trên bảng mạch màn hình chạm P. Trong phần sau, cường độ dòng điện I tương ứng với vị trí tọa độ (X_m, Y_n) được gọi là cường độ dòng điện $I(m, n)$, và độ lệch pha θ tương ứng với vị trí tọa độ (X_m, Y_n) được gọi là độ lệch pha $\theta(m, n)$. Ngoài ra, quy trình trong đó bộ phận xử lý việc đo 41 khiến cho các bộ chuyển mạch lựa chọn SW1

và SW2 lựa chọn các đầu cuối nối Txn và Tym và khiến cho ampe kế 3 đo cường độ dòng điện $I(m, n)$ và độ lệch pha $\theta(m, n)$ được gọi đơn giản là “việc đo cường độ dòng điện $I(m, n)$ và độ lệch pha $\theta(m, n)$ ”.

Dựa trên cường độ dòng điện I và độ lệch pha θ , một cách lần lượt chúng là độ lớn của dòng điện và thông tin chỉ báo pha của dòng điện mà đã được phát hiện bởi ampe kế 3 trong quy trình đo với bộ phận xử lý việc đo 41, bộ phận tính toán 42 tính toán các điện dung C , và các trị số điện trở R của các điện cực X và các điện cực Y, tương ứng với các tổ hợp tương ứng của các đầu cuối nối, nói cách khác, toàn bộ các vị trí tọa độ (X1, Y1)–(X7, Y5) trên bảng mạch màn hình chạm P. Trong phần sau, điện dung C tương ứng với vị trí tọa độ (Xm, Yn) được gọi là điện dung $C(m, n)$, và trị số điện trở R tương ứng với vị trí tọa độ (Xm, Yn) được gọi là trị số điện trở $R(m, n)$.

Fig.3 là mạch tương đương một cách tương tự thể hiện mạch đo khi các đầu cuối nối Txm, Tyn đã được lựa chọn trong quy trình đo bởi bộ phận xử lý việc đo 41 được thể hiện trên Fig.1, nghĩa là, khi thực hiện quy trình đo đối với vị trí tọa độ (Xm, Yn). Trong mạch đo trong trường hợp này, trị số điện trở của phần từ điểm nối của đầu cuối nối Tyn và đầu cuối bảng mạch Pyn đến chỗ giao của điện cực Y Yn với điện cực X Xm là trị số điện trở $R_y(m, n)$, điện dung được tạo ra ở phần giao của điện cực Y Yn và điện cực X Xm là điện dung $C(m, n)$, và trị số điện trở của phần từ phần giao của điện cực Y Yn và điện cực X Xm đến điểm nối của đầu cuối bảng mạch Pxm và đầu cuối nối Txm là trị số điện trở $R_x(m, n)$.

Khi thực hiện quy trình đo đối với vị trí tọa độ (Xm, Yn), mạch đích kiểm tra được thể hiện bởi mạch nối tiếp của trị số điện trở $R_y(m, n)$, điện dung $C(m, n)$, và trị số điện trở $R_x(m, n)$. Ngoài ra, mặc dù không được thể hiện trên các hình vẽ, trị số điện trở bên trong $R_i(m, n)$, trị số điện trở ở thiết bị kiểm tra bảng mạch 1, và điện dung bên trong $C_i(m, n)$ ở thiết bị kiểm tra bảng mạch 1 được tạo ra.

Ngoài ra, được tạo ra trong bảng mạch màn hình chạm P là điện dung tạp tán $C_f(m, n)$ và trị số điện trở ký sinh $R_f(m, n)$, mà được tạo ra kết hợp với điện dung tạp tán $C_f(m, n)$. Để thuận tiện trong việc minh họa, Fig.3 thể hiện rằng điện dung tạp tán $C_f(m, n)$ và trị số điện trở ký sinh $R_f(m, n)$ được nối giữa điện dung $C(m, n)$ và trị số điện trở $R_x(m, n)$; tuy nhiên, thực tế là, các điện dung tạp tán $C_f(m, n)$ và các trị số

điện trở ký sinh $R_f(m, n)$ được tạo ra để được phân bổ khắp toàn bộ mạch đích kiểm tra.

Bộ phận tính toán 42 tính toán trở kháng được đo $Z(m, n)$ dựa trên cường độ dòng điện $I(m, n)$ và độ lệch pha $\theta(m, n)$ thu được trong quy trình đo của bộ phận xử lý việc đo 41, và điện áp đầu ra V của nguồn năng lượng AC 2.

$$Z(m, n) = V/I(m, n) \quad (1)$$

trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5.

Fig.4 là đồ thị dạng sóng minh họa mối liên hệ giữa điện áp dạng sóng của tín hiệu AC SA và dòng điện dạng sóng được phát hiện bởi ampe kế 3. Fig.5 là sơ đồ giải thích để giải thích phương pháp tính toán các trị số điện trở $R(m, n)$ và các điện dung $C(m, n)$ từ trở kháng $Z(m, n)$ đo được và độ lệch pha $\theta(m, n)$. Tần số của tín hiệu AC SA gần bằng tần số đọc f_0 . Tần số đọc f_0 là tần số chẳng hạn như để đọc tốc độ của sự chuyển động ngón tay con người trên màn hình chạm, vì vậy nó là tần số thấp một cách tương đối. Do đó, bộ phận tự cảm được chứa trong trở kháng được đo $Z(m, n)$ mà xuất hiện theo tần số f của tín hiệu AC SA là rất nhỏ, và mạch đo có thể gần giống mạch RC, như được minh họa trên Fig.3.

Do đó, trở kháng được đo $Z(m, n)$ có thể được phân tách thành bộ phận cấu thành điện trở và bộ phận cấu thành điện dung bằng cách vận hành vectơ dựa trên độ lệch pha $\theta(m, n)$. Cụ thể là, bộ phận tính toán 42 thực hiện quy trình tính toán nhằm tính toán các trị số điện trở được đo $R_{mes}(m, n)$ và các điện dung $C_{mes}(m, n)$ theo các phương trình (2) và (3) sau.

$$R_{mes}(m, n) = Z(m, n) \times \cos\theta \quad (2)$$

$$C_{mes}(m, n) = 1 / \{2 \times \pi \times f \times Z(m, n) \times \sin\theta\} \quad (3)$$

trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5.

Trong bản mô tả này, trị số điện trở được đo $R_{mes}(m, n)$ bao gồm trị số điện trở bên trong nêu trên $R_i(m, n)$ và trị số điện trở ký sinh nêu trên $R_f(m, n)$. Điện dung được đo $C_{mes}(m, n)$ bao gồm điện dung bên trong $C_i(m, n)$ nêu trên và điện dung tạp tán $C_f(m, n)$ nêu trên. Do đó, để thu được trị số điện trở $R(m, n)$ và điện dung $C(m, n)$ một cách chính xác, cần có trị số điện trở bên trong $R_i(m, n)$, trị số điện trở ký sinh $R_f(m, n)$, điện dung bên trong $C_i(m, n)$, và điện dung tạp tán $C_f(m, n)$ được loại ra khỏi trị số điện trở được đo $R_{mes}(m, n)$ và điện dung được đo $C_{mes}(m, n)$. Vì lý do đó, bộ

phần xử lý thu được các thông số bên trong 43 và bộ phận xử lý thu được các thông số ký sinh 44 được bố trí.

Bộ phận xử lý thu được các thông số bên trong 43 khiến cho bộ phận xử lý việc đo 41 và bộ phận tính toán 42 thực hiện quy trình đo và quy trình tính toán được mô tả ở trên, ví dụ, ở trạng thái trong đó bảng mạch màn hình chạm P đã được loại ra khỏi thiết bị kiểm tra bảng mạch 1 sao cho X điện cực X và Y điện cực Y không được nối điện với các đầu cuối nối Tx và Ty, nghĩa là, ở trạng thái trong đó các đầu cuối nối Tx và Ty là mở. Do đó, bộ phận xử lý thu được các thông số bên trong 43 khiến cho bộ phận nhớ các thông số bên trong 45 lưu trữ các điện dung được đo C_{mes} và các trị số điện trở được đo R_{mes} thu được tương ứng với toàn bộ các vị trí tọa độ như các điện dung bên trong $C_i(m, n)$ và các trị số điện trở bên trong $R_i(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5) tương ứng với các vị trí tọa độ (X_m, Y_n) liên quan đến các tổ hợp của các đầu cuối nối Tx và Ty.

Cần phải hiểu rõ rằng bộ phận xử lý thu được các thông số bên trong 43 không phải lúc nào cũng cần. Ví dụ, còn khả năng là các điện dung $C_i(m, n)$ và các trị số điện trở bên trong $R_i(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5) có thể được đo trước về mặt thời gian bằng thí nghiệm và được lưu trữ trong bộ phận nhớ các thông số bên trong 45 từ trước.

Được lưu trữ trong các bộ phận nhớ 47 là các thông số chuẩn $C_{ref}(m, n)$ và các điện dung chuẩn $C_{ref}(m, n)$ và các điện trở chuẩn $R_{ref}(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7 và $n = 1, 2, 3, 4$, hoặc 5), được đo trước về mặt thời gian bằng thí nghiệm chẳng hạn, tương ứng với mỗi một trong số các vị trí tọa độ (X_1, Y_1) đến (X_7, Y_5), trên bảng mạch chuẩn Pref nhờ đó các điện dung chuẩn C_{ref} và các điện trở chuẩn R_{ref} , các điện dung và các điện trở này được tạo ra bên trong trong bảng mạch màn hình chạm P, đã được nhận thấy từ trước.

Bộ phận xử lý thu được các thông số ký sinh 44 khiến cho bộ phận xử lý việc đo 41 và bộ phận tính toán 42 để thực hiện quy trình đo và quy trình tính toán khi, ví dụ, lệnh thao tác của người sử dụng với bộ phận vận hành 6 để thực hiện quy trình thu được các thông số ký sinh (quy trình thu được điện trở tạp tán) được chấp nhận ở trạng thái trong đó người sử dụng lắp bảng mạch chuẩn Pref vào thiết bị kiểm tra bảng mạch 1 sao cho các đầu cuối bảng mạch Px1–Px7 và Py1–Py5 được nối với các đầu cuối nối

Tx1–Tx7 và Ty1–Ty5, để do đó tính toán các điện dung được đo $C_{mes}(m, n)$ và các trị số điện trở được đo $R_{mes}(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6, 7$; $n = 1, 2, 3, 4, 5$) thu được tương ứng với toàn bộ các vị trí tọa độ (X1, Y1)–(X7, Y5).

Sau đó, dựa trên các điện dung được đo $C_{mes}(m, n)$ và các trị số điện trở được đo $R_{mes}(m, n)$ thu được theo cách này cũng như các điện dung chuẩn $C_{ref}(m, n)$ và các trị số điện trở chuẩn $R_{ref}(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5), bộ phận xử lý thu được các thông số ký sinh 44 tính toán các điện dung tạp tán $C_f(m, n)$ và các trị số điện trở ký sinh $R_f(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5), và khiến cho các bộ phận nhớ các thông số ký sinh 46 lưu trữ các kết quả được tính toán.

Cụ thể là, bộ phận xử lý thu được các thông số ký sinh 44 tính toán các điện dung tạp tán C_f và các trị số điện trở ký sinh $R_f(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5) theo các phương trình (4) và (5) sau.

$$\text{Điện dung tạp tán } C_f(m, n) = C_{mes}(m, n) - C_{ref}(m, n) \quad (4)$$

$$\text{Trị số điện trở ký sinh } R_f(m, n) = R_{mes}(m, n) - R_{ref}(m, n) \quad (5)$$

trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5.

Dựa trên các điện dung bên trong $C_i(m, n)$ và các trị số điện trở bên trong $R_i(m, n)$ mà được lưu trữ trong bộ phận nhớ các thông số bên trong 45 và các điện dung tạp tán $C_f(m, n)$ và các trị số điện trở ký sinh $R_f(m, n)$ mà được lưu trữ trong các bộ phận nhớ các thông số ký sinh 46, bộ phận tính toán 42 hiệu chỉnh các điện dung được đo $C_{mes}(m, n)$ và các trị số điện trở được đo $R_{mes}(m, n)$ của bảng mạch màn hình chạm P mà là vật đích kiểm tra, và thu được các trị số điện trở $R(m, n)$ và các điện dung $C(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5) của bảng mạch màn hình chạm P mà là vật đích kiểm tra.

Cụ thể là, bộ phận tính toán 42 thu được các điện dung $C(m, n)$ và các trị số điện trở $R(m, n)$ của bảng mạch màn hình chạm P mà là vật đích kiểm tra, ví dụ, theo các phương trình (6) và (7) sau.

$$\text{Điện dung } C(m, n) = C_{mes}(m, n) - C_i(m, n) - C_f(m, n) \quad (6)$$

$$\text{Trị số điện trở } R(m, n) = R_{mes}(m, n) - R_i(m, n) - R_f(m, n) \quad (7)$$

trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5.

Cần phải hiểu rõ rằng bộ phận tính toán 42 có thể không sử dụng điện dung tạp tán $C_f(m, n)$ và trị số điện trở ký sinh $R_f(m, n)$ dùng cho việc hiệu chỉnh, và có thể thực hiện việc hiệu chỉnh theo các phương trình (8) và (9) sau.

$$\text{Điện dung } C(m, n) = C_{mes}(m, n) - C_i(m, n) - C_f(m, n) \quad (8)$$

$$\text{Trị số điện trở } R(m, n) = R_{mes}(m, n) - R_i(m, n) - R_f(m, n) \quad (9)$$

trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7 ; và $n = 1, 2, 3, 4$, hoặc 5 .

Còn có khả năng là bộ phận tính toán 42 có thể không sử dụng điện dung bên trong $C_i(m, n)$ và trị số điện trở bên trong $R_i(m, n)$ đối với việc hiệu chỉnh, và có thể thực hiện việc hiệu chỉnh theo các phương trình (10) và (11) sau.

$$\text{Điện dung } C(m, n) = C_{mes}(m, n) - C_f(m, n) \quad (10)$$

$$\text{Trị số điện trở } R(m, n) = R_{mes}(m, n) - R_f(m, n) \quad (11)$$

trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7 ; và $n = 1, 2, 3, 4$, hoặc 5 .

Còn có khả năng là bộ phận tính toán 42 có thể không thực hiện việc hiệu chỉnh.

Được lưu trữ trong bộ phận nhớ trị số đánh giá 48 từ trước là các trị số đánh giá điện trở $R_j(m, n)$ và các trị số đánh giá điện dung $C_j(m, n)$, là các trị số đánh giá đóng vai trò chuẩn để đánh giá chất lượng của các trị số điện trở $R(m, n)$ và các điện dung $C(m, n)$. Các trị số đánh giá điện trở $R_j(m, n)$ và các trị số đánh giá điện dung $C_j(m, n)$ thực tế có thể là các trị số được đo của bảng mạch màn hình chạm P mà là sản phẩm phù hợp hoặc các trị số lý thuyết, và ví dụ, các trị số đánh giá điện trở $R_j(m, n)$ và các trị số đánh giá điện dung $C_j(m, n)$ có thể là các điện trở chuẩn $R_{ref}(m, n)$ và các điện dung chuẩn $C_{ref}(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7 ; và $n = 1, 2, 3, 4$, hoặc 5).

Bộ phận đánh giá 49 tính toán các độ lệch $Dr(m, n)$ giữa các trị số điện trở $R(m, n)$ thu được bởi bộ phận tính toán 42 và các trị số đánh giá điện trở $R_j(m, n)$ được lưu trữ trong bộ phận nhớ trị số đánh giá 48, một cách lần lượt tương ứng với toàn bộ các vị trí tọa độ (X1, Y1)–(X7, Y5). Nếu sự khác biệt $Dr(m, n)$ tương ứng với vị trí tọa độ đích vượt quá trị số đánh giá độ lệch được thiết lập trước Dr_j , vị trí tọa độ (Xm, Yn) tại đó trị số đánh giá độ lệch Dr_j bị vượt quá được đánh giá là vị trí điện trở khiếm khuyết trên bảng mạch màn hình chạm P, và vị trí điện trở khiếm khuyết được hiển thị trên bộ phận hiển thị 5.

Ngoài ra, bộ phận đánh giá 49 tính toán các độ lệch $Dc(m, n)$ giữa các điện dung $C(m, n)$ thu được bởi bộ phận tính toán 42 và các trị số đánh giá điện dung $Cj(m, n)$ được lưu trữ trong bộ phận nhớ trị số đánh giá 48, một cách lần lượt tương ứng với toàn bộ các vị trí tọa độ (X1, Y1)–(X7, Y5). Nếu độ lệch $Dc(m, n)$ tương ứng với vị trí tọa độ đích vượt quá trị số đánh giá độ lệch được thiết lập trước Dcj , vị trí tọa độ (Xm, Yn) tại đó trị số đánh giá độ lệch Dcj bị vượt quá được đánh giá là vị trí điện dung khiếm khuyết trên bảng mạch màn hình chạm P, và vị trí điện trở khiếm khuyết được hiển thị trên bộ phận hiển thị 5.

Tiếp theo, việc vận hành của thiết bị kiểm tra bảng mạch 1 được tạo kết cấu như được mô tả ở trên sẽ được mô tả. Các hình vẽ từ Fig.6 đến Fig.9 là các lưu đồ thể hiện phương pháp kiểm tra bảng mạch bao gồm một phương án thực hiện sáng chế. Thứ nhất, khi, ví dụ, người sử dụng vận hành bộ phận vận hành 6 để nhập lệnh thu được các thông số bên trong để lệnh đo các thông số bên trong của thiết bị kiểm tra bảng mạch 1 ở trạng thái trong đó, ví dụ, bảng mạch màn hình chạm P không được lắp vào thiết bị kiểm tra bảng mạch 1 sao cho các đầu cuối nối Tx1–Tx7 và Ty1–Ty5 mở, lệnh thu được các thông số bên trong được chấp nhận bởi bộ phận vận hành 6 (ĐÚNG ở bước S1), và bộ phận xử lý thu được các thông số bên trong 43 thực hiện quy trình thu được các thông số bên trong được minh họa trên Fig.8 (bước S2).

Mặt khác, nếu lệnh thu được các thông số bên trong không được chấp nhận bởi bộ phận vận hành 6 (KHÔNG ở bước S1), bộ phận xử lý thu được các thông số bên trong 43 không thực hiện quy trình thu được các thông số bên trong và quy trình chuyển đến bước S3.

Thứ nhất, quy trình thu được các thông số bên trong được minh họa trên Fig.8 sẽ được mô tả. Trong quy trình thu được các thông số bên trong, bộ phận xử lý thu được các thông số bên trong 43 ban đầu cho trị số ban đầu các thông số ban đầu thứ nhất m và n là 1 (bước S101). Tiếp theo, bộ phận xử lý thu được các thông số bên trong 43 khiến cho bộ phận xử lý việc đo 41 đo cường độ dòng điện $I(m, n)$ và độ lệch pha $\theta(m, n)$ (bước S102).

Ở bước S102, bảng mạch màn hình chạm P không được lắp vào thiết bị kiểm tra bảng mạch 1. Ở trạng thái này, dòng điện chạy trong thiết bị kiểm tra bảng mạch 1 qua việc ghép điện dung giữa bộ chuyển mạch lựa chọn SW2 và các đầu cuối nối Tyn, mà

được nối nguồn năng lượng AC 2, và bộ chuyển mạch lựa chọn SW1 và các đầu cuối nối Txm, mà được nối với ampe kế 3. Dòng điện chạy theo cách này được đo ở bước S102, và cường độ dòng điện $I(m, n)$ và độ lệch pha của dòng điện $\theta(m, n)$ thu được.

Tiếp theo, bộ phận xử lý thu được các thông số bên trong 43 khiến cho bộ phận tính toán 42 tính toán trở kháng được đo $Z(m, n)$ từ cường độ dòng điện $I(m, n)$ và điện áp đầu ra V theo, ví dụ, phương trình (1) (bước S103).

Tiếp theo, bộ phận xử lý thu được các thông số bên trong 43 cho phép tính toán điện dung được đo $C_{mes}(m, n)$ và trị số điện trở được đo $R_{mes}(m, n)$ từ trở kháng được đo $Z(m, n)$ và độ lệch pha $\theta(m, n)$ theo, ví dụ, các phương trình (2) và (3) (bước S104). Điện dung được đo $C_{mes}(m, n)$ và trị số điện trở được đo $R_{mes}(m, n)$ do đó thu được phản ánh các thông số trong thiết bị kiểm tra bảng mạch 1.

Sau đó, bộ phận xử lý thu được các thông số bên trong 43 khiến cho bộ phận nhớ các thông số bên trong 45 lưu trữ điện dung được đo $C_{mes}(m, n)$ dưới dạng điện dung bên trong $C_i(m, n)$ và các trị số điện trở được đo $R_{mes}(m, n)$ dưới dạng trị số điện trở bên trong $R_i(m, n)$ (bước S105).

Nếu thông số m không phải là 7 (SAI ở bước S106), nói cách khác, nếu có các tọa độ x còn lại mà chưa được xử lý cho tọa độ Y_n , bộ phận xử lý thu được các thông số bên trong 43 bổ sung trị số 1 vào thông số m để thu được điện dung bên trong $C_i(m, n)$ và trị số điện trở bên trong $R_i(m, n)$ mà tương ứng với tọa độ x còn lại khác (bước S107), và lặp lại các bước S102 đến S106 một lần nữa.

Mặt khác, nếu thông số m 7 (ĐÚNG ở bước S106), nói cách khác, nếu toàn bộ các tọa độ x đã được xử lý cho tọa độ Y_n , bộ phận xử lý thu được các thông số bên trong 43 gán thông số m là 1 (bước S108) và so sánh thông số n với 5 (bước S109).

Nếu thông số m không phải là 5 (SAI ở bước S109), nói cách khác, nếu có các tọa độ y còn lại mà chưa được xử lý, bộ phận xử lý thu được các thông số bên trong 43 bổ sung trị số 1 vào thông số n để thu được điện dung bên trong $C_i(m, n)$ và trị số điện trở bên trong $R_i(m, n)$ mà tương ứng với tọa độ y còn lại khác (bước S110), và lặp lại các bước S102 đến S109 một lần nữa.

Mặt khác, nếu thông số n là 5 (ĐÚNG ở bước S109), mà có nghĩa là các điện dung bên trong $C_i(m, n)$ và các trị số điện trở bên trong $R_i(m, n)$ đã được lưu trữ trong bộ phận nhớ các thông số bên trong 45 đối với toàn bộ các tổ hợp của các đầu

cuối nối Tx và các đầu cuối nối Ty mà tương ứng với toàn bộ các vị trí tọa độ (X1, Y1)–(X7, Y5) trên bảng mạch màn hình chạm P, sau đó bộ phận xử lý thu được các thông số bên trong 43 kết thúc quy trình thu được các thông số bên trong, và quy trình này chuyển đến bước S3 được thể hiện trên Fig.6.

Khi quy trình thu được các thông số ký sinh cần phải được thực hiện, người sử dụng lắp bảng mạch chuẩn Pref vào thiết bị kiểm tra bảng mạch 1 sao cho các đầu cuối bảng mạch Px1–Px7 và Py1–Py5 được nối với các đầu cuối nối Tx1–Tx7 và Ty1–Ty5. Nếu, ví dụ, người sử dụng vận hành bộ phận vận hành 6 và nhập lệnh thu được các thông số ký sinh để lệnh đo các thông số ký sinh, bộ phận vận hành 6 chấp nhận lệnh thu được các thông số ký sinh (ĐÚNG ở bước S3), và bộ phận xử lý thu được các thông số ký sinh 44 thực hiện quy trình thu được các thông số ký sinh được minh họa trên Fig.9 (bước S4). Mặt khác, nếu lệnh thu được các thông số ký sinh không được chấp nhận bởi bộ phận vận hành 6 (SAI ở bước S3), bộ phận xử lý thu được các thông số ký sinh 44 không thực hiện bước S4 và quy trình chuyển sang bước S5.

Trong quy trình thu được các thông số ký sinh được minh họa trên Fig.9, bộ phận xử lý thu được các thông số ký sinh 44 thực hiện các bước S201 đến S204. Các bước S201 đến S204 là giống các bước S101 đến S104 được minh họa trên Fig.8 ngoại trừ là bộ phận xử lý thu được các thông số ký sinh 44 thực hiện các quy trình thay cho bộ phận xử lý thu được các thông số bên trong 43, và do đó phần mô tả của nó được bỏ qua.

Ở bước S205, bộ phận xử lý thu được các thông số ký sinh 44 tính toán điện dung tập tán $C_f(m, n)$ theo, ví dụ, phương trình (4), dựa trên điện dung được đo $C_{mes}(m, n)$ thu được ở bước S204 và điện dung chuẩn $C_{ref}(m, n)$ được lưu trữ trong các bộ phận nhớ các thông số chuẩn 47, và khiến cho các bộ phận nhớ các thông số ký sinh 46 lưu trữ kết quả được tính toán (bước S205).

Tiếp theo, bộ phận xử lý thu được các thông số ký sinh 44 tính toán trị số điện trở ký sinh $R_f(m, n)$ theo, ví dụ, phương trình (5), dựa trên trị số điện trở được đo $R_{mes}(m, n)$ thu được ở bước S204 và trị số điện trở chuẩn $R_{ref}(m, n)$ được lưu trữ trong các bộ phận nhớ các thông số chuẩn 47, và khiến cho các bộ phận nhớ các thông số ký sinh 46 lưu trữ kết quả được tính toán (bước S206).

Nếu thông số m không là 7 (SAI ở bước S207), nói cách khác, nếu có các tọa độ x còn lại mà chưa được xử lý đối với tọa độ Y_n , bộ phận xử lý thu được các thông số ký sinh 44 bổ sung trị số 1 vào thông số m để thu được điện dung tập tán $C_f(m, n)$ và trị số điện trở ký sinh $R_f(m, n)$ mà tương ứng với tọa độ x còn lại khác (bước S208), và lặp lại các bước S202 đến S207 một lần nữa.

Mặt khác, nếu thông số m là 7 (ĐÚNG ở bước S207), nói cách khác, nếu toàn bộ các tọa độ x đã được xử lý đối với tọa độ Y_n , bộ phận xử lý thu được các thông số ký sinh 44 gán thông số m là 1 (bước S209) và so sánh thông số n với 5 (bước S210).

Nếu thông số n không là 5 (SAI ở bước S210), nói cách khác, nếu có các tọa độ y còn lại mà chưa được xử lý, bộ phận xử lý thu được các thông số ký sinh 44 bổ sung trị số 1 vào thông số n để thu được điện dung tập tán $C_f(m, n)$ và trị số điện trở ký sinh $R_f(m, n)$ mà tương ứng với tọa độ y còn lại khác (bước S211), và lặp lại các bước S202 đến S210 một lần nữa.

Mặt khác, nếu thông số n là 5 (ĐÚNG ở bước S210), mà có nghĩa là các điện dung tập tán C_f và các trị số điện trở ký sinh R_f đã được lưu trữ trong bộ phận nhớ các thông số bên trong 46 đối với toàn bộ các tổ hợp của các đầu cuối nối Tx và các đầu cuối nối Ty mà tương ứng với toàn bộ các vị trí tọa độ (X1, Y1)–(X7, Y5) trên bảng mạch màn hình chạm P, sau đó bộ phận xử lý thu được các thông số ký sinh 44 kết thúc quy trình thu được các thông số ký sinh, và quy trình chuyển sang bước S5 được thể hiện trên Fig.6.

Khi thực hiện sự kiểm tra bảng mạch màn hình chạm P, người sử dụng lắp bảng mạch màn hình chạm P mà là vật đích kiểm tra vào thiết bị kiểm tra bảng mạch 1 sao cho các đầu cuối bảng mạch Px1–Px7 và Py1–Py5 được nối với các đầu cuối nối Tx1–Tx7 và Ty1–Ty5. Nếu, ví dụ, người sử dụng vận hành bộ phận vận hành 6 và nhập lệnh bắt đầu kiểm tra để lệnh bắt đầu việc kiểm tra, bộ phận vận hành 6 chấp nhận lệnh bắt đầu kiểm tra (ĐÚNG ở bước S5), và bộ phận xử lý việc đo 41 cho các trị số ban đầu cho các thông số m và n để bắt đầu việc kiểm tra bảng mạch màn hình chạm P (bước S6).

Tiếp theo, bộ phận xử lý việc đo 41 đo cường độ dòng điện $I(m, n)$ và độ lệch pha $\theta(m, n)$ (bước S7). Tiếp theo, bộ phận tính toán 42 tính toán trở kháng được đo Z

(m, n) từ cường độ dòng điện $I(m, n)$ và điện áp đầu ra V theo, ví dụ, phương trình (1) (bước S8).

Tiếp theo, bộ phận tính toán 42 tính toán điện dung được đo $C_{mes}(m, n)$ và trị số điện trở được đo $R_{mes}(m, n)$ từ trở kháng được đo $Z(m, n)$ và độ lệch pha $\theta(m, n)$ theo, ví dụ, các phương trình (2) và (3) (bước S9). Điện dung được đo $C_{mes}(m, n)$ và trị số điện trở được đo $R_{mes}(m, n)$ thu được theo cách này bao gồm, ngoài điện dung $C(m, n)$ và trị số điện trở $R(m, n)$ của bảng mạch màn hình chạm P mà là vật đích kiểm tra, điện dung bên trong $C_i(m, n)$ và trị số điện trở bên trong $R_i(m, n)$ cũng như điện dung tạp tán $C_f(m, n)$ và trị số điện trở ký sinh $R_f(m, n)$, một cách lần lượt.

Do đó, bộ phận tính toán 42 hiệu chỉnh điện dung được đo $C_{mes}(m, n)$ dựa trên điện dung bên trong $C_i(m, n)$ được lưu trữ trong bộ phận nhớ các thông số bên trong 45 và điện dung tạp tán $C_f(m, n)$ được lưu trữ trong các bộ phận nhớ các thông số ký sinh 46 theo, ví dụ, phương trình (6), và thu được điện dung $C(m, n)$ (bước S10: quy trình hiệu chỉnh các thông số bên trong, quy trình hiệu chỉnh điện dung tạp tán).

Việc này làm giảm sự ảnh hưởng của điện dung bên trong $C_i(m, n)$ và điện dung tạp tán $C_f(m, n)$, cải thiện độ chính xác trong việc đo điện dung $C(m, n)$.

Tiếp theo, bộ phận tính toán 42 hiệu chỉnh trị số điện trở được đo $R_{mes}(m, n)$ dựa trên trị số điện trở bên trong $R_i(m, n)$ được lưu trữ trong bộ phận nhớ các thông số bên trong 45 và trị số điện trở ký sinh $R_f(m, n)$ được lưu trữ trong các bộ phận nhớ các thông số ký sinh 46 theo, ví dụ, phương trình (7), và thu được trị số điện trở $R(m, n)$ (bước S11: quy trình hiệu chỉnh điện dung tạp tán).

Việc này làm giảm sự ảnh hưởng của trị số điện trở bên trong $R_i(m, n)$ và trị số điện trở ký sinh $R_f(m, n)$, cải thiện độ chính xác trong việc đo trị số điện trở $R(m, n)$.

Tiếp theo, bộ phận đánh giá 49 tính toán độ lệch $Dr(m, n)$ giữa trị số điện trở $R(m, n)$ thu được bởi bộ phận tính toán 42 và trị số đánh giá điện trở $R_j(m, n)$ được lưu trữ trong bộ phận nhớ trị số đánh giá 48 (bước S21).

Sau đó, bộ phận đánh giá 49 so sánh độ lệch $Dr(m, n)$ với trị số đánh giá độ lệch Dr_j được thiết lập trước (bước S22), và nếu độ lệch $Dr(m, n)$ vượt quá trị số đánh giá độ lệch Dr_j (ĐÚNG ở bước S22), bộ phận đánh giá 49 khiến cho bộ phận hiển thị 5 hiển thị tin nhắn chỉ báo mà có khiếm khuyết điện trở ở vị trí tọa độ (X_m, Y_n) (bước S23). Mặt khác, nếu độ lệch $Dr(m, n)$ không vượt quá trị số đánh giá độ lệch Dr_j , bộ

phần đánh giá 49 không thực hiện bước S23, và quy trình chuyển sang bước S24. Trị số đánh giá độ lệch Drj được thiết lập đến trị số thích hợp theo hiệu năng được yêu cầu đối với bảng mạch màn hình chạm P.

Ở bước S24, bộ phận đánh giá 49 tính toán độ lệch $Dc(m, n)$ giữa điện dung $C(m, n)$ thu được bằng cách tính toán bộ phận 42 và trị số đánh giá điện dung $Cj(m, n)$ được lưu trữ trong bộ phận nhớ trị số đánh giá 48 (bước S24).

Sau đó, bộ phận đánh giá 49 so sánh độ lệch $Dc(m, n)$ với trị số đánh giá độ lệch Dcj được thiết lập trước (bước S25), và nếu độ lệch $Dc(m, n)$ vượt quá trị số đánh giá độ lệch Dcj (ĐÚNG ở bước S25), bộ phận đánh giá 49 khiến cho bộ phận hiển thị 5 hiển thị tin nhắn chỉ báo mà có khiếm khuyết điện dung ở vị trí tọa độ (Xm, Yn) (bước S26). Mặt khác, nếu độ lệch $Dc(m, n)$ không vượt quá trị số đánh giá độ lệch Dcj (SAI ở bước S25), bộ phận đánh giá 49 không thực hiện bước S26, và quy trình chuyển sang bước S27. Trị số đánh giá độ lệch Drj được thiết lập đến trị số thích hợp theo đặc tính được yêu cầu đối với bảng mạch màn hình chạm P.

Ở bước S27, nếu thông số m không là 7 (SAI ở bước S27), nói cách khác, nếu có các tọa độ x còn lại mà chưa được xử lý đối với tọa độ Yn , bộ phận xử lý việc đo 41 bổ sung trị số 1 vào thông số m để thực hiện sự kiểm tra đối với tọa độ x còn lại khác (bước S28), và lặp lại các bước S7 đến S27 một lần nữa.

Mặt khác, nếu thông số m là 7 (ĐÚNG ở bước S27), nói cách khác, nếu toàn bộ các tọa độ x đã được xử lý đối với tọa độ Yn , bộ phận xử lý việc đo 41 gán thông số m là 1 (bước S29) và so sánh thông số n với 5 (bước S30).

Nếu thông số n không là 5 (SAI ở bước S30), nói cách khác, nếu có các tọa độ y còn lại mà chưa được xử lý, bộ phận xử lý việc đo 41 bổ sung trị số 1 vào thông số n để thực hiện sự kiểm tra đối với tọa độ y còn lại khác (bước S31), và lặp lại các bước S7 đến S30 một lần nữa.

Mặt khác, nếu thông số n là 5 (ĐÚNG ở bước S30), mà có nghĩa là sự kiểm tra đã được hoàn thành đối với toàn bộ các tổ hợp của các đầu cuối nối Tx và các đầu cuối nối Ty mà tương ứng với toàn bộ các vị trí tọa độ $(X1, Y1)$ – $(X7, Y5)$ trên bảng mạch màn hình chạm P, quy trình kết thúc.

Do đó, với quy trình đo (bước đo) các bước S7, S102, và S202 và quy trình tính toán (bước tính toán) bước S8, S9, S103, S104, S203, và S204, điện dung và trị số

điện trở tương ứng với mỗi vị trí trong số các vị trí tọa độ có thể thu được bằng cách chỉ đo cường độ dòng điện I và độ lệch pha θ một lần đối với mỗi vị trí trong số các vị trí tọa độ. Do đó, dễ dàng để làm giảm số lượng các bước trong việc đo các trị số điện dung và điện trở hơn là thực hiện bước đo đối với điện dung và bước đo đối với các trị số điện trở một cách tách biệt.

Hơn nữa, các quy trình gồm các bước S10 và S11 khiến cho có thể làm giảm sự ảnh hưởng của điện dung bên trong C_i , trị số điện trở bên trong R_i , điện dung tạp tán C_f , và trị số điện trở ký sinh R_f , và do đó cải thiện độ chính xác trong việc đo các điện dung C và các trị số điện trở R . Kết quả là, độ chính xác trong việc kiểm tra các bảng mạch màn hình chạm P có thể được cải thiện.

Các hình vẽ từ Fig.10 đến Fig.12 là các đồ thị giải thích để giải thích một ví dụ về mối liên hệ giữa các điện dung được đo C_{mes} tương ứng với các vị trí tọa độ trên bảng mạch màn hình chạm P, và tần số f của tín hiệu AC SA sử dụng trong việc đo. Fig.10 minh họa một ví dụ trong đó tần số f là tần số thấp, Fig.11 minh họa một ví dụ trong đó tần số f là tần số trung bình cao hơn tần số trên Fig.10, và Fig.12 minh họa một ví dụ của thiết bị kiểm tra bảng mạch 1 được minh họa trên Fig.1, trong đó tần số f là tần số cao gần như bằng với tần số đọc f_0 .

Các điện dung $C(m, n)$ tương ứng với các vị trí tọa độ giống về mặt nguyên lý, mặc dù có một số thay đổi do các thay đổi về mặt sản xuất. Khi tần số f được thiết lập ở tần số thấp, các điện dung được đo C_{mes} tương ứng với các vị trí tọa độ gần như bằng nhau, như được minh họa trên Fig.10, và cần phải hiểu rõ rằng hầu hết các điện dung thực tế $C(m, n)$ có thể được đo “như thế”.

Tuy nhiên, khi tần số f tăng lên, sự ảnh hưởng của điện dung bên trong C_i và điện dung tạp tán C_f tăng lên như được minh họa trên Fig.11, và các độ lệch tăng ở các điện dung được đo C_{mes} phụ thuộc vào các vị trí tọa độ. Hơn nữa là, khi tần số f thiết lập đến tần số cao nghĩa là gần như bằng với tần số đọc f_0 do cần phải cải thiện độ tin cậy trong việc kiểm tra, việc ảnh hưởng của điện dung bên trong C_i và điện dung tạp tán C_f tăng lên một cách đáng kể, làm tăng các độ lệch ở các điện dung được đo C_{mes} phụ thuộc vào các vị trí tọa độ. Do đó, trở nên khó để xác định có hay không bảng mạch màn hình chạm P là tốt hoặc có khiếm khuyết dựa trên các điện dung được đo C_{mes} .

Fig.13 là đồ thị giải thích để minh họa các điện dung C thu được dưới dạng kết quả của việc hiệu chỉnh các điện dung được đo C_{mes} được thể hiện trên Fig.12 bởi quy trình bước S10. Như có thể thấy trên Fig.13, đã được xác nhận là sự ảnh hưởng của điện dung bên trong C_i , trị số điện trở bên trong R_i đã được làm giảm bởi các quy trình các bước S10 và S11, sao cho các độ lệch ở điện dung C phụ thuộc vào các vị trí tọa độ có thể được làm giảm.

Fig.14 là đồ thị thể hiện các trị số lý thuyết của các trị số điện trở R tương ứng với các vị trí tọa độ trên bảng mạch màn hình chạm P. Các trị số điện trở R dẫn đến các trị số khác nhau phụ thuộc vào các vị trí tọa độ bởi vì các độ dài của điện cực X X và điện cực Y Y theo cách đo điện trở là khác nhau phụ thuộc vào các vị trí tọa độ. Tuy nhiên, sự thay đổi các trị số của chúng gần như tuyến tính so với các vị trí tọa độ, như được minh họa trên Fig.14.

Fig.15 và Fig.16 là các đồ thị thể hiện mối liên hệ giữa các điện trở được đo R_{mes} tương ứng với mỗi vị trí trong số các vị trí tọa độ trên bảng mạch màn hình chạm, và tần số đo f . Trên mỗi hình vẽ trong số Fig.15 và Fig.16, mặt phẳng cơ sở thể hiện các vị trí tọa độ, và chiều cao thể hiện các trị số điện trở được đo R_{mes} . Fig.15 minh họa trường hợp trong đó tần số f là tần số thấp thấp hơn tần số đọc f_0 , và Fig.16 minh họa một ví dụ của thiết bị kiểm tra bảng mạch 1 được minh họa trên Fig.1, trong đó tần số f là tần số cao gần bằng tần số đọc f_0 .

Được xác nhận rằng khi tần số f là tần số thấp thấp hơn tần số đọc f_0 , các thay đổi về các điện trở được đo R_{mes} đối với các vị trí tọa độ tăng lên, như được minh họa trên Fig.15; ngược lại, khi tần số f là tần số cao gần như bằng với tần số đọc f_0 , các thay đổi ở các điện trở được đo R_{mes} được duy trì để gần như giống với các trị số lý thuyết được thể hiện trên Fig.14, như được minh họa trên Fig.16.

Fig.17 là đồ thị giải thích để giải thích tình huống trong đó khiếm khuyết F đã xuất hiện ở điện cực X X2 trên bảng mạch màn hình chạm P. Trên Fig.17, khiếm khuyết F hiện tại ở vị trí tọa độ (X2, Y1) và vị trí tọa độ (X2, Y2). Fig.18 là đồ thị thể hiện các độ lệch $Dr(m, n)$ (trong đó $m = 1, 2, 3, 4, 5, 6$, hoặc 7; và $n = 1, 2, 3, 4$, hoặc 5) tương ứng với các vị trí tọa độ liên quan đến bảng mạch màn hình chạm P được minh họa trên Fig.17. Trên Fig.18, mặt phẳng cơ sở thể hiện các vị trí tọa độ, và chiều cao thể hiện các độ lệch Dr .

Như có thể thấy từ Fig.18, được xác nhận rằng các đỉnh lớn của các trị số điện trở đã được quan sát ở vị trí tọa độ $(X2, Y1)$ và vị trí tọa độ $(X2, Y2)$, trong đó khiếm khuyết F là có, mà khiến cho có thể nhận dạng các vị trí trong đó khiếm khuyết F đã xảy ra.

Fig.19 là đồ thị giải thích minh họa ví dụ được biến đổi của thiết bị kiểm tra bảng mạch 1 được thể hiện trên Fig.1. Thiết bị kiểm tra bảng mạch 1 được minh họa trên Fig.1 thể hiện một ví dụ trong đó ampe kế 3 được nối với một đầu của điện cực X X và năng lượng nguồn AC 2 được nối với một đầu của điện cực Y Y. Tuy nhiên, như được minh họa trên Fig.19, có thể áp dụng kết cấu trong đó ampe kế 3 được nối với cả hai đầu của điện cực X X và năng lượng nguồn AC 2 được nối với cả hai đầu của điện cực Y Y. Trong trường hợp này, đồ thị thể hiện các điện trở được đo R_{mes} không dẫn đến dạng phẳng như được thể hiện trên Fig.14, nhưng dẫn đến hình quân hàm hình V, như được minh họa trên Fig.20. Cũng trong trường hợp này, bảng mạch màn hình chạm P có thể được kiểm tra bởi các quy trình các bước S1 đến S211 được minh họa trên các hình vẽ từ Fig.6 đến Fig.9.

Cần phải hiểu rõ rằng bộ phận tính toán 42 có thể khiến cho bộ phận hiển thị 4 hiển thị, ví dụ, đồ thị như được minh họa trên Fig.16 trong đó các trị số điện trở R được thể hiện thay cho các trị số điện trở được đo R_{mes} trên đồ thị. Cụ thể là, có khả năng là bộ phận hiển thị 5 có thể hiển thị ảnh thể hiện các tọa độ x tương ứng với X điện cực X1–X7, các tọa độ y tương ứng với Y điện cực Y1–Y5, và các trị số điện trở $R(m, n)$ ở các vị trí tọa độ (X_m, Y_n) tương ứng với các tọa độ $x-y$ trong đồ thị ba chiều, ví dụ, như đồ thị được thể hiện trên Fig.16.

Bộ phận tính toán 42 có thể khiến cho bộ phận hiển thị 5 hiển thị, ví dụ, đồ thị được minh họa trên Fig.13. Cụ thể, có khả năng là bộ phận hiển thị 5 có thể hiển thị ảnh thể hiện các tọa độ x tương ứng với các điện cực X X1–X7, các tọa độ y tương ứng với các điện cực Y Y1–Y5, và các điện dung $C(m, n)$ ở các vị trí tọa độ (X_m, Y_n) tương ứng với hệ tọa độ $x-y$, ba chiều, ví dụ, như đồ thị được thể hiện trên Fig.13.

Còn có khả năng là, như được minh họa trên Fig.18, bộ phận hiển thị 5 có thể hiển thị ảnh ba chiều thể hiện các tọa độ x tương ứng với các điện cực X X1–X7, các tọa độ y tương ứng với các điện cực Y Y1–Y5, và các độ lệch $Dr(m, n)$ ở các vị trí tọa độ (X_m, Y_n) tương ứng với hệ tọa độ $x-y$.

Còn có thể hiển thị các độ lệch $D_c(m, n)$ thay cho các độ lệch $D_r(m, n)$ được thể hiện trên Fig.18. Nghĩa là, bộ phận hiển thị 5 có thể hiển thị ảnh ba chiều thể hiện các tọa độ x tương ứng với các điện cực X X1–X7, y hệ tọa độ tương ứng với các điện cực Y Y1–Y5, và các độ lệch $D_c(m, n)$ ở các vị trí tọa độ (X_m, Y_n) tương ứng với hệ tọa độ $x-y$.

Mô tả các số chỉ dẫn

- 1: thiết bị kiểm tra bảng mạch
- 2: nguồn năng lượng AC (bộ phận xuất điện áp AC)
- 3: ampe kế (bộ phận phát hiện dòng điện)
- 4: bộ phận kiểm soát
- 5: bộ phận hiển thị
- 6: bộ phận vận hành
- 41: bộ phận xử lý việc đo
- 42: bộ phận tính toán
- 43: bộ phận xử lý thu được các thông số bên trong
- 44: bộ phận xử lý thu được các thông số ký sinh (bộ phận xử lý việc thu được điện dung tạp tán)
- 45: bộ phận nhớ các thông số bên trong
- 46: các bộ phận nhớ các thông số ký sinh (bộ phận nhớ điện dung tạp tán)
- 47: bộ phận nhớ các thông số chuẩn
- 48: bộ phận nhớ trị số đánh giá
- 49: bộ phận đánh giá
- C: điện dung
- Cf: điện dung tạp tán
- Ci: điện dung bên trong
- Cj: trị số đánh giá điện dung
- Cmes: điện dung được đo
- Cref: điện dung chuẩn
- Dc: độ lệch
- Dcj: trị số đánh giá độ lệch
- Dc: độ lệch

D_{cj} : trị số đánh giá độ lệch
 f : tần số
 f_0 : tần số đọc
 I : trị số dòng điện
 P : bảng mạch màn hình chạm (bảng mạch)
 P_{ref} : bảng mạch chuẩn
 $P_x, P_{x1}-P_{x7}$: các đầu cuối bảng mạch (các đầu cuối bảng mạch thứ nhất)
 $P_y, P_{y1}-P_{y5}$: các đầu cuối bảng mạch (các đầu cuối bảng mạch thứ hai)
 R
 R_f : trị số điện trở ký sinh
 R_i : trị số điện trở bên trong
 R_j : trị số đánh giá điện trở
 R_{mes} : trị số điện trở được đo
 R_{ref} : trị số điện trở chuẩn
 SA : tín hiệu AC
 SW_1, SW_2 : các bộ chuyển mạch lựa chọn
 $T_{x1}-T_{x7}$: các đầu cuối nối (đầu cuối nối thứ nhất)
 $T_{y1}-T_{y5}$: các đầu cuối nối (các đầu cuối nối thứ hai)
 V : điện áp đầu ra
 X_1-X_7 : các điện cực (các điện cực thứ nhất)
 Y_1-Y_5 : các điện cực (các điện cực thứ hai)
 Z : trở kháng được đo
 θ : độ lệch pha

YÊU CẦU BẢO HỘ

1. Thiết bị kiểm tra bảng mạch để kiểm tra bảng mạch, trong đó nhiều điện cực thứ nhất kéo dài dọc theo hướng thứ nhất định trước, và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, thiết bị kiểm tra bảng mạch này bao gồm:

bộ phận xuất điện áp AC để đưa ra điện áp AC định trước;

bộ phận phát hiện dòng điện để phát hiện dòng điện;

nhiều đầu cuối nối thứ nhất có thể nối điện một cách lần lượt với nhiều điện cực thứ nhất;

nhiều đầu cuối nối thứ hai có thể nối điện một cách lần lượt với nhiều điện cực thứ hai;

bộ phận xử lý việc đo để thực hiện quá trình đo, tương ứng với nhiều tổ hợp thu được bằng cách kết hợp một cách lần lượt nhiều đầu cuối nối thứ nhất và nhiều đầu cuối nối thứ hai, và liên quan đến các đầu cuối nối thứ nhất và thứ hai tương ứng với mỗi tổ hợp trong số các tổ hợp, cấp điện áp AC đến các đầu cuối nối thứ hai thông qua bộ phận xuất điện áp AC và phát hiện dòng điện chạy trong các đầu cuối nối thứ nhất thông qua bộ phận phát hiện dòng điện, để do đó thu được các dòng điện tương ứng với mỗi tổ hợp trong số các tổ hợp; và

bộ phận tính toán để thực hiện quá trình tính toán, dựa trên cường độ của các dòng điện được phát hiện bởi bộ phận phát hiện dòng điện trong quá trình đo và dựa trên thông tin chỉ báo các pha của các dòng điện, tính toán các trị số điện dung và điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp, và

bộ phận nhớ các thông số bên trong lưu trữ, dưới dạng các trị số điện dung bên trong và điện trở bên trong, các trị số điện dung và điện trở nảy sinh trong phần trong thiết bị kiểm tra bảng mạch tương ứng với mỗi tổ hợp trong số các tổ hợp; trong đó

bộ phận tính toán còn thực hiện quá trình hiệu chỉnh các thông số bên trong nhằm hiệu chỉnh các trị số điện dung và điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp, dựa trên các trị số điện dung bên trong và điện trở bên trong được lưu trữ trong bộ phận nhớ các thông số bên trong tương ứng với mỗi tổ hợp trong số các tổ hợp.

2. Thiết bị kiểm tra bảng mạch theo điểm 1, trong đó thiết bị này còn bao gồm: bộ phận xử lý thu được các thông số bên trong để lưu trữ các trị số điện dung và điện trở, thu được tương ứng với mỗi tổ hợp trong số các tổ hợp bằng cách thực hiện quá trình đo và quá trình tính toán thông qua bộ phận xử lý việc đo và bộ phận tính toán ở trạng thái trong đó nhiều điện cực thứ nhất và thứ hai không được nối với nhiều đầu cuối nối thứ nhất và thứ hai, trong bộ phận nhớ các thông số bên trong dưới dạng các trị số điện dung bên trong và điện trở bên trong tương ứng với mỗi tổ hợp trong số các tổ hợp.

3. Thiết bị kiểm tra bảng mạch để kiểm tra bảng mạch, trong đó nhiều điện cực thứ nhất kéo dài dọc theo hướng thứ nhất định trước, và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, thiết bị kiểm tra bảng mạch này bao gồm:

bộ phận xuất điện áp AC để đưa ra điện áp AC định trước;

bộ phận phát hiện dòng điện để phát hiện dòng điện;

nhiều đầu cuối nối thứ nhất có thể nối điện một cách lần lượt với nhiều điện cực thứ nhất;

nhiều đầu cuối nối thứ hai có thể nối điện một cách lần lượt với nhiều điện cực thứ hai;

bộ phận xử lý việc đo để thực hiện quá trình đo, tương ứng với nhiều tổ hợp thu được bằng cách kết hợp một cách lần lượt nhiều đầu cuối nối thứ nhất và nhiều đầu cuối nối thứ hai, và liên quan đến các đầu cuối nối thứ nhất và thứ hai tương ứng với mỗi tổ hợp trong số các tổ hợp, cấp điện áp AC đến các đầu cuối nối thứ hai thông qua bộ phận xuất điện áp AC và phát hiện dòng điện chạy trong các đầu cuối nối thứ nhất thông qua bộ phận phát hiện dòng điện, để do đó thu được các dòng điện tương ứng với mỗi tổ hợp trong số các tổ hợp; và

bộ phận tính toán để thực hiện quá trình tính toán, dựa trên cường độ của các dòng điện được phát hiện bởi bộ phận phát hiện dòng điện trong quá trình đo và dựa trên thông tin chỉ báo các pha của các dòng điện, tính toán các trị số điện dung và điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp, và

bộ phận nhớ điện dung tạp tán lưu trữ các điện dung tạp tán, được tạo ra trong bảng mạch, tương ứng với mỗi tổ hợp trong số các tổ hợp; trong đó

bộ phận tính toán thực hiện quá trình hiệu chỉnh điện dung tạp tán nhằm hiệu chỉnh các điện dung tương ứng với mỗi tổ hợp trong số các tổ hợp, dựa trên các điện dung tạp tán được lưu trữ trong bộ phận nhớ điện dung tạp tán tương ứng với mỗi tổ hợp trong số các tổ hợp.

4. Thiết bị kiểm tra bảng mạch theo điểm 3, trong đó thiết bị này còn bao gồm:

bộ phận nhớ điện dung chuẩn lưu trữ các điện dung chuẩn tương ứng với mỗi tổ hợp trong số các tổ hợp, dùng cho bảng mạch chuẩn nhờ đó các điện dung chuẩn, là các điện dung tạo ra bảng mạch bên trong tương ứng với mỗi tổ hợp trong số các tổ hợp, đã được tìm ra từ trước; và

bộ phận xử lý việc thu được điện dung tạp tán cho, ở trạng thái trong đó liên quan đến bảng mạch chuẩn, nhiều đầu cuối nối thứ nhất và thứ hai được nối, và dựa trên các điện dung thu được tương ứng với mỗi tổ hợp trong số các tổ hợp bằng cách thực hiện quá trình đo và quá trình tính toán thông qua bộ phận xử lý việc đo và bộ phận tính toán, và dựa trên các điện dung chuẩn được lưu trữ tương ứng với mỗi tổ hợp trong số các tổ hợp thông qua bộ phận nhớ điện dung chuẩn, tính toán, và lưu trữ trong bộ phận nhớ điện dung tạp tán, các điện dung tạp tán tương ứng với mỗi tổ hợp trong số các tổ hợp.

5. Thiết bị kiểm tra bảng mạch theo điểm bất kỳ trong số các điểm từ 1 đến 4, trong đó thiết bị này còn bao gồm:

bảng mạch bao gồm:

nhiều đầu cuối bảng mạch thứ nhất mỗi đầu cuối nối điện với nhiều điện cực thứ nhất,

và nhiều đầu cuối bảng mạch thứ hai mỗi đầu cuối nối điện với nhiều điện cực thứ hai; trong đó

nhiều đầu cuối nối thứ nhất được nối một cách lần lượt với nhiều đầu cuối bảng mạch thứ nhất, và được nối điện một cách lần lượt với nhiều điện cực thứ nhất qua

nhiều đầu cuối bảng mạch thứ nhất; và

nhiều đầu cuối nối thứ hai được nối một cách lần lượt với nhiều đầu cuối bảng mạch thứ hai, và được nối điện một cách lần lượt với nhiều điện cực thứ hai qua nhiều đầu cuối bảng mạch thứ hai.

6. Thiết bị kiểm tra bảng mạch theo điểm bất kỳ trong số các điểm từ 1 đến 5, trong đó thiết bị này còn bao gồm:

bảng mạch là màn hình chạm được bố trí trước, trong đó tín hiệu AC, ở tần số đọc định trước để đọc điện dung ở các vị trí trong đó mỗi điện cực trong số các điện cực thứ nhất và mỗi điện cực trong số các điện cực thứ hai giao nhau, được cấp đến mỗi điện cực trong số các điện cực thứ nhất và thứ hai; trong đó

tần số của điện áp AC gần như bằng tần số đọc.

7. Thiết bị kiểm tra bảng mạch theo điểm bất kỳ trong số các điểm từ 1 đến 6, trong đó thiết bị này còn bao gồm:

bộ phận nhớ trị số đánh giá lưu trữ từ trước các trị số đánh giá tạo nên các chuẩn để đánh giá chất lượng của các trị số điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp; và

bộ phận đánh giá để tính toán các độ chênh, một cách lần lượt tương ứng với mỗi tổ hợp trong số các tổ hợp, giữa các trị số điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp, thu được thông qua bộ phận tính toán, và các trị số đánh giá được lưu trữ trong bộ phận nhớ trị số đánh giá tương ứng với mỗi tổ hợp trong số các tổ hợp, và nếu các độ chênh tương ứng với mỗi tổ hợp trong số các tổ hợp vượt quá các trị số đánh giá độ chênh định trước, đánh giá các vị trí tọa độ được biểu diễn bởi các điện cực thứ nhất và thứ hai tương ứng với các tổ hợp trong đó các trị số đánh giá độ chênh được vượt quá cần phải là các vị trí khiếm khuyết trên bảng mạch.

8. Thiết bị kiểm tra bảng mạch theo điểm bất kỳ trong số các điểm từ 1 đến 7, trong đó thiết bị này còn bao gồm bộ phận hiển thị để hiển thị ảnh trong đó các trị số điện trở, được tính toán thông qua quá trình tính toán, tương ứng với mỗi tổ hợp trong số các tổ

hợp được biểu diễn bởi đồ thị ba chiều.

9. Thiết bị kiểm tra bảng mạch theo điểm bất kỳ trong số các điểm từ 1 đến 8, trong đó thiết bị này còn bao gồm bộ phận hiển thị để hiển thị ảnh trong đó các trị số điện dung, được tính toán thông qua quá trình tính toán, tương ứng với mỗi tổ hợp trong số các tổ hợp được biểu diễn bởi đồ thị ba chiều.

10. Thiết bị kiểm tra bảng mạch theo điểm 7, trong đó thiết bị này còn bao gồm bộ phận hiển thị để hiển thị ảnh trong đó các độ chênh, được tính toán thông qua bộ phận đánh giá, tương ứng với mỗi tổ hợp trong số các tổ hợp được biểu diễn bởi đồ thị ba chiều.

11. Phương pháp kiểm tra bảng mạch để kiểm tra bảng mạch bằng cách sử dụng thiết bị kiểm tra bảng mạch, trong đó nhiều điện cực thứ nhất kéo dài dọc theo hướng thứ nhất định trước, và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, phương pháp kiểm tra bảng mạch bao gồm:

bước nối điện nhiều đầu cuối nối thứ nhất một cách lần lượt với nhiều điện cực thứ nhất;

bước nối điện nhiều đầu cuối nối thứ hai một cách lần lượt với nhiều điện cực thứ hai;

bước xử lý việc đo nhằm thực hiện quá trình đo, tương ứng với nhiều tổ hợp thu được bằng cách kết hợp một cách lần lượt nhiều đầu cuối nối thứ nhất và nhiều đầu cuối nối thứ hai, và liên quan đến các đầu cuối nối thứ nhất và thứ hai tương ứng với mỗi tổ hợp trong số các tổ hợp, cung cấp điện áp AC đến các đầu cuối nối thứ hai và phát hiện dòng điện chạy trong các đầu cuối nối thứ nhất, để do đó thu được các dòng điện tương ứng với mỗi tổ hợp trong số các tổ hợp; và

bước tính toán nhằm thực hiện quá trình tính toán, dựa trên cường độ của các dòng điện được phát hiện trong quá trình đo và dựa trên thông tin chỉ báo các pha của các dòng điện, tính toán các trị số điện dung và điện trở tương ứng với mỗi tổ hợp

trong số các tổ hợp, và

bước lưu trữ nhằm thực hiện quá trình lưu trữ nhằm lưu trữ, dưới dạng các trị số điện dung bên trong và điện trở bên trong, các trị số điện dung và điện trở phát sinh trong phần trong thiết bị kiểm tra bảng mạch tương ứng với mỗi tổ hợp trong số các tổ hợp trong bộ phận nhớ các thông số bên trong; trong đó

trong bước tính toán, quá trình hiệu chỉnh các thông số bên trong nhằm hiệu chỉnh các trị số điện dung và điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp, dựa trên các trị số điện dung bên trong và điện trở bên trong được lưu trữ trong bộ phận nhớ các thông số bên trong tương ứng với mỗi tổ hợp trong số các tổ hợp, tiếp tục được thực hiện.

12. Phương pháp kiểm tra bảng mạch để kiểm tra bảng mạch, trong đó nhiều điện cực thứ nhất kéo dài dọc theo phương thứ nhất định trước, và nhiều điện cực thứ hai kéo dài dọc theo hướng thứ hai giao với hướng thứ nhất được tạo ra ngược với nhau, phương pháp kiểm tra bảng mạch này bao gồm:

bước nối điện nhiều đầu cuối nối thứ nhất một cách lần lượt với nhiều điện cực thứ nhất;

bước nối điện nhiều đầu cuối nối thứ hai một cách lần lượt với nhiều điện cực thứ hai;

bước xử lý việc đo nhằm thực hiện quá trình đo, tương ứng với nhiều tổ hợp thu được bằng cách kết hợp một cách lần lượt nhiều đầu cuối nối thứ nhất và nhiều đầu cuối nối thứ hai, và liên quan đến các đầu cuối nối thứ nhất và thứ hai tương ứng với mỗi tổ hợp trong số các tổ hợp, cung cấp điện áp AC đến các đầu cuối nối thứ hai và phát hiện dòng điện chạy trong các đầu cuối nối thứ nhất, để do đó thu được các dòng điện tương ứng với mỗi tổ hợp trong số các tổ hợp; và

bước tính toán nhằm thực hiện quá trình tính toán, dựa trên cường độ của các dòng điện được phát hiện trong quá trình đo và dựa trên thông tin chỉ báo các pha của các dòng điện, tính toán các trị số điện dung và điện trở tương ứng với mỗi tổ hợp trong số các tổ hợp, và

bước lưu trữ nhằm thực hiện quá trình lưu trữ nhằm lưu trữ các điện dung tạp tán, được tạo ra trong bảng mạch, tương ứng với mỗi tổ hợp trong số các tổ hợp, trong

bộ phận nhớ điện dung tập tán; trong đó

trong bước tính toán, quá trình hiệu chỉnh điện dung tập tán nhằm hiệu chỉnh các điện dung tương ứng với mỗi tổ hợp trong số các tổ hợp, dựa trên các điện dung tập tán được lưu trữ trong bộ phận nhớ điện dung tập tán tương ứng với mỗi tổ hợp trong số các tổ hợp, tiếp tục được thực hiện.

Fig. 1

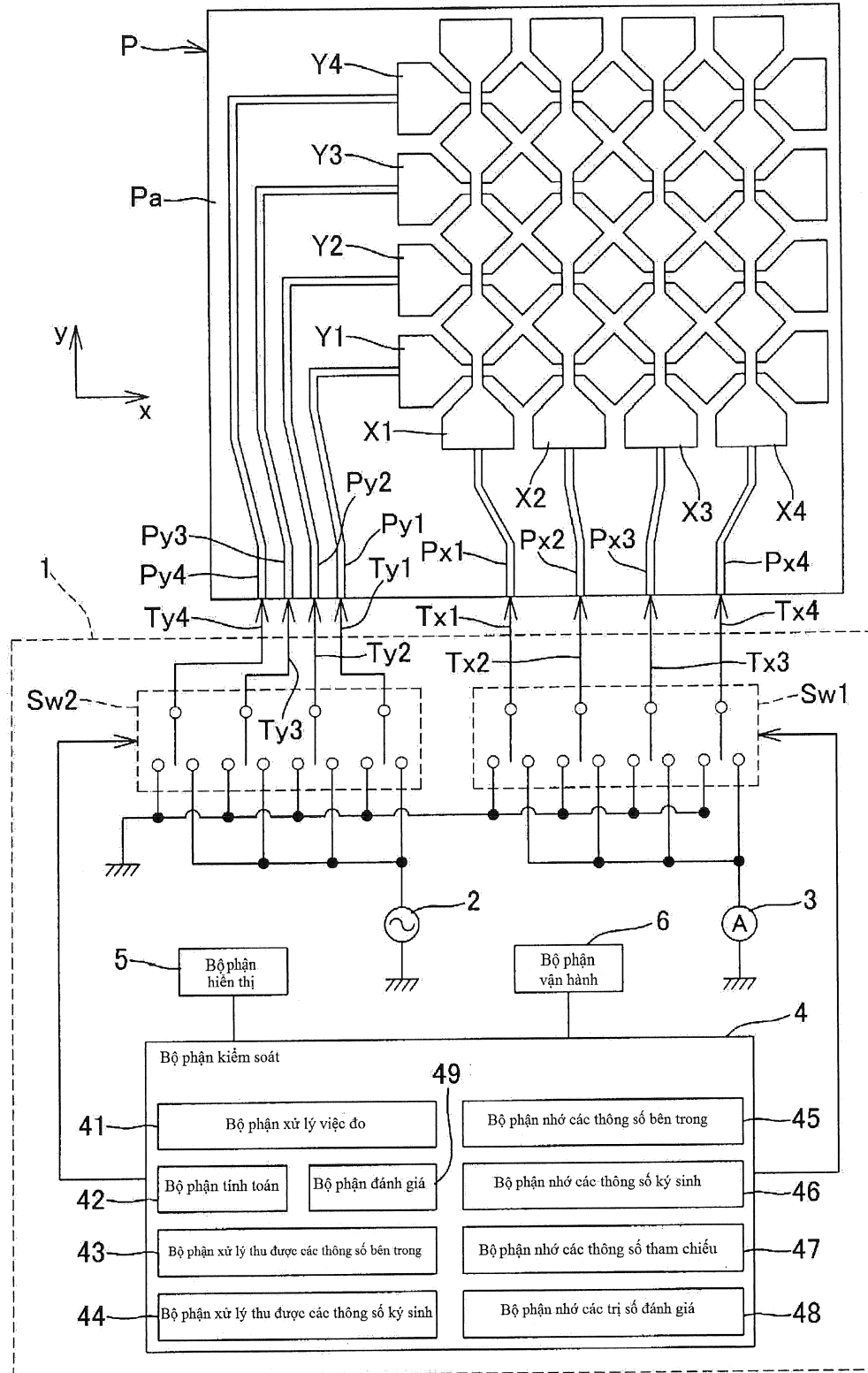


Fig. 2

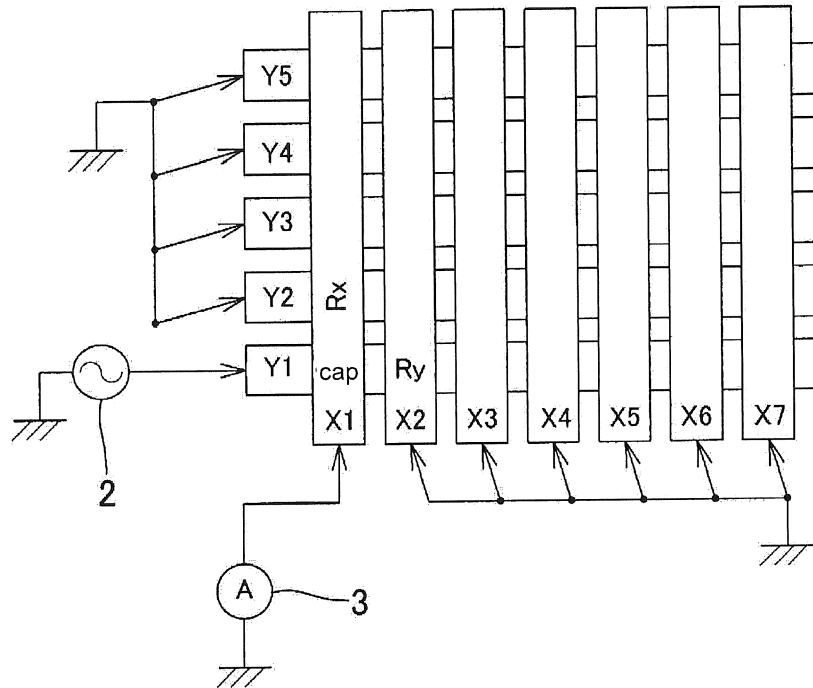


Fig. 3

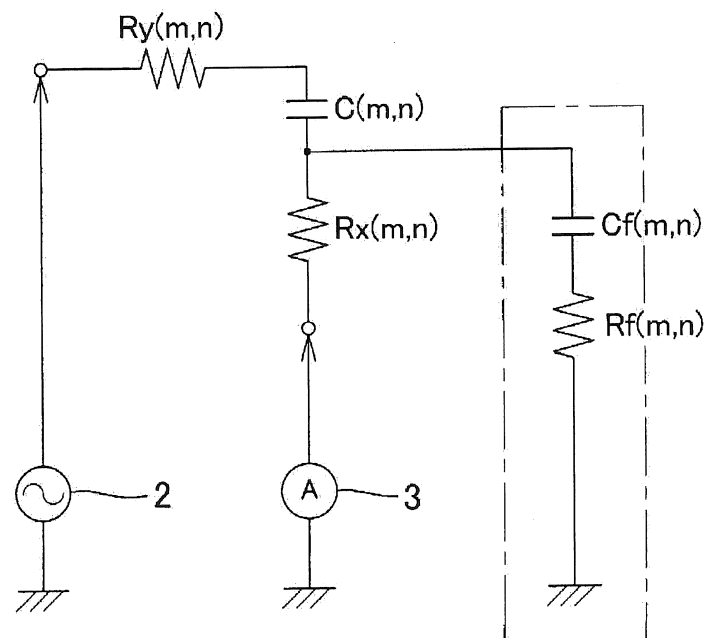


Fig. 4

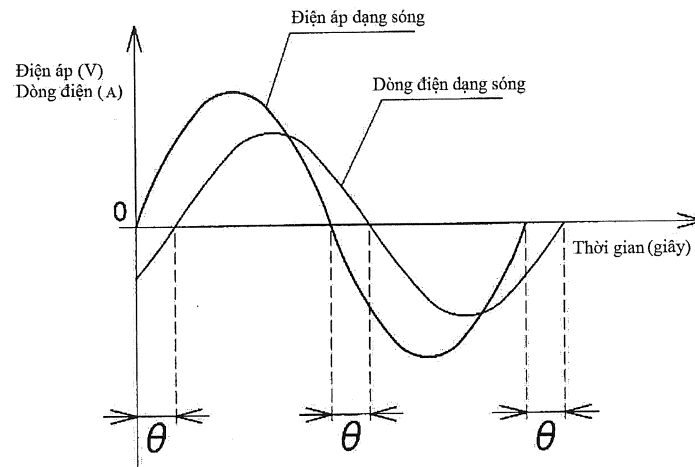


Fig.5

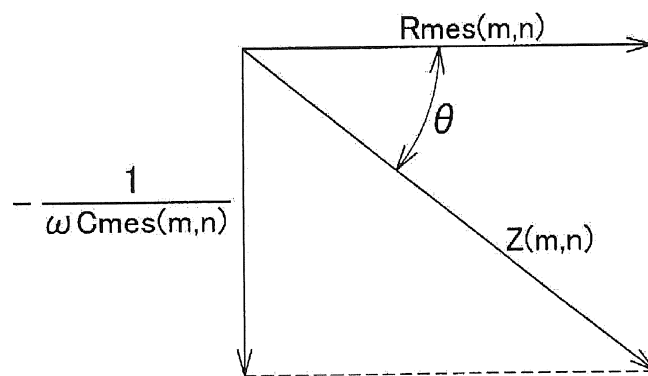


Fig. 6

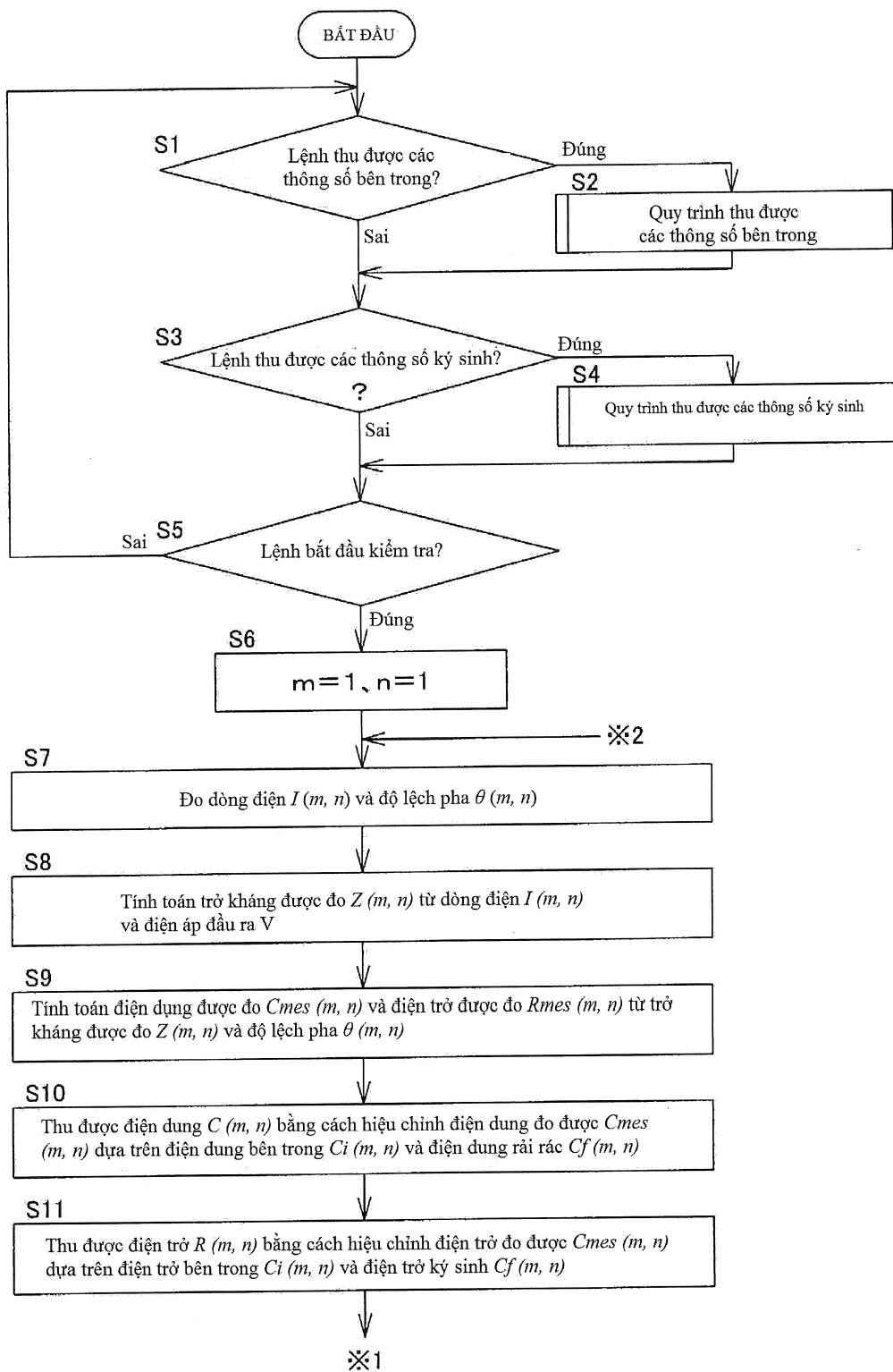


Fig. 7

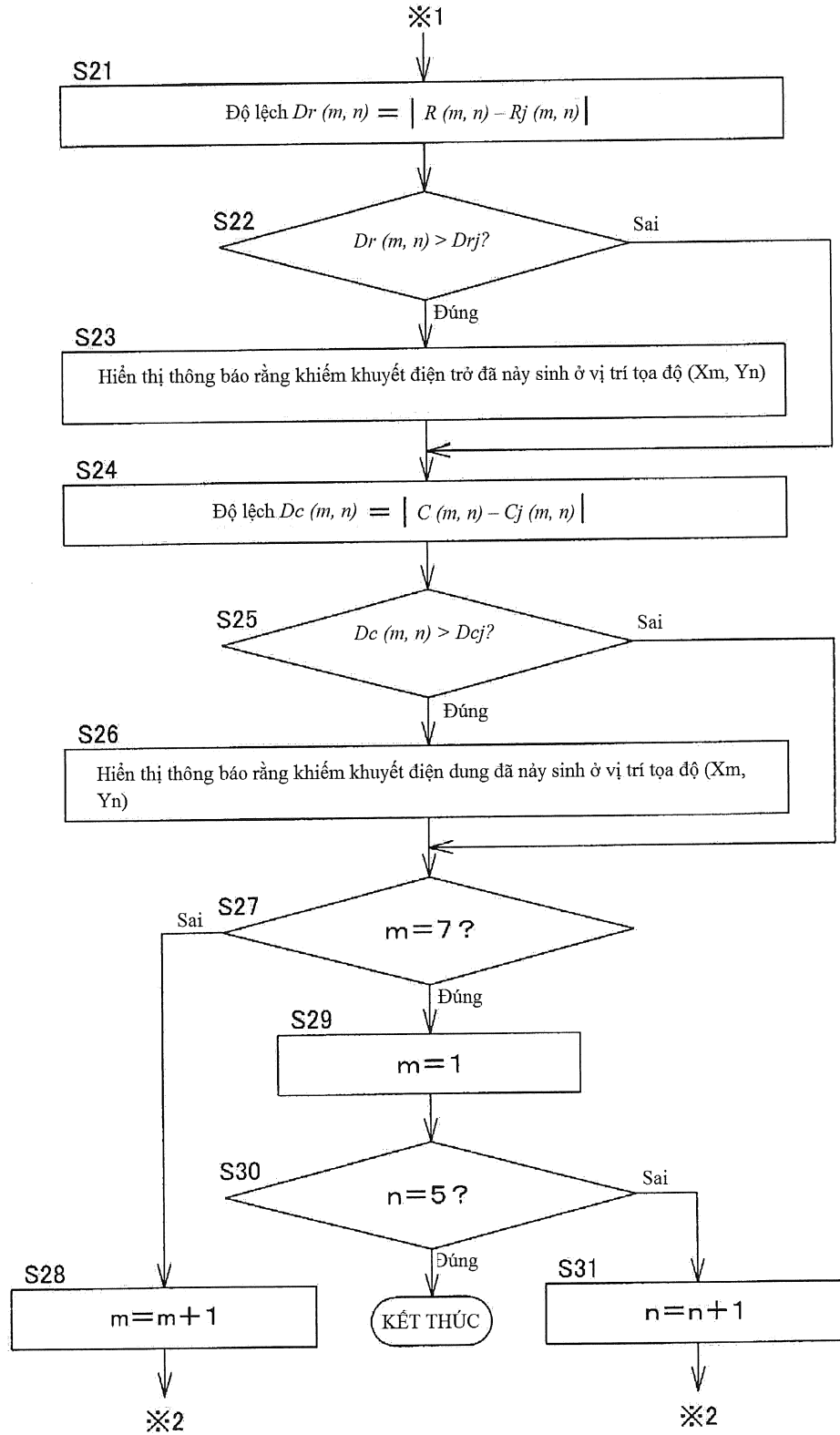


Fig. 8

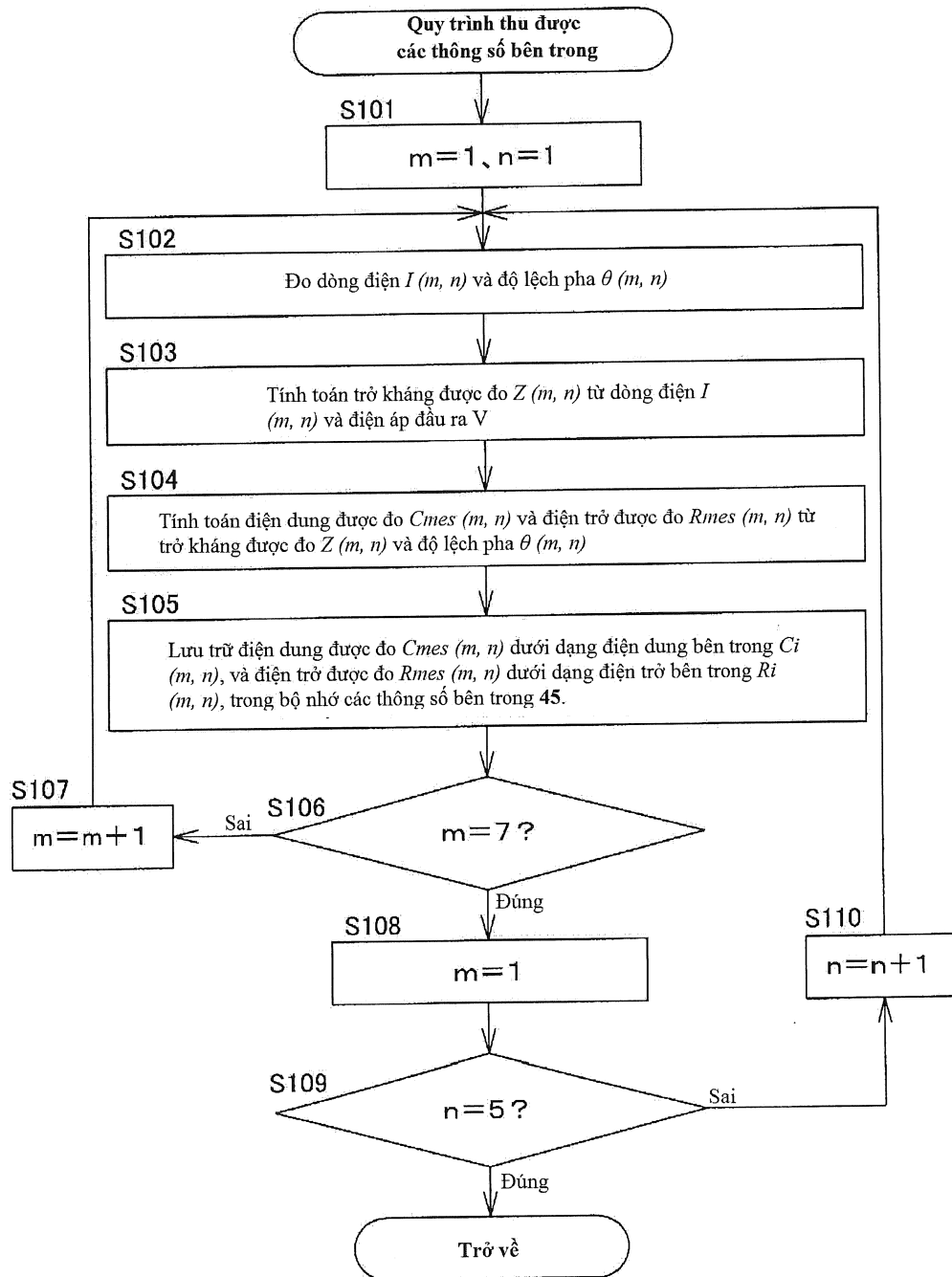


Fig. 9

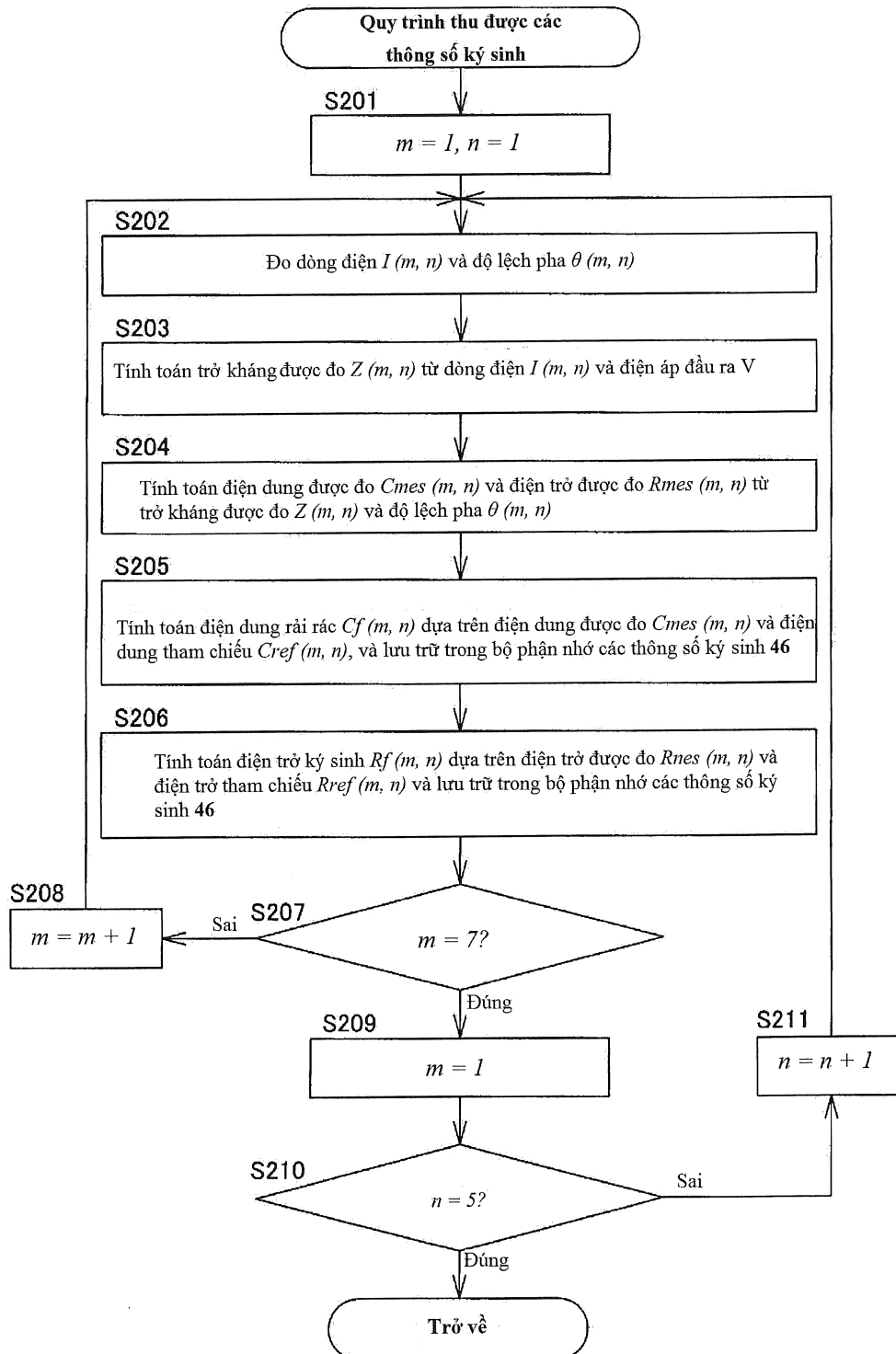


Fig. 10

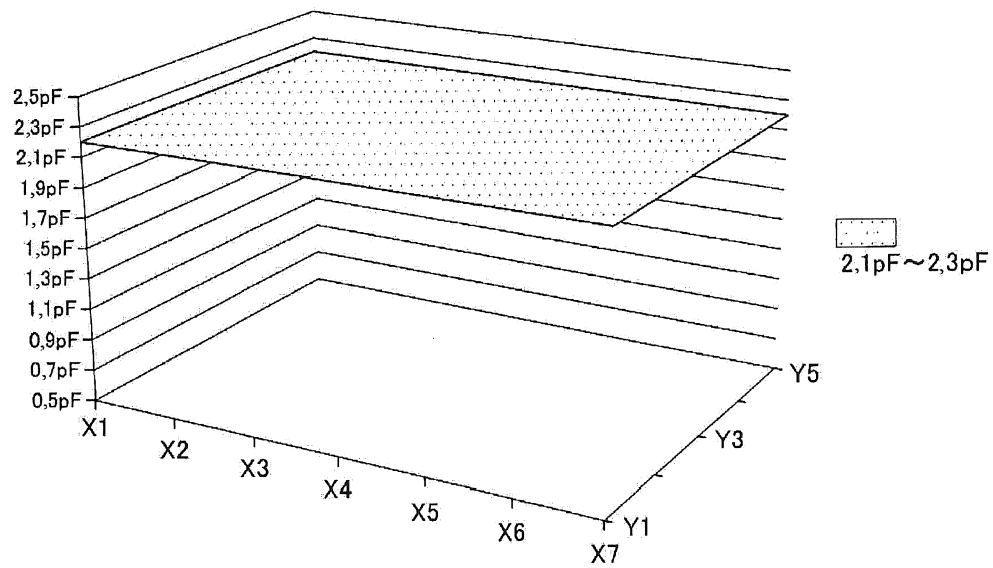


Fig. 11

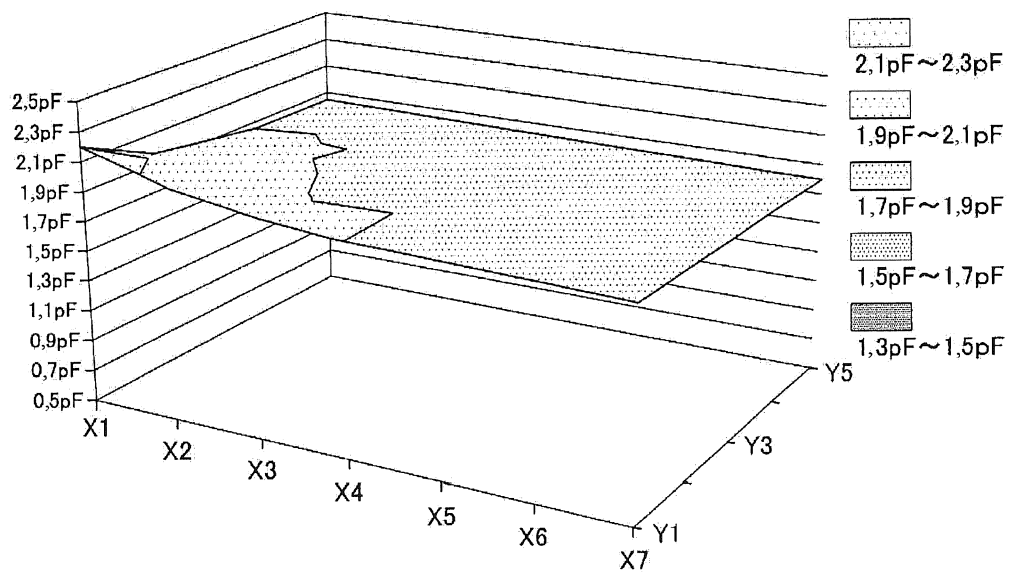


Fig. 12

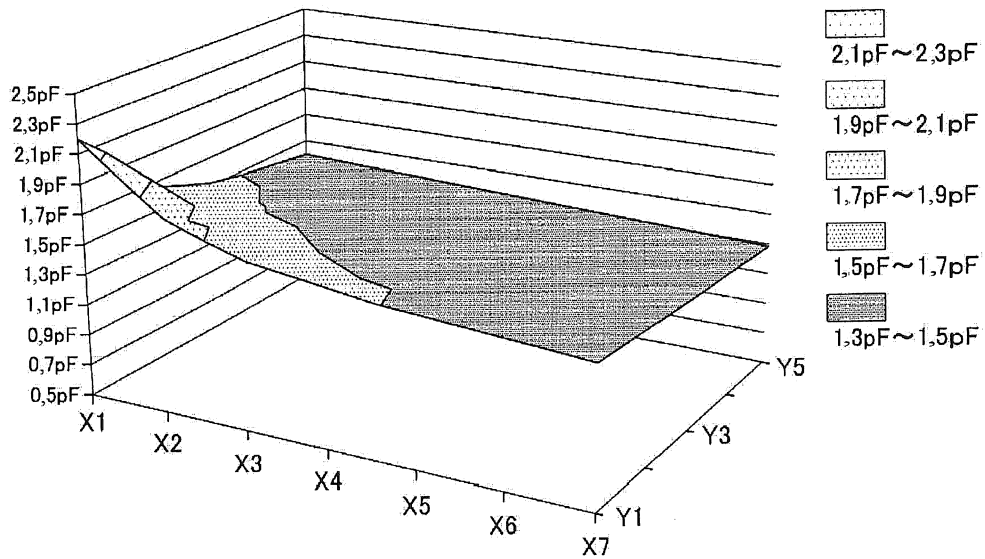


Fig. 13

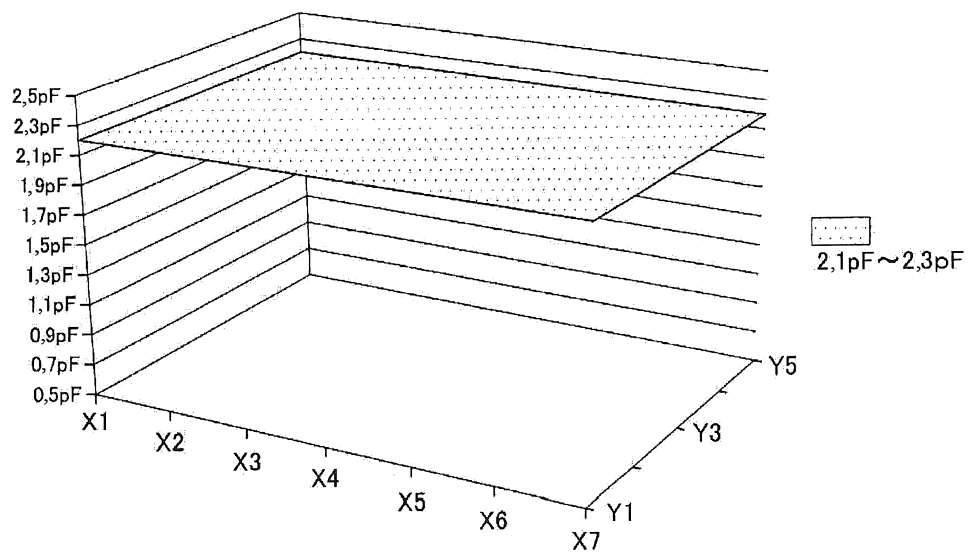


Fig. 14

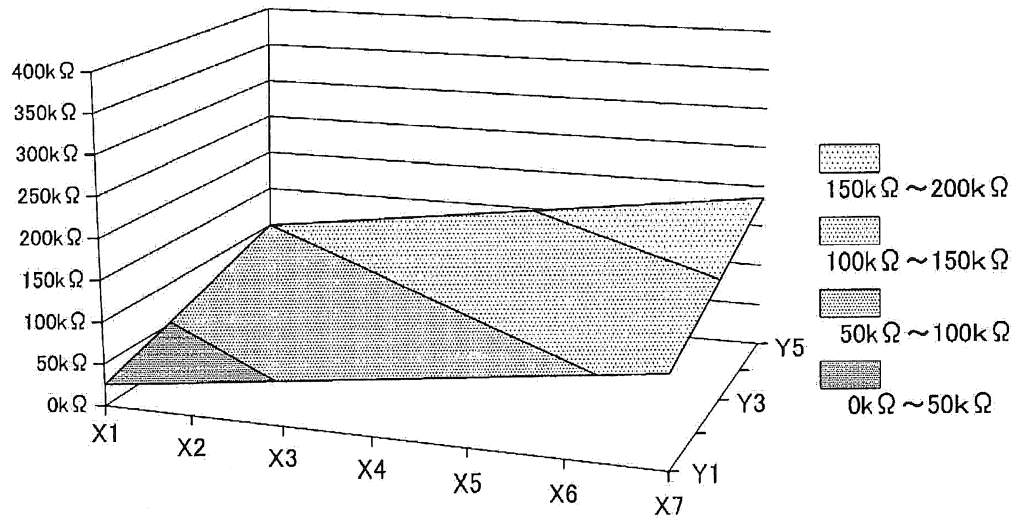


Fig. 15

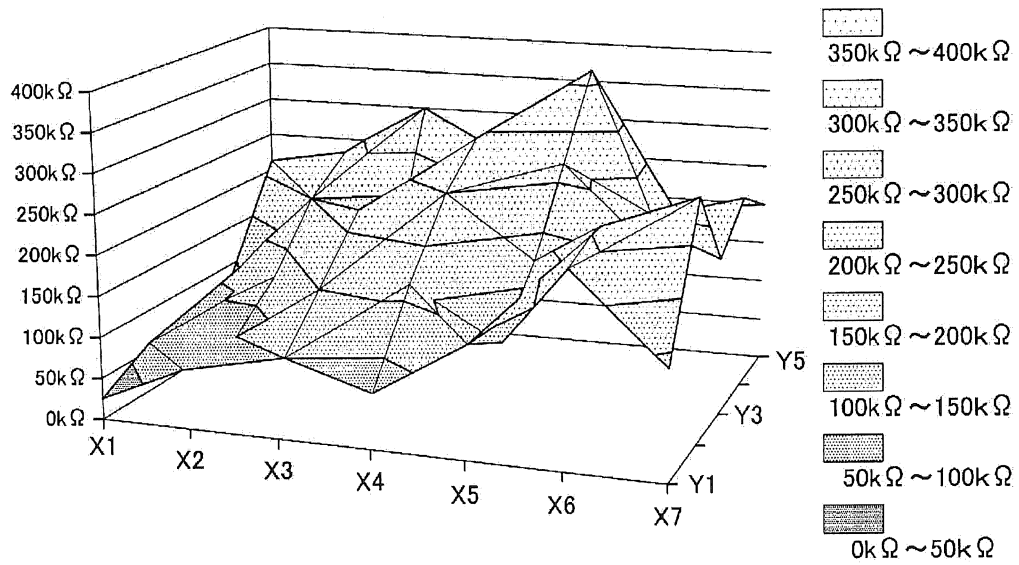


Fig. 16

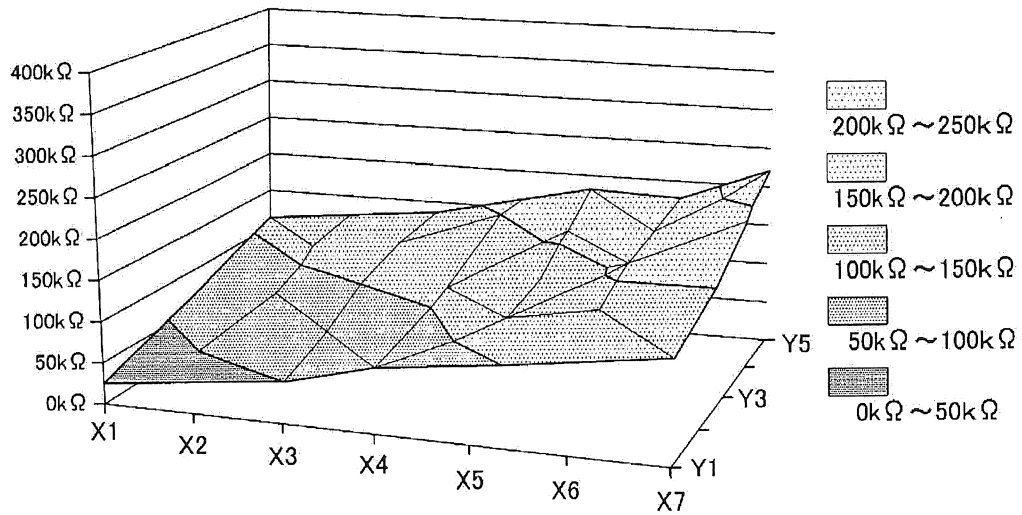


Fig. 17

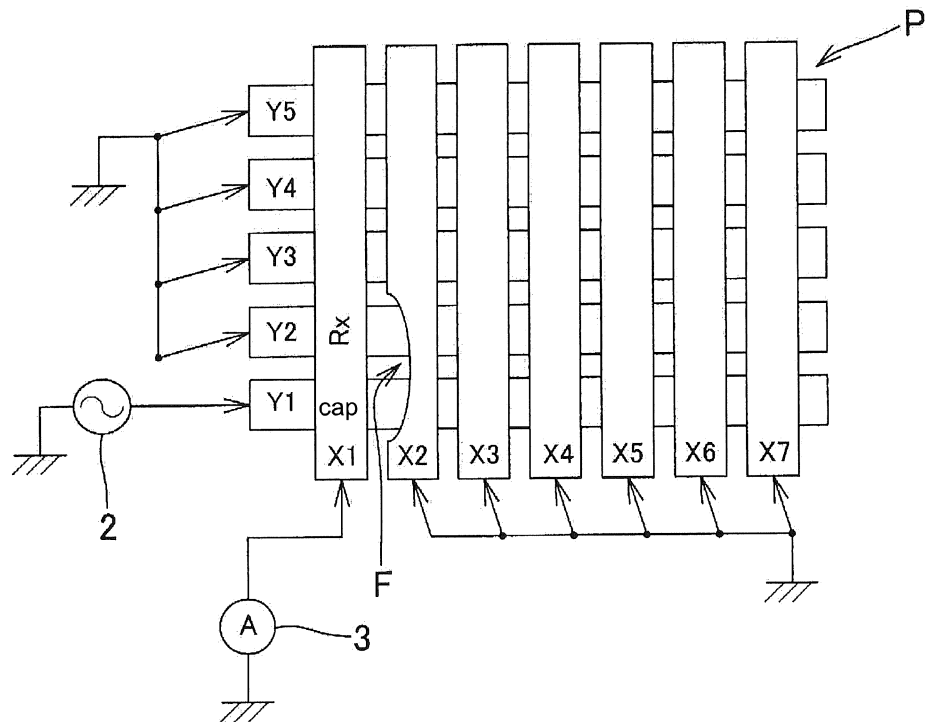


Fig. 18

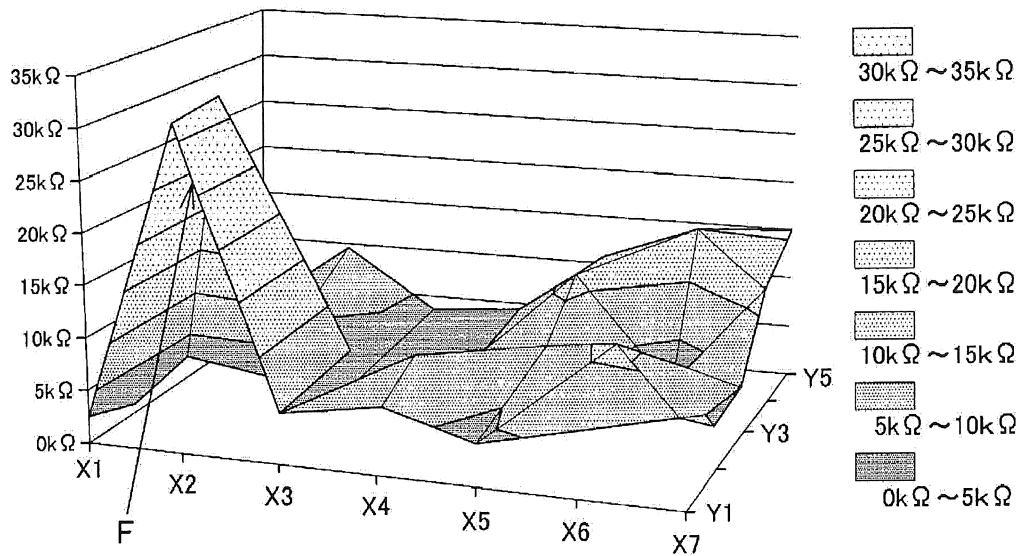


Fig. 19

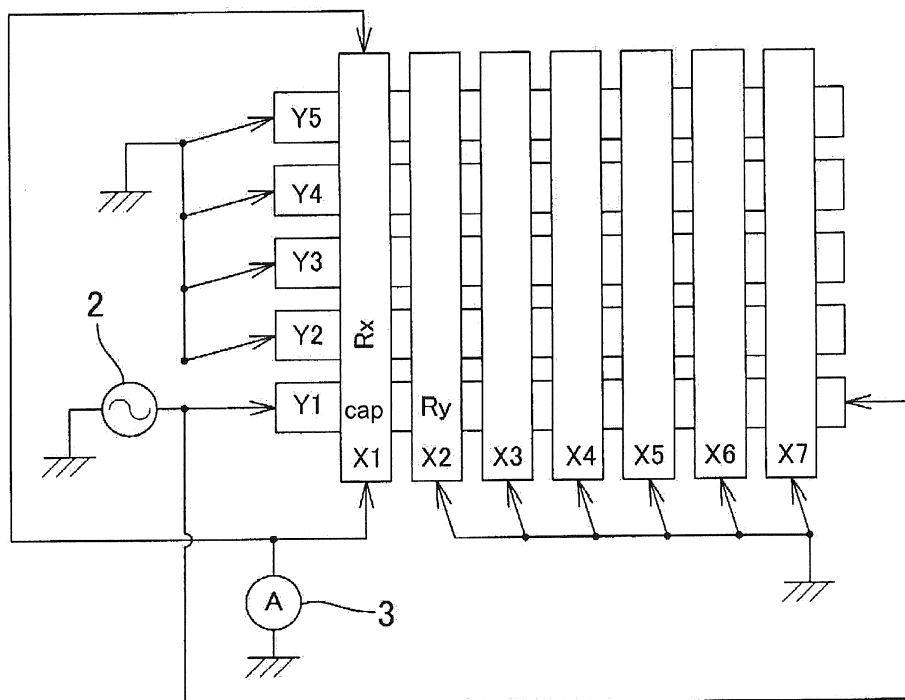


Fig. 20

