



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0027672

(51)⁷ H01L 21/3205; H01L 21/28

(13) B

(21) 1-2016-00569

(22) 27/09/2013

(86) PCT/US2013/062319 27/09/2013

(87) WO 2015/047318 02/04/2015

(45) 25/03/2021 396

(43) 26/12/2016 345A

(73) INTEL CORPORATION (US)

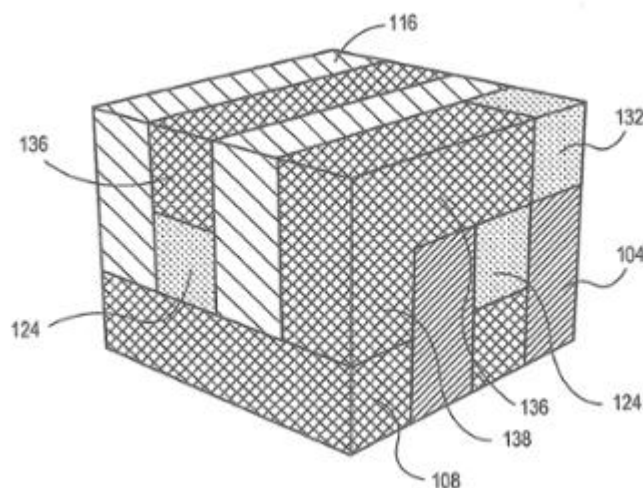
2200 Mission College Boulevard MS: RNB-4-150, Santa Clara, CA 95054, United States of America

(72) BRISTOL, Robert L. (US); GSTREIN, Florian (AT); SCHENKER, Richard E. (US); NYHUS, Paul A. (US); WALLACE, Charles H. (US); YOO, Hui Jae (KR).

(74) Công ty TNHH Tầm nhìn và Liên danh (VISION & ASSOCIATES CO.LTD.)

(54) KẾT CẤU LIÊN KẾT DỪNG CHO MẠCH TÍCH HỢP

(57) Sáng chế đề cập đến kết cấu liên kết dừng cho mạch tích hợp. Theo một ví dụ, kết cấu liên kết dừng cho mạch tích hợp bao gồm lớp thứ nhất của kết cấu liên kết được bố trí trên nền. Lớp thứ nhất bao gồm lưới thứ nhất có các đường kim loại và đường điện môi xen giữa theo hướng thứ nhất. Các đường điện môi có bề mặt trên cùng cao hơn bề mặt trên cùng của các đường kim loại. Kết cấu liên kết này còn bao gồm lớp thứ hai của kết cấu liên kết được bố trí ở lớp thứ nhất của kết cấu liên kết này. Lớp thứ hai bao gồm lưới thứ hai có các đường kim loại và đường điện môi xen giữa theo hướng thứ hai, vuông góc với hướng thứ nhất. Các đường điện môi có bề mặt dưới cùng thấp hơn bề mặt dưới cùng của các đường kim loại. Các đường điện môi của lưới thứ hai chồng lên và tiếp xúc, nhưng phân biệt với, các đường điện môi của lưới thứ nhất. Các đường kim loại của lưới thứ nhất được đặt cách các đường kim loại của lưới thứ hai xa.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực các kết cấu và xử lý chất bán dẫn và, cụ thể là, bước tạo mẫu hình phần chèn (plug) và lỗ dẫn (via) tự căn chỉnh dùng cho các mối liên kết thuộc công đoạn sau của dây chuyền (back end of line, BEOL).

Tình trạng kỹ thuật của sáng chế

Trong một vài thập kỷ qua, việc thu nhỏ các chi tiết của mạch tích hợp đã là động lực thúc đẩy ngành công nghiệp bán dẫn ngày càng phát triển. Việc thu nhỏ đến các chi tiết ngày càng nhỏ cho phép tăng mật độ của các bộ phận chức năng trên phạm vi giới hạn của các chip bán dẫn. Ví dụ, việc thu nhỏ kích thước tranzito cho phép kết hợp số lượng bộ nhớ hoặc thiết bị logic tăng lên trên chip, góp phần chế tạo các sản phẩm có dung lượng tăng lên. Tuy nhiên, nỗ lực để có dung lượng ngày càng lớn không phải là không có vấn đề. Sự cần thiết để tối ưu hóa hiệu suất của mỗi thiết bị ngày càng trở nên có ý nghĩa.

Các mạch tích hợp thường bao gồm các kết cấu vi điện tử dẫn điện, trong lĩnh vực kỹ thuật, các kết cấu này đã được biết đến là các lỗ dẫn, để nối điện các đường kim loại hoặc các mối liên kết khác trên các lỗ dẫn với các đường kim loại hoặc các mối liên kết khác dưới các lỗ dẫn. Các lỗ dẫn này thường được tạo ra bằng quy trình quang khắc. Tiêu biểu là, lớp cảm quang có thể được quay phủ trên lớp điện môi, lớp cảm quang này có thể được phơi bức xạ quang hóa được tạo mẫu hình thông qua mặt nạ được tạo mẫu hình, và sau đó lớp đã được phơi này có thể được làm hiện hình để tạo ra khoảng hở ở lớp cảm quang. Tiếp theo, khoảng hở dùng cho lỗ dẫn có thể được khắc ở lớp điện môi bằng cách sử dụng khoảng hở ở lớp cảm quang làm mặt nạ khắc. Khoảng hở này được gọi là khoảng hở lỗ dẫn (via opening). Cuối cùng, khoảng hở lỗ dẫn này có thể được điền đầy bằng một hoặc nhiều kim loại hoặc các vật liệu dẫn điện khác để tạo ra lỗ dẫn.

Trước đây, các kích thước và khoảng cách của các lỗ dẫn đã giảm dần, và dự kiến là trong tương lai các kích thước và khoảng cách của các lỗ dẫn này sẽ tiếp tục giảm dần, đối với ít nhất một số kiểu mạch tích hợp (ví dụ, các bộ vi xử lý cải tiến, thành phần bộ chip, chip đồ họa, v.v.). Một tiêu chuẩn về kích thước của các lỗ dẫn là kích thước tới hạn của khoảng hở lỗ dẫn. Một tiêu chuẩn về khoảng cách của các lỗ dẫn là bước lỗ dẫn. Bước lỗ dẫn này thể hiện khoảng cách từ tâm đến tâm giữa các lỗ dẫn liền kề gần nhất.

Khi tạo mẫu hình các lỗ dẫn cực nhỏ với các bước cực nhỏ bằng các quy trình

quang khắc này, thì xuất hiện một số thách thức, đặc biệt khi các bước nhỏ hơn hoặc bằng khoảng 70 nanomet (nm) và/hoặc khi các kích thước tới hạn của các khoảng hở lỗ dẫn nhỏ hơn hoặc bằng khoảng 35nm. Một thách thức như vậy là lớp phủ giữa các lỗ dẫn và các mối liên kết nằm trên và lớp phủ giữa các lỗ dẫn và các mối liên kết đất nằm dưới, thường cần được kiểm soát ở dung sai cao khoảng một phần tư bước lỗ dẫn (via pitch). Do các bước lỗ dẫn ngày càng thu nhỏ hơn theo thời gian, nên các dung sai lớp phủ có xu hướng thu nhỏ theo các bước lỗ dẫn này ở tỷ lệ thậm chí lớn hơn so với khả năng đáp ứng của thiết bị quang khắc.

Một thách thức khác là các kích thước tới hạn của các khoảng hở lỗ dẫn thường có xu hướng thu nhỏ nhanh hơn so với các khả năng phân giải của các máy quét quang khắc. Các kỹ thuật thu nhỏ tồn tại để thu nhỏ các kích thước tới hạn của các khoảng hở lỗ dẫn. Tuy nhiên, mức độ thu nhỏ có xu hướng bị giới hạn bởi bước lỗ dẫn nhỏ nhất, cũng như bởi khả năng quy trình thu nhỏ là đủ trung hòa hiệu chỉnh quang gần (optical proximity correction, OPC), và không đánh đổi đáng kể độ nhám theo chiều rộng của đường (line width roughness, LWR) và/hoặc tính đồng nhất kích thước tới hạn (critical dimension uniformity, CDU).

Một thách thức khác nữa là các đặc tính LWR và/hoặc CDU của các lớp cảm quang thường cần phải cải thiện khi các kích thước tới hạn của các khoảng hở lỗ dẫn giảm để duy trì tỷ lệ tổng thể của quỹ kích thước tới hạn. Tuy nhiên, hiện nay, các đặc tính LWR và/hoặc CDU của hầu hết các lớp cảm quang không cải thiện nhanh chóng bằng việc các kích thước tới hạn của các khoảng hở lỗ dẫn giảm.

Một thách thức khác nữa là các bước lỗ dẫn cực nhỏ thường có xu hướng ở bên dưới các khả năng phân giải của các máy quét quang khắc siêu cực tím (extreme ultraviolet, EUV). Kết quả là, thường có thể sử dụng hai, ba hoặc nhiều hơn ba mặt nạ quang khắc khác nhau, điều này có xu hướng làm tăng các chi phí. Ở một mức độ nhất định, nếu các bước tiếp tục giảm, thì thậm chí với nhiều mặt nạ, in các khoảng hở lỗ dẫn cho các bước cực nhỏ này bằng cách sử dụng các máy quét EUV có thể không có khả năng.

Do đó, cần có các cải thiện trong lĩnh vực công nghệ sản xuất lỗ dẫn.

Bản chất kỹ thuật của sáng chế

Các phương án của sáng chế bao gồm bước tạo mẫu hình phần chèn và lỗ dẫn tự căn chỉnh giảm trừ dùng cho các mối liên kết thuộc công đoạn sau của dây chuyền (BEOL).

Theo một phương án, kết cấu liên kết dùng cho mạch tích hợp bao gồm lớp thứ nhất của kết cấu liên kết được bố trí trên nền. Lớp thứ nhất bao gồm lưới thứ nhất có các đường kim loại và đường điện môi xen giữa theo hướng thứ nhất. Các đường điện môi có bề mặt trên cùng cao hơn bề mặt trên cùng của các đường kim loại. Kết cấu liên kết này còn bao gồm lớp thứ hai của kết cấu liên kết được bố trí ở lớp thứ nhất của kết cấu liên kết này. Lớp thứ hai bao gồm lưới thứ hai có các đường kim loại và đường điện môi xen giữa theo hướng thứ hai, vuông góc với hướng thứ nhất. Các đường điện môi có bề mặt dưới cùng thấp hơn bề mặt dưới cùng của các đường kim loại. Các đường điện môi của lưới thứ hai chồng lên và tiếp xúc, nhưng phân biệt với, các đường điện môi của lưới thứ nhất. Các đường kim loại của lưới thứ nhất được đặt cách các đường kim loại của lưới thứ hai xa.

Theo một phương án, kết cấu liên kết còn bao gồm lỗ dẫn điện được bố trí giữa và ghép nối đường kim loại của lưới thứ nhất với đường kim loại của lưới thứ hai. Lỗ dẫn điện này trực tiếp liền kề với và ở cùng mặt phẳng với một phần đường điện môi của lưới thứ nhất và một phần đường điện môi của lưới thứ hai.

Theo một phương án, lỗ dẫn điện có tâm được căn chỉnh trực tiếp với tâm của đường kim loại của lưới thứ nhất và với tâm của đường kim loại của lưới thứ hai.

Theo một phương án, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ nhất, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi khác thứ hai.

Theo một phương án, các đường điện môi của lưới thứ nhất và các đường điện môi của lưới thứ hai bao gồm cùng vật liệu điện môi.

Theo một phương án, đường kim loại của lưới thứ hai bị ngắt bởi phần chèn có tâm được căn chỉnh trực tiếp với tâm của đường điện môi của lưới thứ nhất, phần chèn này bao gồm vật liệu điện môi thứ nhất. Phần chèn phân biệt với, nhưng tiếp xúc với, đường điện môi của lưới thứ nhất và đường điện môi của lưới thứ hai.

Theo một phương án, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba và không có vật liệu nào trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

Theo một phương án, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba và hai hoặc nhiều hơn hai vật liệu trong số vật liệu điện môi thứ nhất, vật liệu điện môi

thứ hai và vật liệu điện môi thứ ba là giống nhau.

Theo một phương án, kết cấu liên kết còn bao gồm vùng điện môi được bố trí giữa và tiếp xúc với đường kim loại của lưới thứ nhất và đường kim loại của lưới thứ hai. Vùng điện môi này trực tiếp liên kết với và ở cùng mặt phẳng với một phần đường điện môi của lưới thứ nhất và một phần đường điện môi của lưới thứ hai.

Theo một phương án, vùng điện môi bao gồm vật liệu điện môi thứ nhất, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba, và không có vật liệu nào trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

Theo một phương án, vùng điện môi bao gồm vật liệu điện môi thứ nhất, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba, và hai hoặc nhiều hơn hai vật liệu trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

Theo một phương án, phương pháp chế tạo kết cấu liên kết dùng cho mạch tích hợp bao gồm bước tạo ra kết cấu bọc kim loại bao gồm lưới thứ nhất có đường kim loại và đường điện môi xen giữa theo hướng thứ nhất. Mỗi đường điện môi của lưới thứ nhất có bề mặt trên cùng với lớp che phần chèn trên đó, và mỗi đường kim loại của lưới thứ nhất gần như phẳng với phần trên cùng của lớp che phần chèn. Phương pháp này còn bao gồm bước tạo hốc các đường kim loại của lưới thứ nhất bên dưới bề mặt trên cùng của các đường điện môi của lưới thứ nhất và tạo ra các hốc trên các đường kim loại của lưới thứ nhất. Phương pháp này còn bao gồm bước tạo ra lớp mặt nạ cứng thứ nhất ở các hốc trên đường kim loại, lớp mặt nạ cứng thứ nhất gần như phẳng với phần trên cùng của lớp che phần chèn. Phương pháp này còn bao gồm bước tạo ra lớp mặt nạ cứng thứ hai trên lớp che phần chèn và lớp mặt nạ cứng thứ nhất, lớp mặt nạ cứng thứ hai có lưới thứ hai theo hướng thứ hai, vuông góc với hướng thứ nhất. Phương pháp này còn bao gồm bước tạo ra các rãnh bằng cách loại bỏ các phần của lớp che phần chèn và lớp mặt nạ cứng thứ nhất được làm lộ ra bởi lớp mặt nạ cứng thứ hai. Phương pháp này còn bao gồm bước tạo ra lớp điện môi ở các rãnh để tạo ra lưới thứ ba có các đường điện môi theo hướng thứ hai. Phương pháp này còn bao gồm bước loại bỏ lớp mặt nạ cứng thứ hai và giữ lại các phần của lớp mặt nạ cứng thứ nhất. Phương pháp này còn bao gồm bước xác định một hoặc nhiều vị trí lỗ dẫn điện ở các phần được làm lộ ra của các đường kim loại được tạo hốc của lưới thứ nhất. Phương pháp này còn bao gồm bước xác định

một hoặc nhiều vị trí phần chèn ở các vùng của lớp che phần chèn. Phương pháp này còn bao gồm bước tạo ra lưới thứ tư có các đường kim loại theo hướng thứ hai, giữa các đường điện môi của lưới thứ ba và trên lưới thứ nhất.

Theo một phương án, bước xác định một hoặc nhiều vị trí lỗ dẫn bao gồm bước tạo ra các khối chứa quang và làm lộ ra một hoặc nhiều khối chứa quang này.

Theo một phương án, bước tạo ra lưới thứ tư có các đường kim loại còn bao gồm bước tạo ra một hoặc nhiều lỗ dẫn điện ở một hoặc nhiều vị trí lỗ dẫn điện tương ứng. Một trong số các lỗ dẫn điện này được bố trí giữa và ghép nối đường kim loại của lưới thứ nhất với đường kim loại của lưới thứ tư. Lỗ dẫn điện trực tiếp liền kề với và ở cùng mặt phẳng với một phần đường điện môi của lưới thứ nhất và một phần đường điện môi của lưới thứ ba.

Theo một phương án, một trong số các lỗ dẫn điện có tâm được căn chỉnh trực tiếp với tâm của đường kim loại của lưới thứ nhất và với tâm của đường kim loại của lưới thứ tư.

Theo một phương án, bước xác định một hoặc nhiều vị trí của phần chèn ở các vùng của lớp che phần chèn bao gồm bước loại bỏ lớp che phần chèn và, sau đó, tạo ra các khối chứa quang và làm lộ ra một hoặc nhiều khối chứa quang này.

Theo một phương án, phương pháp này còn bao gồm bước, sau khi làm lộ ra một hoặc nhiều khối chứa quang, thì thay thế một hoặc nhiều khối chứa quang bằng phần chèn điện môi. Đường kim loại của lưới thứ tư bị ngắt bởi phần chèn điện môi. Phần chèn điện môi này có tâm được căn chỉnh trực tiếp với tâm của đường điện môi của lưới thứ nhất.

Theo một phương án, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ nhất, và các đường điện môi của lưới thứ ba bao gồm vật liệu điện môi khác thứ hai.

Theo một phương án, các đường điện môi của lưới thứ nhất và các đường điện môi của lưới thứ ba bao gồm cùng vật liệu điện môi.

Theo một phương án, phương pháp chế tạo các đường điện môi giữa các lớp (interlayer dielectric, ILD) và mặt nạ tạo mẫu hình phần chèn để sản xuất mạch tích hợp bao gồm bước tạo ra lớp mặt nạ cứng thứ nhất ở lớp vật liệu ILD, lớp mặt nạ cứng thứ nhất này có lưới thứ nhất theo hướng thứ nhất. Phương pháp này còn bao gồm bước tạo ra lớp mặt nạ cứng thứ hai ở lớp vật liệu ILD và ở lớp mặt nạ cứng thứ nhất, lớp mặt nạ cứng thứ hai có lưới thứ hai theo hướng thứ hai, vuông góc với hướng thứ nhất. Phương

pháp này còn bao gồm bước tạo ra các khối chứa quang ở các lỗ mở giữa các lưới thứ nhất và thứ hai. Phương pháp này còn bao gồm bước làm lộ ra và loại bỏ một hoặc nhiều khối chứa quang để tạo ra một hoặc nhiều vị trí phân chèn tương ứng. Phương pháp này còn bao gồm bước tạo ra lớp mặt nạ cứng thứ ba ở một hoặc nhiều vị trí phân chèn tương ứng. Phương pháp này còn bao gồm bước loại bỏ các khối chứa quang còn lại và lớp mặt nạ cứng thứ hai để tạo ra các đường ILD và mặt nạ tạo mẫu hình phân chèn.

Theo một phương án, phương pháp này còn bao gồm bước chuyển mẫu hình của các đường ILD và mặt nạ tạo mẫu hình phân chèn vào lớp vật liệu ILD bằng quy trình khắc.

Theo một phương án, phương pháp này còn bao gồm bước, trước khi tạo ra lớp mặt nạ cứng thứ nhất, thì tạo ra lớp mặt nạ cứng thứ tư ở lớp vật liệu ILD. Lớp mặt nạ cứng thứ nhất này được tạo ra ở lớp mặt nạ cứng thứ tư, và chuyển mẫu hình của các đường ILD và mặt nạ tạo mẫu hình phân chèn vào lớp vật liệu ILD bao gồm bước trước tiên chuyển mẫu hình của các đường ILD và mặt nạ tạo mẫu hình phân chèn vào lớp mặt nạ cứng thứ tư.

Theo một phương án, lớp mặt nạ cứng thứ hai chứa cacbon, và bước loại bỏ lớp mặt nạ cứng thứ hai bao gồm bước sử dụng quy trình phủ tro.

Mô tả vắn tắt các hình vẽ

Fig.1A đến Fig.1N minh họa các phần của các lớp mạch tích hợp thể hiện các công đoạn khác nhau trong phương pháp tạo mẫu hình phân chèn và lỗ dẫn tự căn chỉnh giảm trừ, theo một phương án của sáng chế, trong đó:

Fig.1A minh họa kết cấu tại thời điểm bắt đầu để xử lý phân chèn và lỗ dẫn giảm trừ sau bước chế tạo đường kim loại sâu;

Fig.1B minh họa kết cấu trên Fig.1A sau bước tạo hốc các đường kim loại;

Fig.1C minh họa kết cấu trên Fig.1B sau bước điền đầy mặt nạ cứng ở các vùng được tạo hốc của các đường kim loại được tạo hốc;

Fig.1D minh họa kết cấu trên Fig.1C sau bước lắng đọng và tạo mẫu hình lớp mặt nạ cứng;

Fig.1E minh họa kết cấu trên Fig.1D sau bước tạo ra rãnh được xác định bằng cách sử dụng mẫu hình của mặt nạ cứng trên Fig.1D;

Fig.1F minh họa kết cấu trên Fig.1E sau bước tạo ra ILD ở các rãnh trên Fig.1E và loại bỏ mặt nạ cứng thứ hai;

Fig.1G minh họa kết cấu trên Fig.1F sau bước loại bỏ các phần còn lại của lớp mặt nạ cứng chiếm tất cả các vị trí lỗ dẫn có thể có;

Fig.1H minh họa kết cấu trên Fig.1G sau bước tạo ra khối chứa quang ở tất cả các vị trí lỗ dẫn có thể có;

Fig.1I minh họa kết cấu trên Fig.1H sau bước lựa chọn vị trí lỗ dẫn;

Fig.1J minh họa kết cấu trên Fig.1I sau bước điền đầy mặt nạ cứng ở các lỗ mở trên Fig.1I;

Fig.1K minh họa kết cấu trên Fig.1J sau bước loại bỏ lớp che phần chèn và tạo ra các khối chứa quang thứ hai;

Fig.1L minh họa kết cấu trên Fig.1K sau bước lựa chọn vị trí phần chèn;

Fig.1M minh họa kết cấu trên Fig.1L sau bước loại bỏ lớp mặt nạ cứng trên Fig.1L; và

Fig.1N minh họa kết cấu trên Fig.1M sau bước tạo ra đường kim loại và lỗ dẫn.

Fig.2A đến Fig.2D minh họa các phần của các lớp mạch tích hợp thể hiện các công đoạn khác nhau trong phương pháp tạo mẫu hình phần chèn tự căn chỉnh giảm trừ, theo một phương án khác của sáng chế, trong đó:

Fig.2A minh họa hình chiếu bằng và các hình vẽ mặt cắt ngang tương ứng của lưới phần chèn bắt đầu;

Fig.2B minh họa hình chiếu bằng và các hình vẽ mặt cắt ngang tương ứng của kết cấu trên Fig.2A sau bước điền đầy khối chứa quang, phơi và làm hiện hình;

Fig.2C minh họa hình chiếu bằng và các hình vẽ mặt cắt ngang tương ứng của kết cấu trên Fig.2B sau bước tạo ra phần chèn; và

Fig.2D minh họa hình chiếu bằng và các hình vẽ mặt cắt ngang tương ứng của kết cấu trên Fig.2C sau bước loại bỏ lớp mặt nạ cứng và các khối chứa quang còn lại.

Fig.3 minh họa thiết bị tính toán theo một phương án thực hiện của sáng chế.

Mô tả chi tiết sáng chế

Bước tạo mẫu hình phần chèn và lỗ dẫn tự căn chỉnh giảm trừ dùng cho các mối liên kết thuộc công đoạn sau của dây chuyền (BEOL) được mô tả. Trong phần mô tả sau, các chi tiết cụ thể được đưa ra, chẳng hạn như các quy cách tích hợp và vật liệu cụ thể, để cung cấp việc hiểu thấu đáo về các phương án của sáng chế. Người có hiểu biết trung bình trong lĩnh vực kỹ thuật sẽ hiểu rõ ràng rằng các phương án của sáng chế có

thể được thực hiện mà không có các chi tiết cụ thể này. Trong các trường hợp khác, các dấu hiệu đã biết, chẳng hạn như các cách bố trí thiết kế mạch tích hợp, không được mô tả một cách chi tiết để không làm khó hiểu các phương án của sáng chế một cách không cần thiết. Hơn nữa, cần hiểu rằng các phương án khác nhau được thể hiện trên các hình vẽ là các biểu diễn minh họa và không nhất thiết phải được vẽ theo tỷ lệ.

Một hoặc nhiều phương án được mô tả ở đây đề cập đến phương thức giảm trừ để tạo mẫu hình phân chèn và lỗ tự căn chỉnh, và kết cấu tạo ra từ đó. Theo một phương án, các quy trình được mô tả ở đây cho phép thực hiện việc bọc kim loại tự căn chỉnh để chế tạo tính năng trong công đoạn sau của dây chuyền. Các vấn đề xếp chồng được dự tính đối với bước tạo mẫu hình phân chèn và lỗ dẫn tiếp theo có thể được giải quyết bởi một hoặc nhiều phương thức được mô tả ở đây.

Liên quan đến vấn đề này, các kỹ thuật chế tạo hiện tại đối với các lỗ dẫn liên quan đến quy trình “mù (blind)” trong đó khoảng hở lỗ dẫn được tạo mẫu hình theo cụm xa phía trên rãnh ILD. Sau đó, mẫu hình khoảng hở lỗ dẫn được khắc sâu xuống rãnh. Các sai số xếp chồng tích lũy và có thể gây ra các vấn đề khác nhau, ví dụ, ngắn mạch đối với các đường kim loại lân cận. Theo một ví dụ, bước tạo mẫu hình và căn chỉnh các chi tiết ở bước nhỏ hơn khoảng 50 nanomet yêu cầu nhiều đường chữ thập và các chiến lược căn chỉnh tới hạn, mặt khác, cực kỳ tốn kém đối với quy trình sản xuất chất bán dẫn. Ngược lại, theo một phương án, các phương thức được mô tả ở đây cho phép chế tạo các lỗ dẫn và/hoặc phân chèn tự căn chỉnh, giúp đơn giản hóa đáng kể các sai số xếp chồng, và chỉ để lại một bậc xếp chồng tới hạn (lưới $Mx+1$).

Nói chung, một hoặc nhiều phương án được mô tả ở đây liên quan đến việc sử dụng phương pháp giảm trừ để tạo trước mỗi lỗ dẫn và phân chèn bằng cách sử dụng các rãnh đã được khắc sẵn. Sau đó, hoạt động bổ sung được sử dụng để chọn các lỗ dẫn và phân chèn nào cần giữ lại. Các hoạt động này có thể được minh họa bằng cách sử dụng “các khối chứa quang (photobucket)”, mặc dù quy trình chọn có thể còn được thực hiện bằng cách sử dụng giải pháp thông thường hơn là phơi lớp cản và điền đầy lại ILD.

Cụ thể hơn, một hoặc nhiều phương án đề cập đến phương thức sử dụng kỹ thuật giảm trừ để tạo ra các lỗ dẫn điện và khoảng trống không dẫn điện hoặc phân gián đoạn giữa các kim loại (được gọi là “các phân chèn”). Các lỗ dẫn, theo định nghĩa, được sử dụng để tiếp xúc mẫu hình kim loại thuộc lớp trước đó. Theo cách hiểu này, các phương án được mô tả ở đây cho phép sơ đồ chế tạo liên kết chắc chắn hơn do không còn dựa vào sự căn chỉnh bởi thiết bị quang khắc. Sơ đồ chế tạo liên kết này có thể được sử dụng để tiết kiệm nhiều bước căn chỉnh/phơi, có thể được sử dụng để cải thiện tiếp xúc điện

(ví dụ, bằng cách giảm điện trở của lỗ dẫn), và có thể được sử dụng để giảm các công đoạn xử lý và thời gian xử lý tổng thể mà lẽ ra cần thiết để tạo mẫu hình các chi tiết bằng cách sử dụng các phương thức thông thường.

Các hình vẽ từ Fig.1A đến Fig.1N minh họa các phần của các lớp mạch tích hợp thể hiện các công đoạn khác nhau trong phương pháp tạo mẫu hình phần chèn và lỗ dẫn tự căn chỉnh giảm trừ, theo một phương án của sáng chế. Trong mỗi phần minh họa ở mỗi hoạt động được mô tả, hình vẽ mặt cắt ba chiều xiên góc được đề xuất.

Fig.1A minh họa kết cấu tại thời điểm bắt đầu 100 dùng cho quy trình phần chèn và lỗ dẫn giảm trừ sau khi chế tạo đường kim loại sâu, theo một phương án của sáng chế. Dựa vào Fig.1A, kết cấu 100 bao gồm các đường kim loại 102 với các đường điện môi giữa các lớp (interlayer dielectric, ILD) 104 xen giữa. Các đường ILD 104 bao gồm lớp che phần chèn 106. Theo một phương án, như được mô tả một cách chi tiết hơn dưới đây dựa vào Fig.1E, lớp che phần chèn 106 được tạo mẫu hình sau để cuối cùng xác định tất cả các vị trí có thể có để tạo thành phần chèn sau này.

Theo một phương án, kết cấu lưới được tạo ra bởi các đường kim loại 102 là kết cấu lưới bước sít. Theo phương án này, bước sít không thể đạt được trực tiếp thông qua kỹ thuật quang khắc thông thường. Ví dụ, mẫu hình dựa trên kỹ thuật quang khắc thông thường trước tiên có thể được tạo ra, nhưng bước có thể được chia đôi bằng cách sử dụng bước tạo mẫu hình mặt nạ phần đệm, như đã biết theo tình trạng kỹ thuật. Thậm chí, bước ban đầu có thể được chia bốn bởi lần tạo mẫu hình mặt nạ đệm thứ hai. Theo đó, mẫu hình dạng lưới trên Fig.1A có thể có các đường kim loại được bố trí cách quãng theo bước không đôi và có chiều rộng không đôi. Mẫu hình này có thể được chế tạo bằng cách chia đôi bước hoặc chia bốn bước. Cũng nên rằng một số đường 102 có thể được liên kết với các lỗ dẫn nằm dưới để ghép nối với lớp liên kết trước đó.

Theo một phương án, các đường kim loại 102 được tạo ra bằng cách tạo mẫu hình các rãnh khoét vào vật liệu ILD (ví dụ, vật liệu ILD của các đường 104) có lớp che phần chèn 106 được tạo ra trên đó. Sau đó, các rãnh này được điền đầy bằng kim loại và, nếu cần, được làm phẳng so với lớp che phần chèn 106. Theo một phương án, quy trình điền đầy và tạo rãnh kim loại bao gồm các đặc điểm về tỷ số kích thước cao. Ví dụ, theo một phương án, tỷ số kích thước của chiều cao đường kim loại (h) trên chiều rộng đường kim loại (w) nằm trong khoảng từ 5 đến 10.

Theo một phương án, như được sử dụng trong toàn bộ phần mô tả này, vật liệu điện môi giữa các lớp (ILD), chẳng hạn như vật liệu của các đường ILD 104, gồm có hoặc bao gồm lớp vật liệu điện môi hoặc cách điện. Các ví dụ về các vật liệu điện môi

thích hợp bao gồm, nhưng không bị giới hạn ở, oxit silic (ví dụ, silic đioxit (SiO_2), oxit silic pha tạp, oxit silic được flo hóa, oxit silic pha tạp cacbon, các vật liệu điện môi k-thấp khác nhau đã biết theo tình trạng kỹ thuật và các kết hợp của các vật liệu này. Vật liệu điện môi giữa các lớp có thể được tạo ra bằng các kỹ thuật thông thường, ví dụ, phương pháp lắng đọng hơi hóa học (chemical vapor deposition, CVD), lắng đọng hơi vật lý (physical vapor deposition, PVD) hoặc bằng các phương pháp lắng đọng khác.

Theo một phương án, như còn được sử dụng trong toàn bộ bản mô tả này, vật liệu liên kết, chẳng hạn như vật liệu của các đường kim loại 102, bao gồm một hoặc nhiều kim loại hoặc các kết cấu dẫn điện khác. Một ví dụ chung là việc sử dụng các đường và kết cấu đồng có thể hoặc có thể không bao gồm các lớp chắn giữa đồng và vật liệu ILD bao quanh. Như được sử dụng ở đây, thuật ngữ kim loại bao gồm các hợp kim, chồng và các kết hợp của nhiều kim loại khác. Ví dụ, các đường liên kết kim loại có thể bao gồm các lớp chắn, chồng của các kim loại hoặc hợp kim khác nhau, v.v. Các đường liên kết đôi khi còn được đề cập đến theo tình trạng kỹ thuật là vết, dây, đường, kim loại hoặc liên kết đơn giản.

Theo một phương án, như còn được sử dụng trong toàn bộ bản mô tả này, các vật liệu phần chèn và/hoặc phần che và/hoặc mặt nạ cứng, chẳng hạn như lớp che phần chèn 106, bao gồm các vật liệu điện môi khác với vật liệu điện môi giữa các lớp. Theo một phương án, các vật liệu này bị ăn mòn (sacrificial), trong khi các vật liệu điện môi giữa các lớp được bảo quản ít nhất phần nào ở kết cấu cuối cùng. Theo một số phương án, vật liệu phần chèn và/hoặc phần che và/hoặc mặt nạ cứng bao gồm lớp nitrua silic (ví dụ, silic nitrua) hoặc lớp oxit silic hoặc cả hai, hoặc kết hợp của chúng. Các vật liệu thích hợp khác có thể bao gồm các vật liệu gốc cacbon. Theo một phương án khác, vật liệu phần chèn và/hoặc phần che và/hoặc mặt nạ cứng bao gồm các kiểu kim loại. Ví dụ, mặt nạ cứng hoặc vật liệu phủ lên khác có thể bao gồm lớp titan nitrua hoặc kim loại khác (ví dụ, titan nitrua). Có thể có lượng vật liệu khác ít hơn, chẳng hạn như oxy, có thể có trong một hoặc nhiều lớp này. Theo cách khác, các lớp vật liệu phần chèn và/hoặc phần che và/hoặc mặt nạ cứng khác đã biết theo tình trạng kỹ thuật có thể được sử dụng tùy thuộc vào phương án thực hiện cụ thể. Các lớp vật liệu phần chèn và/hoặc phần che và/hoặc mặt nạ cứng có thể được tạo ra bởi CVD, PVD hoặc bởi các phương pháp lắng đọng khác.

Cần hiểu rằng các lớp và vật liệu được mô tả kết hợp với Fig. 1A thường được tạo ra trên hoặc phía trên kết cấu hoặc nền bán dẫn nằm dưới, chẳng hạn như (các) lớp thiết bị nằm dưới của mạch tích hợp. Theo một phương án, nền bán dẫn nằm dưới này thể hiện đối tượng phơi gia công chung được sử dụng để sản xuất các mạch tích hợp. Nền

bán dẫn thường bao gồm lát hoặc mẫu silic khác hoặc vật liệu bán dẫn khác. Các nền bán dẫn thích hợp bao gồm, nhưng không bị giới hạn ở, silic đơn tinh thể, silic đa tinh thể và silic trên chất cách điện (silicon on insulator, SOI), cũng như các nền tương tự được tạo ra từ các vật liệu bán dẫn khác. Nền bán dẫn, tùy thuộc vào giai đoạn sản xuất, thường bao gồm các tranzito, hệ mạch tích hợp và dạng tương tự. Nền có thể còn bao gồm các vật liệu bán dẫn, kim loại, chất điện môi, chất pha tạp và vật liệu khác thường tìm thấy trong các nền bán dẫn. Hơn nữa, kết cấu được mô tả trên Fig.1A có thể được chế tạo trên các lớp liên kết thuộc công đoạn sau của dây chuyền (BEOL) mức thấp hơn bên dưới.

Fig.1B minh họa kết cấu trên Fig.1A sau bước tạo hốc các đường kim loại, theo một phương án của sáng chế. Dựa vào Fig.1B, các đường kim loại 102 được tạo hốc theo cách chọn lọc để tạo ra các đường kim loại mức thứ nhất 108. Bước tạo hốc được thực hiện theo cách chọn lọc đối với các đường ILD 104 và lớp che phần chèn 106. Bước tạo hốc có thể được thực hiện bằng cách khắc thông qua khắc khô, khắc ướt hoặc kết hợp của chúng. Mức độ tạo hốc có thể được xác định bởi độ dày đích (th) của các đường kim loại mức thứ nhất 108 để sử dụng làm các đường liên kết dẫn điện thích hợp trong kết cấu liên kết thuộc công đoạn sau của dây chuyền (BEOL).

Fig.1C minh họa kết cấu trên Fig.1B sau bước điền đầy mặt nạ cứng ở các vùng được tạo hốc của các đường kim loại được tạo hốc, theo một phương án của sáng chế. Dựa vào Fig.1C, lớp mặt nạ cứng 110 được tạo ra ở các vùng được tạo trong khi tạo hốc để tạo ra các đường kim loại mức thứ nhất 108. Lớp mặt nạ cứng 110 này có thể được tạo ra bằng quy trình lắng đọng vật liệu và phẳng hóa cơ học hóa học (chemical mechanical planarization, CMP) đến mức của lớp che phần chèn 106, hoặc bằng quy trình chỉ tăng từ dưới lên được điều khiển. Theo một phương án cụ thể, lớp mặt nạ cứng 110 bao gồm vật liệu giàu cacbon.

Fig.1D minh họa kết cấu trên Fig.1C sau bước lắng đọng và tạo mẫu hình lớp mặt nạ cứng, theo một phương án của sáng chế. Dựa vào Fig.1D, lớp mặt nạ cứng thứ hai 112 được tạo ra trên hoặc phía trên lớp mặt nạ cứng 110 và lớp che phần chèn 106. Theo phương án này, lớp mặt nạ cứng thứ hai 112 được tạo ra với mẫu hình lưới trực giao với mẫu hình lưới có các đường kim loại mức thứ nhất 108/các đường ILD 104, như được mô tả trên Fig.1D. Theo một phương án cụ thể, lớp mặt nạ cứng thứ hai 112 bao gồm vật liệu phủ chống phản chiếu góc silic. Theo một phương án, kết cấu lưới được tạo ra bởi lớp mặt nạ cứng thứ hai 112 là kết cấu lưới bước sít. Theo phương án này, bước sít không thể đạt được trực tiếp thông qua kỹ thuật quang khắc thông thường. Ví dụ, mẫu hình dựa trên kỹ thuật quang khắc thông thường trước tiên có thể được tạo

ra, nhưng bước này có thể được chia đôi do sử dụng bước tạo mẫu hình mặt nạ phần đệm, như đã biết theo tình trạng kỹ thuật. Thậm chí, bước ban đầu có thể được chia bốn bởi lần tạo mẫu hình mặt nạ đệm thứ hai. Theo đó, mẫu hình dạng lưới của lớp mặt nạ cứng thứ hai 112 trên Fig.1D có thể có các đường mặt nạ cứng được đặt cách quãng theo bước không đổi và có chiều rộng không đổi.

Fig.1E minh họa kết cấu trên Fig.1D sau bước tạo thành rãnh được xác định bằng cách sử dụng mẫu hình của mặt nạ cứng trên Fig.1D, theo một phương án của sáng chế. Dựa vào Fig.1E, các vùng lộ ra (nghĩa là, không được bảo vệ bởi 112) của lớp mặt nạ cứng 110 và lớp che phần chèn 106 được khắc để tạo ra các rãnh 114. Việc khắc dừng ở, và do đó làm lộ ra, các bề mặt phía trên của các đường kim loại mức thứ nhất 108 và các đường ILD 104.

Fig.1F minh họa kết cấu trên Fig.1E sau bước tạo thành ILD ở các rãnh trên Fig.1E và loại bỏ mặt nạ cứng thứ hai, theo một phương án của sáng chế. Dựa vào Fig.1F, các đường ILD thứ hai 116 được tạo ra ở các rãnh 114 trên Fig.1E. Theo một phương án, vật liệu ILD chảy được sử dụng để điền đầy các rãnh 114. Theo một phương án, các rãnh 114 được điền đầy và vật liệu điền đầy sau đó được làm phẳng. Việc làm phẳng này có thể còn được sử dụng để loại bỏ lớp mặt nạ cứng thứ hai 112, làm lộ lại ra lớp mặt nạ cứng 110 và lớp che phần chèn 106, như được thể hiện trên Fig.1F.

Dựa lại vào Fig.1F, theo một phương án, kết cấu tạo thành bao gồm kết cấu ILD đồng nhất (các đường ILD 104 + các đường ILD 116). Các vị trí của tất cả các phần chèn có thể có bị chiếm bởi các phần còn lại của lớp che phần chèn 106, trong khi tất cả các vị trí lỗ dẫn có thể có bị chiếm bởi các phần còn lại của lớp mặt nạ cứng 110. Theo phương án này, các đường ILD 104 và đường ILD 116 bao gồm cùng vật liệu. Theo một phương án khác, các đường ILD 104 và các đường ILD 116 bao gồm các vật liệu ILD khác nhau. Trong cả hai trường hợp, theo một phương án cụ thể, sự khác biệt chẳng hạn như đường nối giữa các vật liệu của các đường ILD 104 và các đường ILD 116 có thể được quan sát ở kết cấu cuối cùng. Hơn nữa, theo một phương án, không có lớp dừng khác khác biệt trong đó các đường ILD 104 và các đường ILD 116 gặp nhau, trái ngược với bước tạo mẫu hình nạm đơn hoặc kép thông thường.

Fig.1G minh họa kết cấu trên Fig.1F sau bước loại bỏ các phần còn lại của lớp mặt nạ cứng chiếm tất cả các vị trí lỗ dẫn có thể có, theo một phương án của sáng chế. Dựa vào Fig.1G, các phần còn lại của lớp mặt nạ cứng 110 được loại bỏ theo cách chọn lọc để tạo ra các lỗ mở 118 đối với tất cả các vị trí lỗ dẫn có thể có. Theo phương án

này, lớp mặt nạ cứng 110 gần như chứa cacbon và được loại bỏ theo cách chọn lọc với quy trình phủ tro.

Fig.1H minh họa kết cấu trên Fig.1G sau bước tạo thành khối chứa quang ở tất cả các vị trí lỗ dẫn có thể có, theo một phương án của sáng chế. Dựa vào Fig.1H, các khối chứa quang 120 được tạo ra ở tất cả các vị trí lỗ dẫn có thể có trên các phần được làm lộ ra của các đường kim loại mức thứ nhất 108. Theo một phương án, các lỗ mở 118 trên Fig.1G được điền đầy bằng chất cảm quang cực nhanh hoặc hoặc chất cản chùm tia điện tử hoặc vật liệu nhạy quang khác. Theo phương án này, dòng nhiệt chảy ngược của polyme vào các lỗ mở 118 được sử dụng theo ứng dụng phủ quay. Theo một phương án, chất cảm quang nhanh được chế tạo bằng cách loại bỏ chất dập tắt khỏi vật liệu cảm quang hiện có. Theo một phương án khác, các khối chứa quang 120 được tạo ra bằng quy trình khắc ngược và/hoặc quy trình quang khắc/thu nhỏ/khắc. Cần hiểu rằng các khối chứa quang không cần phải được điền đầy bằng chất cảm quang thực tế, miễn là vật liệu này đóng vai trò là bộ chuyển mạch nhạy quang.

Fig.1I minh họa kết cấu trên Fig.1H sau bước lựa chọn vị trí của vị trí lỗ dẫn, theo một phương án của sáng chế. Dựa vào Fig.1I, các khối chứa quang 120 từ Fig.1H ở các vị trí lỗ dẫn đã chọn được loại bỏ. Ở các vị trí trong đó các lỗ dẫn không được chọn cần được tạo ra, các khối chứa quang 120 này được giữ lại, chuyển đổi thành vật liệu ILD cố định, hoặc được thay thế bằng vật liệu ILD cố định. Ví dụ là, Fig.1I minh họa vị trí lỗ dẫn 122 với khối chứa quang 120 tương ứng được loại bỏ để làm lộ ra một phần của một trong số các đường kim loại mức thứ nhất 108. Các vị trí khác trước đó bị chiếm bởi các khối chứa quang 120 hiện được thể hiện dưới dạng các vùng 124 trên Fig.1I. Các vị trí 124 không được chọn để tạo thành lỗ dẫn và thay vào đó tạo thành một phần kết cấu ILD cuối cùng. Theo một phương án, vật liệu của các khối chứa quang 120 được giữ lại ở các vị trí 124 dưới dạng vật liệu ILD cuối cùng. Theo một phương án khác, vật liệu của các khối chứa quang 120 được thay đổi, ví dụ, bằng cách liên kết chéo, ở các vị trí 124 để tạo ra vật liệu ILD cuối cùng. Theo một phương án khác nữa, vật liệu của các khối chứa quang 120 ở các vị trí 124 được thay thế bằng vật liệu ILD cuối cùng.

Dựa lại vào Fig.1I, để tạo ra vị trí lỗ dẫn 122, kỹ thuật quang khắc được sử dụng để làm lộ ra khối chứa quang 120 tương ứng. Tuy nhiên, các giới hạn về quang khắc có thể được nói lỏng và dung sai xê dịch có thể cao do khối chứa quang 120 được bao quanh bởi các vật liệu không quang phân được. Hơn nữa, theo một phương án, thay vì làm lộ ra ở, ví dụ $30\text{mJ}/\text{cm}^2$, khối chứa quang này có thể được làm lộ ra ở, ví dụ, $3\text{mJ}/\text{cm}^2$. Thông thường, điều này sẽ dẫn đến sự điều khiển CD rất kém và có độ nhám. Nhưng trong trường hợp này, sự điều khiển CD và độ nhám sẽ được xác định bởi khối

chứa quang 120, có thể được điều khiển và xác định rất tốt. Do đó, cách tiếp cận khối chứa quang có thể được sử dụng để phá vỡ sự cân bằng tạo ảnh/định lượng mà làm giới hạn thông lượng của các quy trình quang khắc thể hệ tiếp theo.

Dựa lại vào Fig.1I, theo một phương án, kết cấu tạo thành bao gồm kết cấu ILD đồng nhất (ILD 124 + các đường ILD 104 + các đường ILD 116). Theo phương án này, hai hoặc tất cả trong số ILD 124, các đường ILD 104 và đường ILD 116 bao gồm cùng vật liệu. Theo một phương án khác, ILD 124, các đường ILD 104 và các đường ILD 116 bao gồm các vật liệu ILD khác nhau. Trong cả hai trường hợp, theo một phương án cụ thể, sự khác biệt chẳng hạn như đường nối giữa các vật liệu của ILD 124 và các đường ILD 104 (ví dụ, đường nối 197) và/hoặc giữa ILD 124 và các đường ILD 116 (ví dụ, đường nối 198) có thể được quan sát ở kết cấu cuối cùng.

Fig.1J minh họa kết cấu trên Fig.1I sau bước điền đầy mặt nạ cứng ở các lỗ mở trên Fig.1I, theo một phương án của sáng chế. Dựa vào Fig.1J, lớp mặt nạ cứng 126 được tạo ra ở vị trí lỗ dẫn 122 và phía trên các vị trí ILD 124. Lớp mặt nạ cứng 126 này có thể được tạo ra bằng cách lắng đọng và phẳng hóa cơ học hóa học tiếp theo.

Fig.1K minh họa kết cấu trên Fig.1J sau bước loại bỏ lớp che phần chèn và tạo thành các khối chứa quang thứ hai, theo một phương án của sáng chế. Dựa vào Fig.1K, lớp che phần chèn 106 được loại bỏ, ví dụ, bằng quy trình khắc chọn lọc. Các khối chứa quang 128 sau đó được tạo ra ở tất cả các vị trí phần chèn có thể có phía trên các phần được làm lộ ra của các đường ILD 104. Theo một phương án, các lỗ mở được tạo ra ngay khi loại bỏ lớp che phần chèn 106 được điền đầy bằng chất cảm quang cực nhanh hoặc chất cản chùm tia điện tử hoặc vật liệu nhạy quang khác. Theo phương án này, dòng nhiệt chảy ngược của polyme vào các lỗ mở được sử dụng theo ứng dụng phủ quay. Theo một phương án, chất cảm quang nhanh được chế tạo bằng cách loại bỏ chất dập tắt khỏi vật liệu cảm quang hiện có. Theo một phương án khác, các khối chứa quang 128 được tạo ra bằng quy trình khắc ngược và/hoặc quy trình quang khắc/thu nhỏ/khắc. Cần hiểu rằng các khối chứa quang không cần phải được điền đầy bằng chất cảm quang thực tế, miễn là vật liệu này đóng vai trò là bộ chuyển mạch nhạy quang.

Fig.1L minh họa kết cấu trên Fig.1K sau bước lựa chọn vị trí phần chèn, theo một phương án của sáng chế. Dựa vào Fig.1L, các khối chứa quang 128 từ Fig.1K không ở ở các vị trí phần chèn đã chọn được loại bỏ. Ở các vị trí trong đó các phần chèn được chọn cần được tạo ra, các khối chứa quang 128 được giữ lại, chuyển đổi thành vật liệu ILD cố định, hoặc được thay thế bằng vật liệu ILD cố định. Ví dụ là, Fig.1L minh họa các vị trí không có phần chèn 130 với các khối chứa quang 128 tương ứng được loại bỏ

để làm lộ ra một phần các đường ILD 104. Vị trí khác bị chiếm trước đó bởi khối chứa quang 128 hiện được thể hiện dưới dạng vùng 132 trên Fig.1L. Vùng 132 này được chọn để tạo thành phần chèn và tạo nên một phần kết cấu ILD cuối cùng. Theo một phương án, vật liệu của khối chứa quang 128 tương ứng được giữ lại ở vùng 132 dưới dạng vật liệu ILD cuối cùng. Theo một phương án khác, vật liệu của khối chứa quang 128 được thay đổi, ví dụ, bằng cách liên kết chéo, ở vùng 132 để tạo ra vật liệu ILD cuối cùng. Theo một phương án khác nữa, vật liệu của khối chứa quang 128 ở vùng 132 được thay thế bằng vật liệu ILD cuối cùng. Trong trường hợp bất kỳ, vùng 132 có thể còn được gọi là phần chèn 132.

Dựa lại vào Fig.1L, để tạo ra các lỗ mở 130, kỹ thuật quang khắc được sử dụng để làm lộ ra các khối chứa quang 128 tương ứng. Tuy nhiên, các giới hạn về quang khắc có thể được nói lỏng và dung sai xê dịch có thể là cao do các khối chứa quang 128 được bao quanh bởi các vật liệu không quang phân được. Hơn nữa, theo một phương án, thay vì làm lộ ra ở, ví dụ $30\text{mJ}/\text{cm}^2$, thì các khối chứa quang này có thể được làm lộ ra ở, ví dụ, $3\text{mJ}/\text{cm}^2$. Thông thường, điều này sẽ dẫn đến sự điều khiển CD rất kém và có độ nhám. Nhưng trong trường hợp này, sự điều khiển CD và độ nhám sẽ được xác định bởi các khối chứa quang 128, có thể được điều khiển và xác định rất tốt. Do đó, cách tiếp cận khối chứa quang có thể được sử dụng để phá vỡ sự cân bằng tạo ảnh/định lượng mà làm giới hạn thông lượng của các quy trình quang khắc thế hệ tiếp theo.

Dựa lại vào Fig.1L, theo một phương án, kết cấu tạo thành bao gồm kết cấu ILD đồng nhất (phần chèn 132 + ILD 124 + các đường ILD 104 + các đường ILD 116). Theo phương án này, hai hoặc nhiều hơn hai trong số phần chèn 132, ILD 124, các đường ILD 104 và đường ILD 116 bao gồm cùng vật liệu. Theo một phương án khác, phần chèn 132, ILD 124, các đường ILD 104 và các đường ILD 116 bao gồm các vật liệu ILD khác nhau. Trong cả hai trường hợp, theo một phương án cụ thể, sự khác biệt chẳng hạn như đường nối giữa các vật liệu của phần chèn 132 và các đường ILD 104 (ví dụ, đường nối 199) và/hoặc giữa phần chèn 132 và các đường ILD 116 (ví dụ, đường nối 196) có thể được quan sát ở kết cấu cuối cùng.

Fig.1M minh họa kết cấu trên Fig.1L sau bước loại bỏ lớp mặt nạ cứng trên Fig.1L, theo một phương án của sáng chế. Dựa vào Fig.1M, lớp mặt nạ cứng 126 được loại bỏ theo cách chọn lọc để tạo ra đường kim loại và các khoảng hở lỗ dẫn 134. Theo phương án này, lớp mặt nạ cứng 126 gần như chứa cacbon và được loại bỏ theo cách chọn lọc bằng quy trình phủ tro.

Fig.1N minh họa kết cấu trên Fig.1M sau bước tạo thành đường kim loại và lỗ

dẫn, theo một phương án của sáng chế. Dựa vào Fig.1N, các đường kim loại 134 và các lỗ dẫn (được thể hiện là 138) được tạo ra ngay khi điền đầy kim loại của các lỗ mở 134 trên Fig.1M. Các đường kim loại 136 được ghép nối với các đường kim loại 108 nằm dưới bởi các lỗ dẫn 138 và bị ngắt bởi các phần chèn 132. Theo một phương án, các lỗ mở 134 được điền đầy theo phương thức nạm, trong đó kim loại được sử dụng để điền đầy tràn các lỗ mở và sau đó được làm phẳng lại để tạo ra kết cấu được thể hiện trên Fig.1N. Do đó, quy trình làm phẳng và lắng đọng kim loại (ví dụ, đồng và các lớp dẫn và chấn kết hợp) để tạo ra các đường kim loại và lỗ dẫn theo phương thức nêu trên có thể thường được sử dụng cho quy trình nạm đơn hoặc kép của công đoạn sau của dây chuyền (BEOL) chuẩn. Theo một phương án, trong các hoạt động chế tạo tiếp theo, các đường ILD 116 có thể được loại bỏ để tạo ra các khe hở không khí giữa các đường kim loại 136 tạo thành.

Kết cấu trên Fig.1N sau đó có thể được sử dụng làm cơ sở để tạo ra đường kim loại/lỗ dẫn và các lớp ILD sau đó. Theo cách khác, kết cấu trên Fig.1N có thể thể hiện lớp liên kết kim loại cuối cùng trong mạch tích hợp. Cần hiểu rằng các công đoạn xử lý nêu trên có thể áp dụng thực tế theo các trình tự thay thế, không phải mọi thao tác đều cần được thực hiện và/hoặc các công đoạn xử lý bổ sung có thể được thực hiện. Trong trường hợp bất kỳ, các kết cấu tạo thành cho phép chế tạo các lỗ dẫn được định tâm trực tiếp ở các đường kim loại nằm dưới. Nghĩa là, các lỗ dẫn có thể rộng hơn, hẹp hơn hoặc có cùng độ dày với các đường kim loại nằm dưới, ví dụ, do việc xử lý khắc chọn lọc không hoàn toàn. Tuy nhiên, theo một phương án, các tâm của các lỗ dẫn trực tiếp được căn chỉnh (so khớp) với các tâm của các đường kim loại. Hơn nữa, ILD được sử dụng để chọn các phần chèn và lỗ dẫn nào có nhiều khả năng sẽ rất khác với ILD chính và sẽ được tự căn chỉnh hoàn toàn theo cả hai hướng. Như vậy, theo một phương án, độ lệch do bước tạo mẫu hình nạm quang khắc/kép thông thường mà mặt khác phải được cho phép, không phải là yếu tố đối với các kết cấu tạo thành được mô tả ở đây. Dựa lại vào Fig.1N, sau đó, việc chế tạo tự căn chỉnh bằng phương thức giảm trừ có thể được hoàn thành ở giai đoạn này. Lớp tiếp theo được chế tạo theo cách tương tự có thể yêu cầu bắt đầu lại toàn bộ quy trình một lần nữa. Theo cách khác, các phương thức khác có thể được sử dụng ở giai đoạn này để tạo ra các lớp liên kết bổ sung, chẳng hạn như các phương thức nạm đơn hoặc kép thông thường.

Quy trình nêu trên đã mô tả lưu trình liên quan đến việc sử dụng bước khắc rãnh sâu. Theo một khía cạnh khác, phương thức nông hơn liên quan đến sơ đồ xử lý giảm trừ chỉ tự căn chỉnh phần chèn. Ví dụ là, các hình vẽ từ Fig.2A đến Fig.2D minh họa các phần của các lớp mạch tích hợp thể hiện các thao tác khác nhau ở phương pháp tạo mẫu

hình phần chèn tự căn chỉnh giảm trừ, theo một phương án khác của sáng chế. Trong mỗi phần minh họa ở mỗi thao tác được mô tả, các hình chiếu bằng được thể hiện ở phía trên, và các hình vẽ mặt cắt ngang tương ứng được thể hiện ở phía dưới. Các hình vẽ này sẽ được đề cập ở đây dưới dạng các hình vẽ mặt cắt ngang và hình chiếu bằng tương ứng.

Fig.2A minh họa hình chiếu bằng và các hình vẽ mặt cắt ngang tương ứng của lưới phần chèn bắt đầu, theo một phương án của sáng chế. Dựa vào hình chiếu bằng và các hình vẽ mặt cắt ngang (a) và (b) tương ứng lần lượt được cắt dọc theo các trục a-a' và b-b', kết cấu lưới phần chèn bắt đầu 200 bao gồm lớp ILD 202 có lớp mặt nạ cứng thứ nhất 204 được bố trí trên đó. Lớp mặt nạ cứng thứ hai 208 được bố trí ở lớp mặt nạ cứng thứ nhất 204 và được tạo mẫu hình để có kết cấu lưới. Lớp mặt nạ cứng thứ ba 206 được bố trí ở lớp mặt nạ cứng thứ hai 208 và ở lớp mặt nạ cứng thứ nhất 204. Ngoài ra, các lỗ mở 210 vẫn nằm giữa kết cấu lưới của lớp mặt nạ cứng thứ hai 208 và lớp mặt nạ cứng thứ ba 206.

Fig.2B minh họa hình chiếu bằng và các hình vẽ mặt cắt ngang tương ứng của kết cấu trên Fig.2A sau bước điền đầy khối chứa quang, phơi và làm hiện hình, theo một phương án của sáng chế. Dựa vào hình chiếu bằng và các hình vẽ mặt cắt ngang (a) và (b) tương ứng lần lượt được cắt dọc theo các trục a-a' và b-b', các khối chứa quang 212 được tạo ra ở các lỗ mở 210 trên Fig.2A. Sau đó, các khối chứa quang đã chọn được làm lộ ra và loại bỏ để tạo ra các vị trí phần chèn 214 được chọn, như được mô tả trên Fig.2B.

Fig.2C minh họa hình chiếu bằng và các hình vẽ mặt cắt ngang tương ứng của kết cấu trên Fig.2B sau bước tạo thành phần chèn, theo một phương án của sáng chế. Dựa vào hình chiếu bằng và các hình vẽ mặt cắt ngang (a) và (b) tương ứng lần lượt được cắt dọc theo các trục a-a' và b-b', các phần chèn 216 được tạo ra ở các lỗ mở 214 trên Fig.2B. Theo một phương án, các phần chèn 216 này được tạo ra bằng phương thức quay (spin-on) và/hoặc phương thức lắng đọng và khắc ngược.

Fig.2D minh họa hình chiếu bằng và các hình vẽ mặt cắt ngang tương ứng của kết cấu trên Fig.2C sau bước loại bỏ lớp mặt nạ cứng và các khối chứa quang còn lại, theo một phương án của sáng chế. Dựa vào hình chiếu bằng và các hình vẽ mặt cắt ngang (a) và (b) tương ứng lần lượt được cắt dọc theo các trục a-a' và b-b', lớp mặt nạ cứng thứ ba 206 này được loại bỏ, để lại lớp mặt nạ cứng thứ hai 208 và các phần chèn 216. Mẫu hình tạo thành (lớp mặt nạ cứng thứ hai 208 và các phần chèn 216) sau đó có thể được sử dụng để tạo mẫu hình lớp mặt nạ cứng 204 để tạo mẫu hình cuối cùng lớp ILD 202. Theo một phương án, lớp mặt nạ cứng thứ ba 206 gần như chứa cacbon và được loại bỏ

bằng cách thực hiện quy trình phủ tro.

Do đó, kết cấu trên Fig.2D sau đó có thể được sử dụng làm cơ sở để tạo ra các mẫu hình đường ILD và phân chèn. Cần hiểu rằng các công đoạn xử lý nêu trên có thể áp dụng thực tế theo các trình tự thay thế, không phải mọi thao tác đều cần được thực hiện và/hoặc các công đoạn xử lý bổ sung có thể được thực hiện. Trong trường hợp bất kỳ, các kết cấu tạo thành cho phép chế tạo các phần chèn tự căn chỉnh. Như vậy, theo một phương án, độ lệch do bước tạo mẫu hình nạm quang khắc/kép thông thường mà mặt khác cần được cho phép, không phải là yếu tố đối với các kết cấu tạo thành được mô tả ở đây.

Các phương án được mô tả ở đây có thể được sử dụng để sản xuất nhiều kiểu mạch tích hợp và/hoặc thiết bị vi điện tử khác nhau. Các ví dụ về các mạch tích hợp này bao gồm, nhưng không bị giới hạn ở, các bộ xử lý, thành phần bộ chip, bộ xử lý đồ họa, bộ xử lý tín hiệu số, vi điều khiển và dạng tương tự. Theo các phương án khác, bộ nhớ bán dẫn có thể được sản xuất. Hơn nữa, các mạch tích hợp hoặc thiết bị vi điện tử khác có thể được sử dụng trong các thiết bị điện tử khác nhau được biết đến theo tình trạng kỹ thuật. Ví dụ, trong các hệ thống máy tính (ví dụ, máy tính để bàn, máy tính xách tay laptop, máy chủ), điện thoại di động, thiết bị điện tử cá nhân, v.v. Các mạch tích hợp có thể được ghép nối với bus và các thành phần khác trong các hệ thống. Ví dụ, bộ xử lý có thể được ghép nối bởi một hoặc nhiều bus vào bộ nhớ, bộ chip, v.v. Mỗi trong số bộ xử lý, bộ nhớ và bộ chip, có thể được sản xuất bằng cách sử dụng các phương thức được mô tả ở đây.

Fig.3 minh họa thiết bị tính toán 300 theo một phương án thực hiện của sáng chế. Thiết bị tính toán 300 này chứa bảng 302. Bảng 302 có thể bao gồm một số thành phần, bao gồm nhưng không bị giới hạn ở bộ xử lý 304 và ít nhất một chip truyền thông 306. Bộ xử lý 304 được ghép nối về mặt vật lý và điện với bảng 302. Theo một số phương án thực hiện, ít nhất một chip truyền thông 306 còn được ghép nối về mặt vật lý và điện với bảng 302. Theo các phương án thực hiện khác nữa, chip truyền thông 306 là một phần của bộ xử lý 304.

Tùy thuộc vào ứng dụng của sáng chế, thiết bị tính toán 300 có thể bao gồm các thành phần khác có thể hoặc có thể không được ghép nối về mặt vật lý và điện với bảng 302. Các thành phần khác này bao gồm, nhưng không bị giới hạn ở, bộ nhớ khả biến (ví dụ, DRAM), bộ nhớ không khả biến (ví dụ, ROM), bộ nhớ chớp, bộ xử lý đồ họa, bộ xử lý tín hiệu số, bộ xử lý mã hóa, bộ chip, anten, màn hiển thị, màn hiển thị cảm ứng, bộ điều khiển màn hình cảm ứng, pin, bộ mã hóa-giải mã âm thanh, bộ mã hóa-giải mã

video, bộ khuếch đại công suất, thiết bị của hệ thống định vị toàn cầu (global positioning system, GPS), la bàn, gia tốc kế, con quay hồi chuyển (gyroscope), loa, camera, và thiết bị lưu trữ lớn (chẳng hạn như ổ đĩa cứng, đĩa nén (compact disk, CD), đĩa đa năng số (digital versatile disk, DVD) và v.v.).

Chip truyền thông 306 cho phép truyền thông không dây để chuyển dữ liệu đến và từ thiết bị tính toán 300. Thuật ngữ "không dây" và các thuật ngữ bắt nguồn của nó có thể được sử dụng để mô tả các mạch, thiết bị, hệ thống, phương pháp, kỹ thuật, kênh truyền thông, v.v., mà có thể truyền thông dữ liệu thông qua việc sử dụng bức xạ điện từ được điều biến thông qua vật ghi không rắn. Thuật ngữ này không ngụ ý rằng thiết bị kết hợp không chứa dây bất kỳ, mặc dù theo một số phương án thì có thể không chứa. Chip truyền thông 306 có thể thực hiện chuẩn bất kỳ trong số các chuẩn hoặc giao thức không dây, bao gồm nhưng không bị giới hạn ở Wi-Fi (họ IEEE 802.11), WiMAX (họ IEEE 802.16), IEEE 802.20, tiến hóa dài hạn (long term evolution, LTE), Ev-DO, HSPA+, HSDPA+, HSUPA+, EDGE, GSM, GPRS, CDMA, TDMA, DECT, Bluetooth và các chuẩn bắt nguồn của chúng, cũng như các giao thức không dây khác bất kỳ được chỉ định dưới dạng 3G, 4G, 5G và hơn thế nữa. Thiết bị tính toán 300 này có thể bao gồm các chip truyền thông 306. Ví dụ, chip truyền thông thứ nhất 306 có thể được dành riêng để truyền thông không dây tầm ngắn hơn chẳng hạn như Wi-Fi và Bluetooth và chip truyền thông thứ hai 306 có thể được dành riêng để truyền thông không dây tầm xa hơn chẳng hạn như GPS, EDGE, GPRS, CDMA, WiMAX, LTE, Ev-DO và các dạng khác.

Bộ xử lý 304 của thiết bị tính toán 300 bao gồm khuôn mạch tích hợp được đóng gói trong bộ xử lý 304. Theo một số phương án thực hiện của sáng chế, khuôn mạch tích hợp của bộ xử lý bao gồm một hoặc nhiều kết cấu, chẳng hạn như các phần chèn và lỗ dẫn tự căn chỉnh, được xây dựng theo các phương án thực hiện của sáng chế. Thuật ngữ "bộ xử lý" có thể đề cập đến thiết bị hoặc một phần của thiết bị bất kỳ mà xử lý dữ liệu điện tử từ các bộ đăng ký và/hoặc bộ nhớ để biến đổi dữ liệu điện tử này thành dữ liệu điện tử khác có thể được lưu trữ trong các bộ đăng ký và/hoặc bộ nhớ.

Chip truyền thông 306 còn bao gồm khuôn mạch tích hợp được đóng gói trong chip truyền thông 306. Theo một phương án thực hiện khác của sáng chế, khuôn mạch tích hợp của chip truyền thông bao gồm một hoặc nhiều kết cấu, chẳng hạn như các phần chèn và lỗ dẫn tự căn chỉnh, được xây dựng theo các phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác nữa, các thành phần khác có trong thiết bị tính toán 300 có thể chứa khuôn mạch tích hợp bao gồm một hoặc nhiều kết cấu, chẳng

hạn như các phần chèn và lỗ dẫn tự căn chỉnh, được xây dựng theo các phương án thực hiện của sáng chế.

Theo các phương án thực hiện khác nhau, thiết bị tính toán 300 có thể là máy tính xách tay laptop, máy tính xách tay netbook, máy tính xách tay notebook, máy tính xách tay ultrabook, điện thoại thông minh, máy tính dạng bảng, thiết bị kỹ thuật số hỗ trợ cá nhân (personal digital assistant, PDA), PC siêu di động, điện thoại di động, máy tính để bàn, máy chủ, máy in, máy quét, bộ giám sát, thiết bị giải mã tín hiệu truyền hình (set-top box), bộ phận điều khiển giải trí, camera số, máy phát nhạc cầm tay hoặc bộ ghi video số. Theo các phương án thực hiện khác nữa, thiết bị tính toán 300 này có thể là thiết bị điện tử khác bất kỳ để xử lý dữ liệu.

Do đó, các phương án của sáng chế bao gồm bước tạo mẫu hình phần chèn và lỗ dẫn tự căn chỉnh giảm trừ dùng cho các mối liên kết thuộc công đoạn sau của dây chuyền (BEOL).

Theo một phương án, kết cấu liên kết dùng cho mạch tích hợp bao gồm lớp thứ nhất của kết cấu liên kết được bố trí trên nền. Lớp thứ nhất bao gồm lưới thứ nhất có các đường kim loại và đường điện môi xen giữa theo hướng thứ nhất. Các đường điện môi có bề mặt trên cùng cao hơn bề mặt trên cùng của các đường kim loại. Kết cấu liên kết này còn bao gồm lớp thứ hai của kết cấu liên kết được bố trí ở lớp thứ nhất của kết cấu liên kết này. Lớp thứ hai bao gồm lưới thứ hai có các đường kim loại và đường điện môi xen giữa theo hướng thứ hai, vuông góc với hướng thứ nhất. Các đường điện môi có bề mặt dưới cùng thấp hơn bề mặt dưới cùng của các đường kim loại. Các đường điện môi của lưới thứ hai chồng lấp và tiếp xúc, nhưng phân biệt với, các đường điện môi của lưới thứ nhất. Các đường kim loại của lưới thứ nhất được bố trí cách các đường kim loại của lưới thứ hai xa.

Theo một phương án, kết cấu liên kết còn bao gồm lỗ dẫn điện được bố trí giữa và ghép nối đường kim loại của lưới thứ nhất với đường kim loại của lưới thứ hai. Lỗ dẫn điện trực tiếp liền kề với và ở cùng mặt phẳng với một phần đường điện môi của lưới thứ nhất và một phần đường điện môi của lưới thứ hai.

Theo một phương án, lỗ dẫn có tâm được căn chỉnh trực tiếp với tâm của đường kim loại của lưới thứ nhất và với tâm của đường kim loại của lưới thứ hai.

Theo một phương án, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ nhất, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi khác thứ hai.

Theo một phương án, các đường điện môi của lưới thứ nhất và các đường điện môi của lưới thứ hai bao gồm cùng vật liệu điện môi.

Theo một phương án, đường kim loại của lưới thứ hai bị ngắt bởi phần chèn có tâm được căn chỉnh trực tiếp với tâm của đường điện môi của lưới thứ nhất, phần chèn này bao gồm vật liệu điện môi thứ nhất. Phần chèn phân biệt với, nhưng tiếp xúc với, đường điện môi của lưới thứ nhất và đường điện môi của lưới thứ hai.

Theo một phương án, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba, và không có vật liệu nào trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

Theo một phương án, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba, và hai hoặc nhiều hơn hai vật liệu trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

Theo một phương án, kết cấu liên kết còn bao gồm vùng điện môi được bố trí giữa và tiếp xúc với đường kim loại của lưới thứ nhất và đường kim loại của lưới thứ hai. Vùng điện môi này trực tiếp liền kề với và ở cùng mặt phẳng với một phần đường điện môi của lưới thứ nhất và một phần đường điện môi của lưới thứ hai.

Theo một phương án, vùng điện môi bao gồm vật liệu điện môi thứ nhất, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba, và không có vật liệu nào trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

Theo một phương án, vùng điện môi bao gồm vật liệu điện môi thứ nhất, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba, và hai hoặc nhiều hơn hai vật liệu trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

Theo một phương án, phương pháp chế tạo kết cấu liên kết dùng cho mạch tích hợp bao gồm bước tạo ra kết cấu bọc kim loại bao gồm lưới thứ nhất của đường kim loại và đường điện môi xen giữa có hướng thứ nhất. Mỗi đường điện môi của lưới thứ nhất có bề mặt phía trên với lớp che phần chèn trên đó, và mỗi đường kim loại của lưới thứ nhất gần như phẳng với đỉnh của lớp che phần chèn. Phương pháp này còn bao gồm

bước tạo hốc các đường kim loại của lưới thứ nhất dưới bề mặt phía trên của các đường điện môi của lưới thứ nhất và tạo ra các hốc phía trên các đường kim loại của lưới thứ nhất. Phương pháp này còn bao gồm bước tạo ra lớp mặt nạ cứng thứ nhất ở các hốc phía trên đường kim loại, lớp mặt nạ cứng thứ nhất này gần như phẳng với đỉnh của lớp che phần chèn. Phương pháp này còn bao gồm bước tạo ra lớp mặt nạ cứng thứ hai phía trên lớp che phần chèn và lớp mặt nạ cứng thứ nhất, lớp mặt nạ cứng thứ hai có lưới thứ hai theo hướng thứ hai, vuông góc với hướng thứ nhất. Phương pháp này còn bao gồm bước tạo ra các rãnh bằng cách loại bỏ các phần của lớp che phần chèn và lớp mặt nạ cứng thứ nhất được làm lộ ra bởi lớp mặt nạ cứng thứ hai. Phương pháp này còn bao gồm bước tạo ra lớp điện môi ở các rãnh để tạo ra lưới thứ ba có các đường điện môi theo hướng thứ hai. Phương pháp này còn bao gồm bước loại bỏ lớp mặt nạ cứng thứ hai và giữ lại các phần của lớp mặt nạ cứng thứ nhất. Phương pháp này còn bao gồm bước xác định một hoặc nhiều vị trí lỗ dẫn điện phía trên các phần được làm lộ ra của các đường kim loại được tạo hốc của lưới thứ nhất. Phương pháp này còn bao gồm bước xác định một hoặc nhiều vị trí phần chèn ở các vùng của lớp che phần chèn. Phương pháp này còn bao gồm bước tạo ra lưới thứ tư có các đường kim loại theo hướng thứ hai, nằm giữa các đường điện môi của lưới thứ ba và phía trên lưới thứ nhất.

Theo một phương án, bước xác định một hoặc nhiều vị trí của các lỗ dẫn bao gồm bước tạo ra các khối chứa quang và làm lộ ra một hoặc nhiều khối chứa quang này.

Theo một phương án, bước tạo ra lưới thứ tư có các đường kim loại còn bao gồm bước tạo ra một hoặc nhiều lỗ dẫn điện ở một hoặc nhiều vị trí lỗ dẫn điện tương ứng. Một trong số các lỗ dẫn điện này được bố trí giữa và ghép nối đường kim loại của lưới thứ nhất với đường kim loại của lưới thứ tư. Lỗ dẫn điện trực tiếp liền kề và ở cùng mặt phẳng với một phần đường điện môi của lưới thứ nhất và một phần đường điện môi của lưới thứ ba.

Theo một phương án, một trong số các lỗ dẫn điện có tâm được căn chỉnh trực tiếp với tâm của đường kim loại của lưới thứ nhất và với tâm của đường kim loại của lưới thứ tư.

Theo một phương án, bước xác định một hoặc nhiều vị trí phần chèn ở các vùng của lớp che phần chèn bao gồm bước loại bỏ lớp che phần chèn và, sau đó, tạo ra các khối chứa quang và làm lộ ra một hoặc nhiều khối chứa quang này.

Theo một phương án, phương pháp này còn bao gồm, sau khi làm lộ ra một hoặc nhiều khối chứa quang, thì thay thế một hoặc nhiều trong số các khối chứa quang bằng phần chèn điện môi. Đường kim loại của lưới thứ tư bị ngắt bởi phần chèn điện môi.

Phần chèn điện môi này có tâm được căn chỉnh trực tiếp với tâm của đường điện môi của lưới thứ nhất.

Theo một phương án, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ nhất, và các đường điện môi của lưới thứ ba bao gồm vật liệu điện môi khác thứ hai.

Theo một phương án, các đường điện môi của lưới thứ nhất và các đường điện môi của lưới thứ ba bao gồm cùng vật liệu điện môi.

Theo một phương án, phương pháp chế tạo các đường điện môi giữa các lớp (ILD) và mặt nạ tạo mẫu hình phần chèn để sản xuất mạch tích hợp bao gồm bước tạo ra lớp mặt nạ cứng thứ nhất phía trên lớp vật liệu ILD, lớp mặt nạ cứng thứ nhất này có lưới thứ nhất theo hướng thứ nhất. Phương pháp này còn bao gồm bước tạo ra lớp mặt nạ cứng thứ hai phía trên lớp vật liệu ILD và phía trên lớp mặt nạ cứng thứ nhất, lớp mặt nạ cứng thứ hai có lưới thứ hai theo hướng thứ hai, vuông góc với hướng thứ nhất. Phương pháp này còn bao gồm bước tạo ra các khối chứa quang ở các lỗ mở giữa các lưới thứ nhất và thứ hai. Phương pháp này còn bao gồm bước làm lộ ra và loại bỏ một hoặc nhiều trong số các khối chứa quang để tạo ra một hoặc nhiều vị trí phần chèn tương ứng. Phương pháp này còn bao gồm bước tạo ra lớp mặt nạ cứng thứ ba ở một hoặc nhiều vị trí phần chèn tương ứng. Phương pháp này còn bao gồm bước loại bỏ các khối chứa quang còn lại và lớp mặt nạ cứng thứ hai để tạo ra các đường ILD và mặt nạ tạo mẫu hình phần chèn.

Theo một phương án, phương pháp này còn bao gồm bước chuyển mẫu hình của các đường ILD và mặt nạ tạo mẫu hình phần chèn vào lớp vật liệu ILD bằng quy trình khắc.

Theo một phương án, phương pháp này còn bao gồm bước, trước khi tạo ra lớp mặt nạ cứng thứ nhất, thì tạo ra lớp mặt nạ cứng thứ tư trên lớp vật liệu ILD. Lớp mặt nạ cứng thứ nhất được tạo ra trên lớp mặt nạ cứng thứ tư, và chuyển mẫu hình của các đường ILD và mặt nạ tạo mẫu hình phần chèn vào lớp vật liệu ILD bao gồm bước trước tiên chuyển mẫu hình của các đường ILD và mặt nạ tạo mẫu hình phần chèn vào lớp mặt nạ cứng thứ tư.

Theo một phương án, lớp mặt nạ cứng thứ hai chứa cacbon, và bước loại bỏ lớp mặt nạ cứng thứ hai bao gồm bước sử dụng quy trình phủ tro.

YÊU CẦU BẢO HỘ

1. Kết cấu liên kết dùng cho mạch tích hợp, kết cấu liên kết này bao gồm:

lớp thứ nhất của kết cấu liên kết được bố trí trên nền, lớp thứ nhất này bao gồm lưới thứ nhất có các đường kim loại và đường điện môi xen giữa theo hướng thứ nhất, trong đó các đường điện môi có bề mặt trên cùng cao hơn bề mặt trên cùng của các đường kim loại; và

lớp thứ hai của kết cấu liên kết được bố trí ở lớp thứ nhất của kết cấu liên kết này, lớp thứ hai này bao gồm lưới thứ hai có các đường kim loại và đường điện môi xen giữa theo hướng thứ hai, vuông góc với hướng thứ nhất, trong đó các đường điện môi có bề mặt dưới cùng thấp hơn bề mặt dưới cùng của các đường kim loại, trong đó các đường điện môi của lưới thứ hai chồng lên và tiếp xúc, nhưng phân biệt với, các đường điện môi của lưới thứ nhất, và trong đó các đường kim loại của lưới thứ nhất được đặt cách các đường kim loại của lưới thứ hai xa.

2. Kết cấu liên kết theo điểm 1, kết cấu này còn bao gồm:

lỗ dẫn điện được bố trí giữa và ghép nối đường kim loại của lưới thứ nhất với đường kim loại của lưới thứ hai, lỗ dẫn điện trực tiếp liền kề với và ở cùng mặt phẳng với một phần đường điện môi của lưới thứ nhất và một phần đường điện môi của lưới thứ hai.

3. Kết cấu liên kết theo điểm 2, trong đó lỗ dẫn điện có tâm được căn chỉnh trực tiếp với tâm của đường kim loại của lưới thứ nhất và với tâm của đường kim loại của lưới thứ hai.

4. Kết cấu liên kết theo điểm 1, trong đó các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ nhất, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi khác thứ hai.

5. Kết cấu liên kết theo điểm 1, trong đó các đường điện môi của lưới thứ nhất và các đường điện môi của lưới thứ hai bao gồm cùng vật liệu điện môi.

6. Kết cấu liên kết theo điểm 1, trong đó đường kim loại của lưới thứ hai bị ngắt bởi phần chèn có tâm được căn chỉnh trực tiếp với tâm của đường điện môi của lưới thứ nhất, phần chèn này bao gồm vật liệu điện môi thứ nhất, trong đó phần chèn phân biệt với, nhưng tiếp xúc với, đường điện môi của lưới thứ nhất và đường điện môi của lưới thứ hai.

7. Kết cấu liên kết theo điểm 6, trong đó các đường điện môi của lưới thứ nhất bao gồm

vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai này bao gồm vật liệu điện môi thứ ba, và trong đó không có vật liệu nào trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

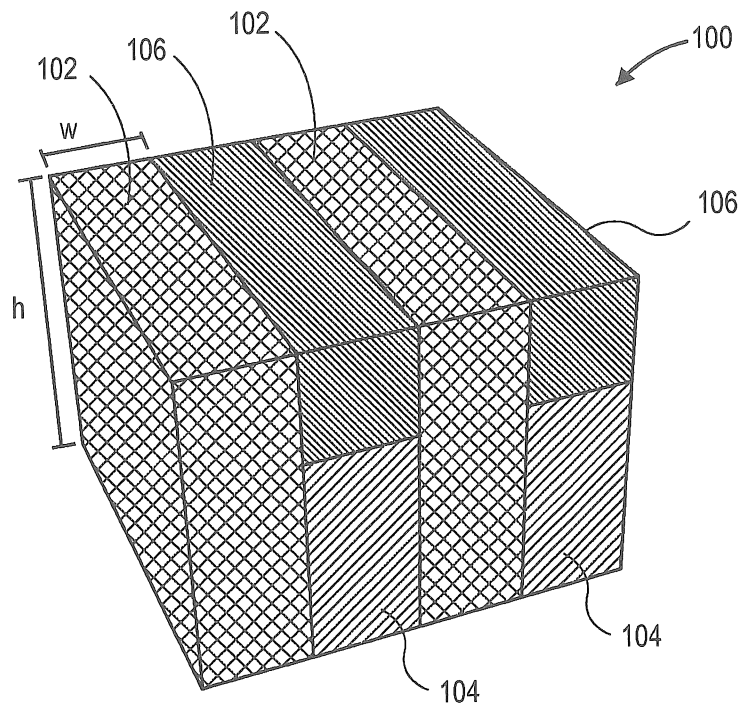
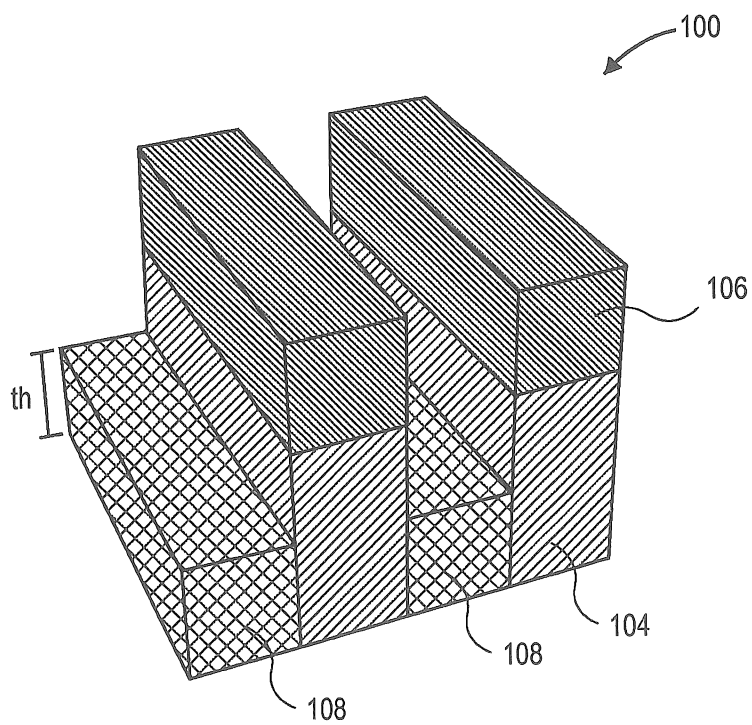
8. Kết cấu liên kết theo điểm 6, trong đó các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba, và trong đó hai hoặc nhiều hơn hai vật liệu trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai, và vật liệu điện môi thứ ba là giống nhau.

9. Kết cấu liên kết theo điểm 1, kết cấu này còn bao gồm:

vùng điện môi được bố trí giữa và tiếp xúc với đường kim loại của lưới thứ nhất và đường kim loại của lưới thứ hai, vùng điện môi trực tiếp liền kề với và ở cùng mặt phẳng với một phần đường điện môi của lưới thứ nhất và một phần đường điện môi của lưới thứ hai.

10. Kết cấu liên kết theo điểm 9, trong đó vùng điện môi bao gồm vật liệu điện môi thứ nhất, các đường điện môi của lưới thứ nhất này bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai bao gồm vật liệu điện môi thứ ba, và trong đó không có vật liệu nào trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

11. Kết cấu liên kết theo điểm 9, trong đó vùng điện môi bao gồm vật liệu điện môi thứ nhất, các đường điện môi của lưới thứ nhất bao gồm vật liệu điện môi thứ hai, và các đường điện môi của lưới thứ hai này bao gồm vật liệu điện môi thứ ba, và trong đó hai hoặc nhiều hơn hai vật liệu trong số vật liệu điện môi thứ nhất, vật liệu điện môi thứ hai và vật liệu điện môi thứ ba là giống nhau.

**FIG. 1A****FIG. 1B**

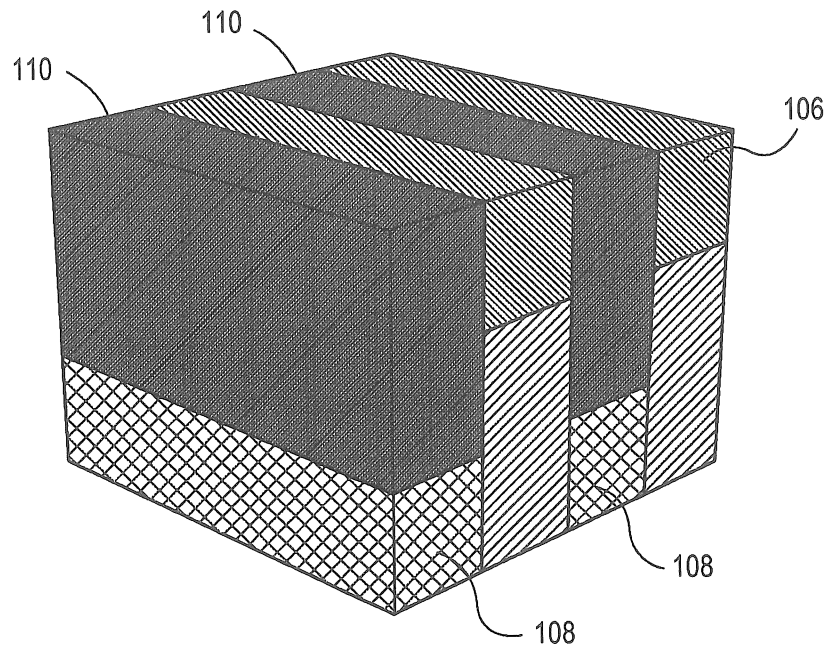


FIG. 1C

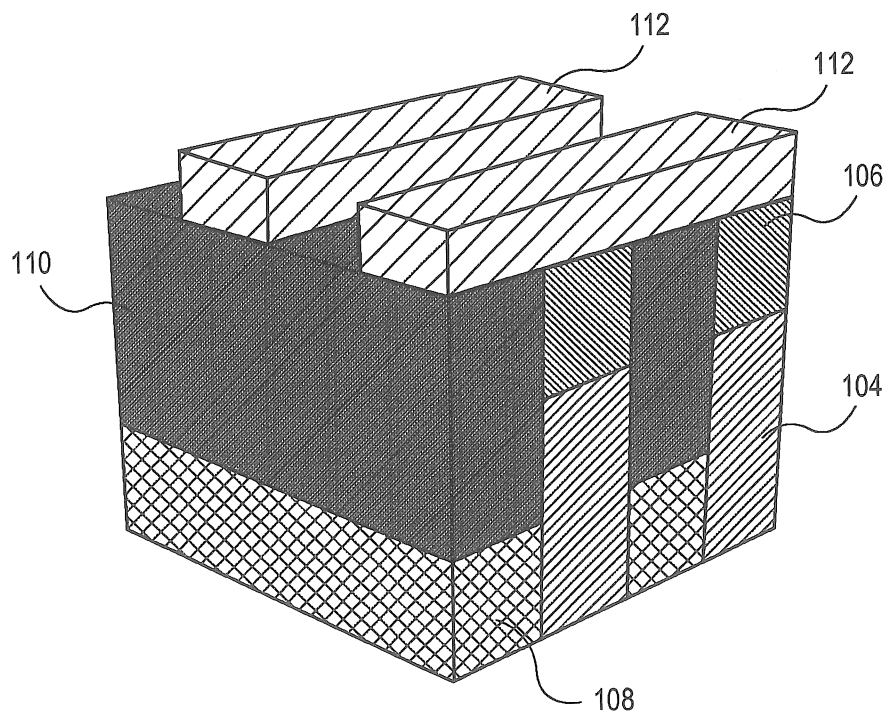
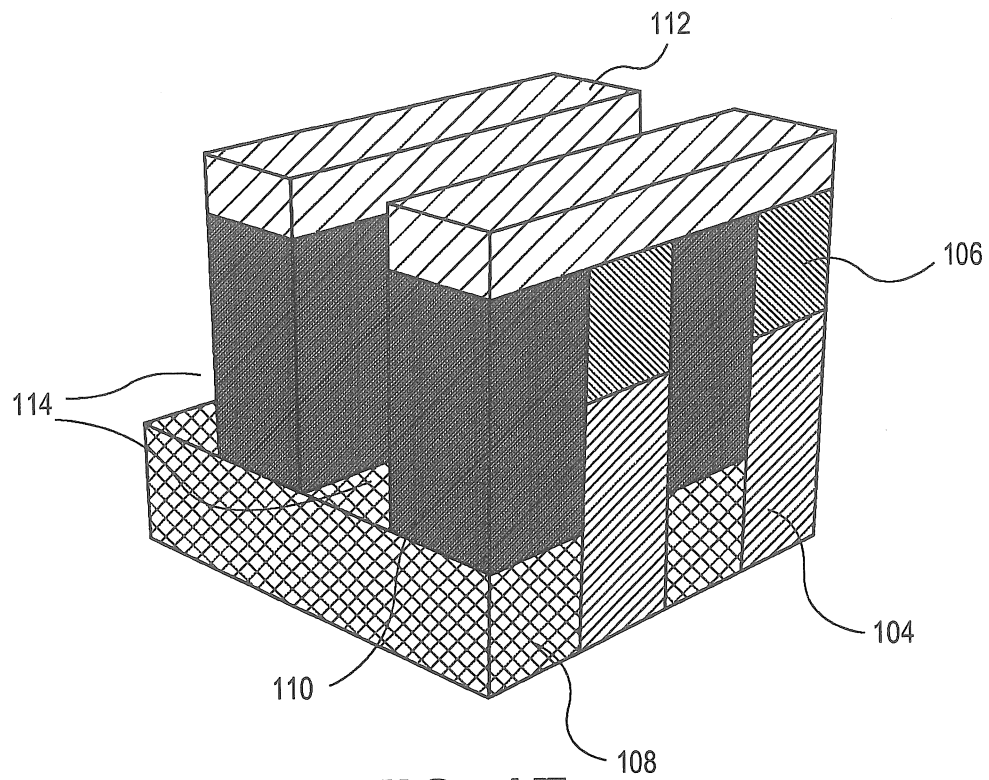
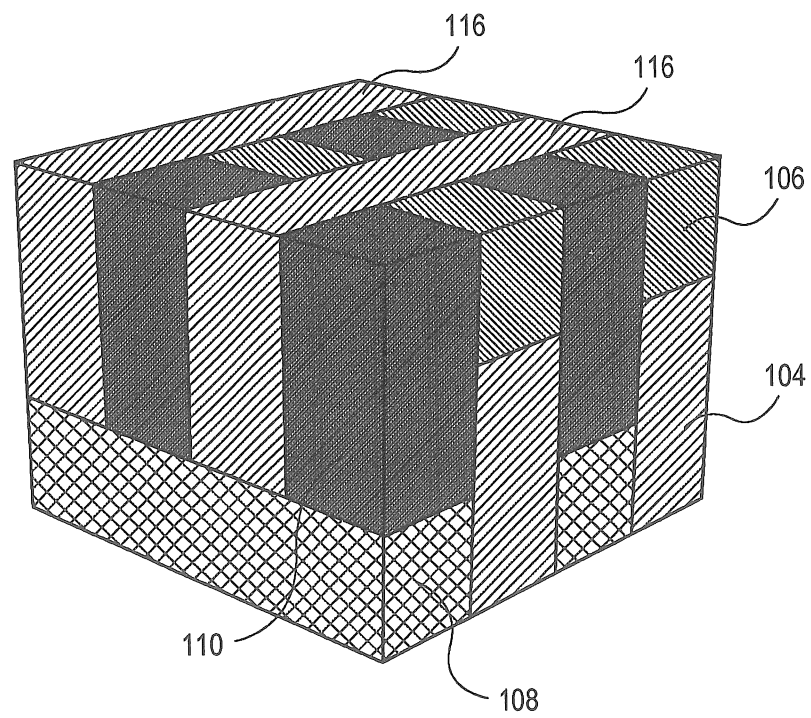
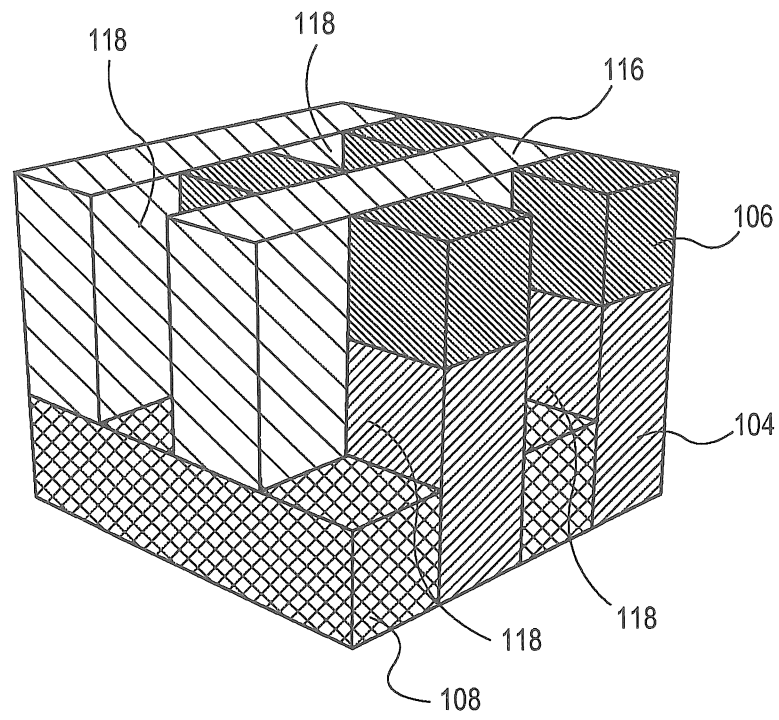
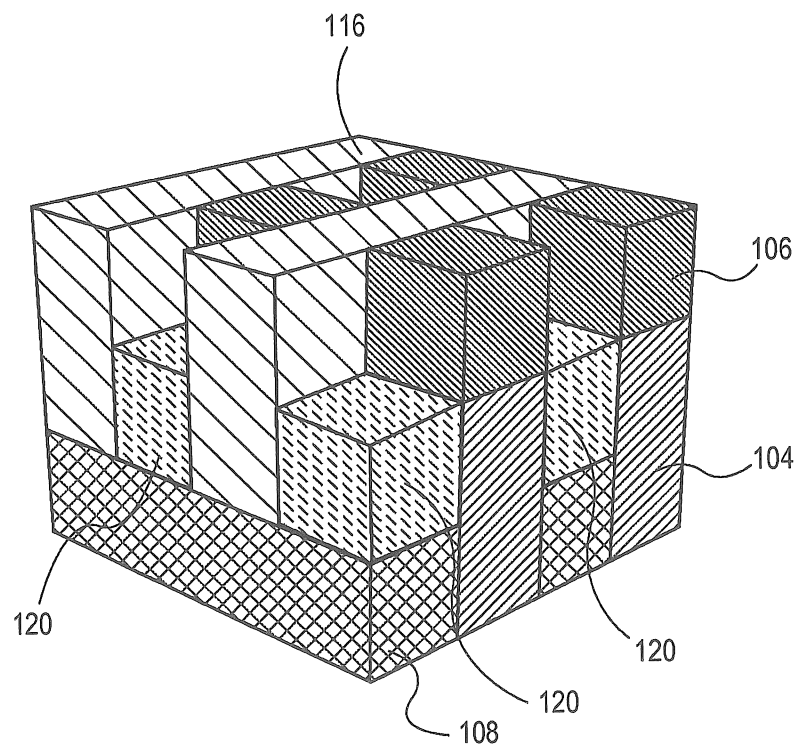


FIG. 1D

**FIG. 1E****FIG. 1F**

**FIG. 1G****FIG. 1H**

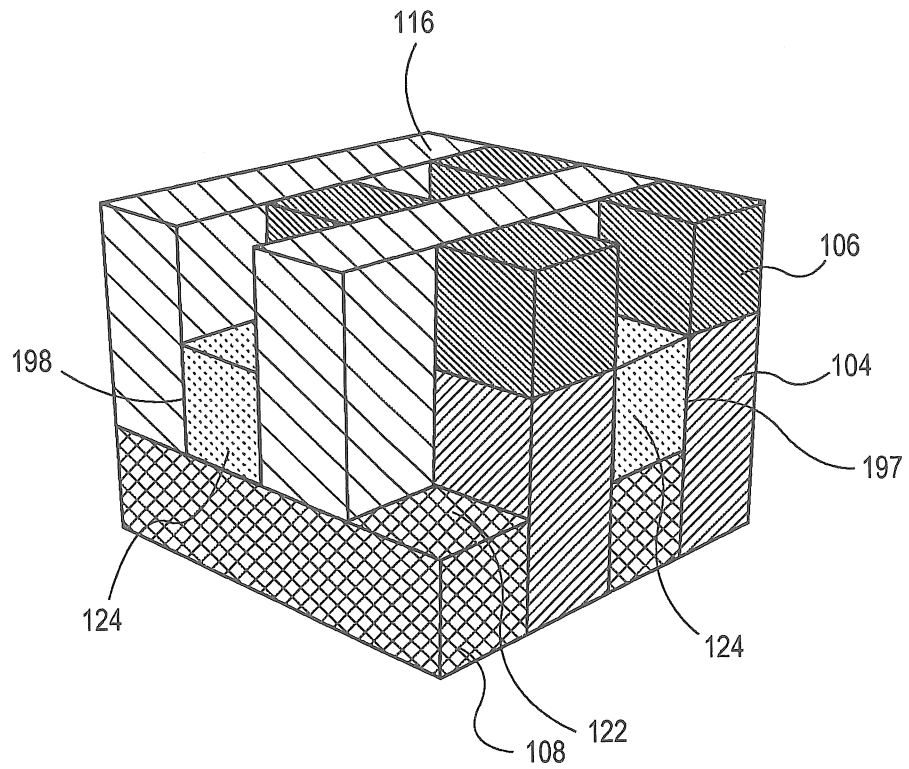


FIG. 1I

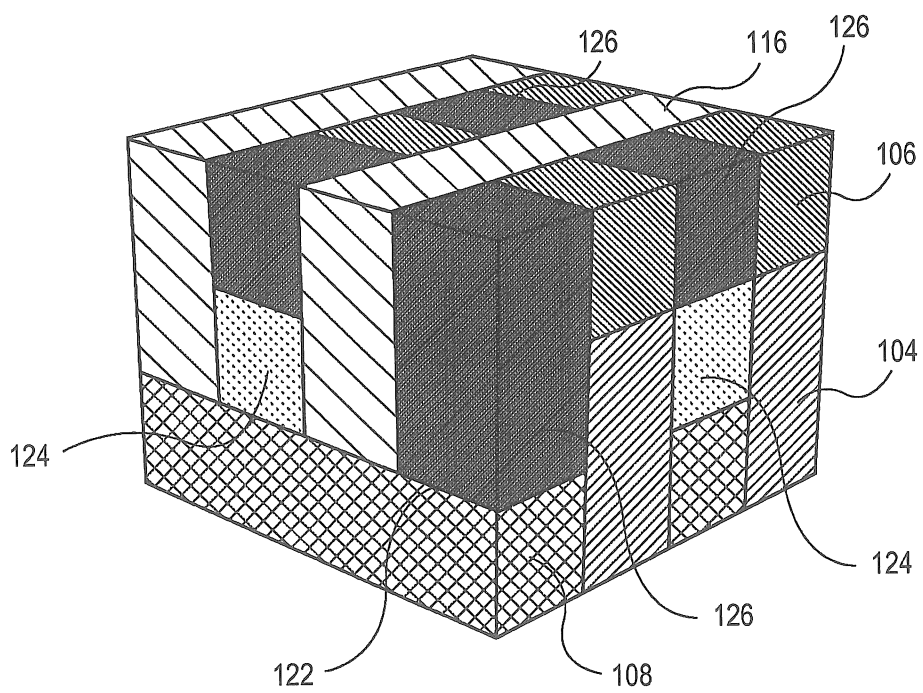


FIG. 1J

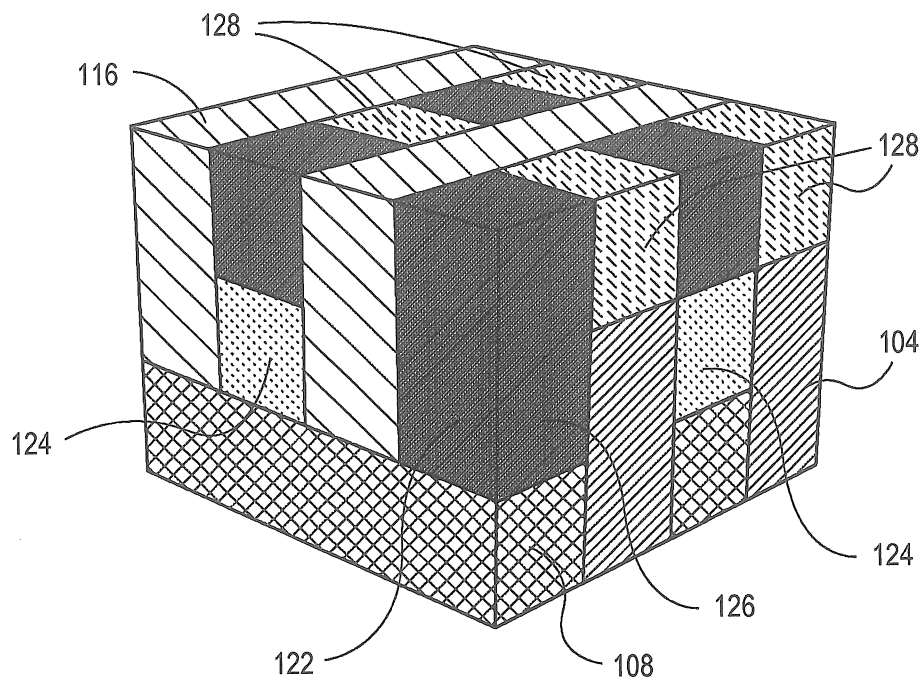


FIG. 1K

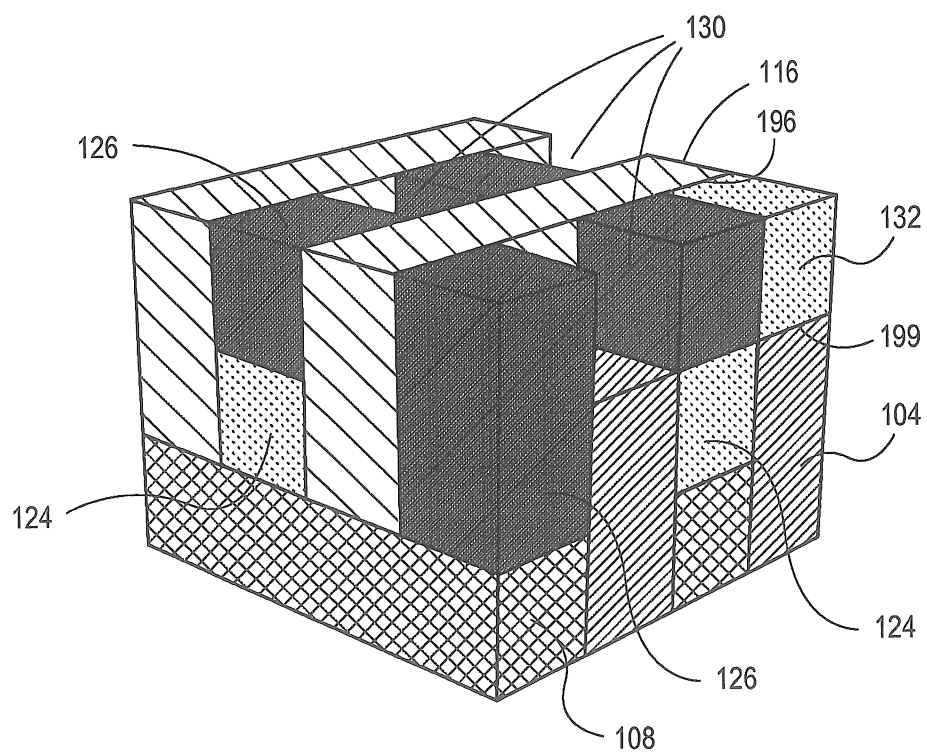


FIG. 1L

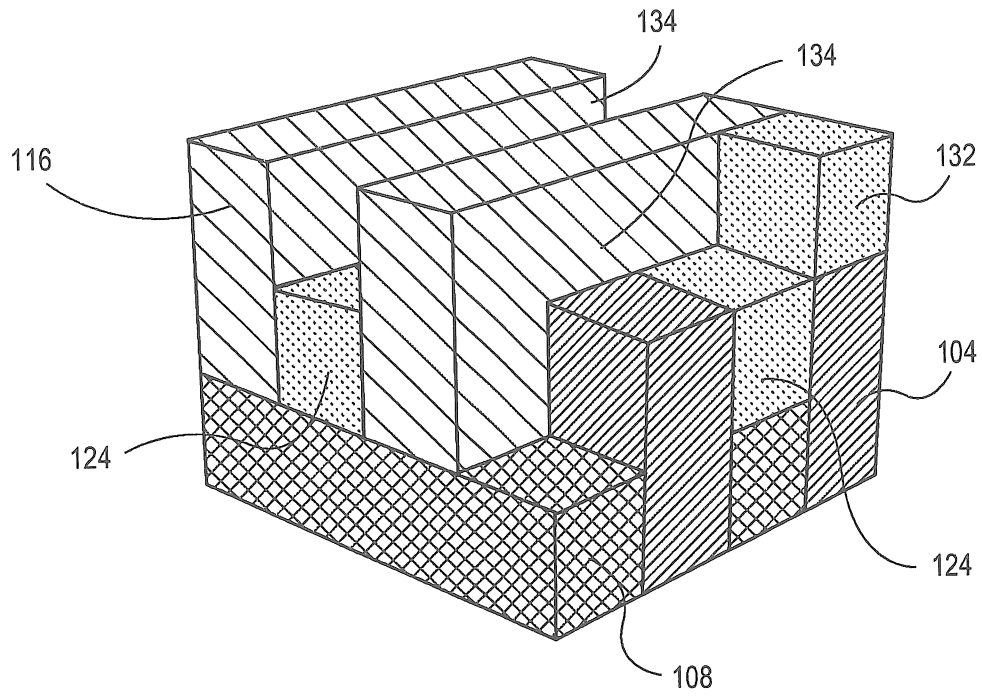


FIG. 1M

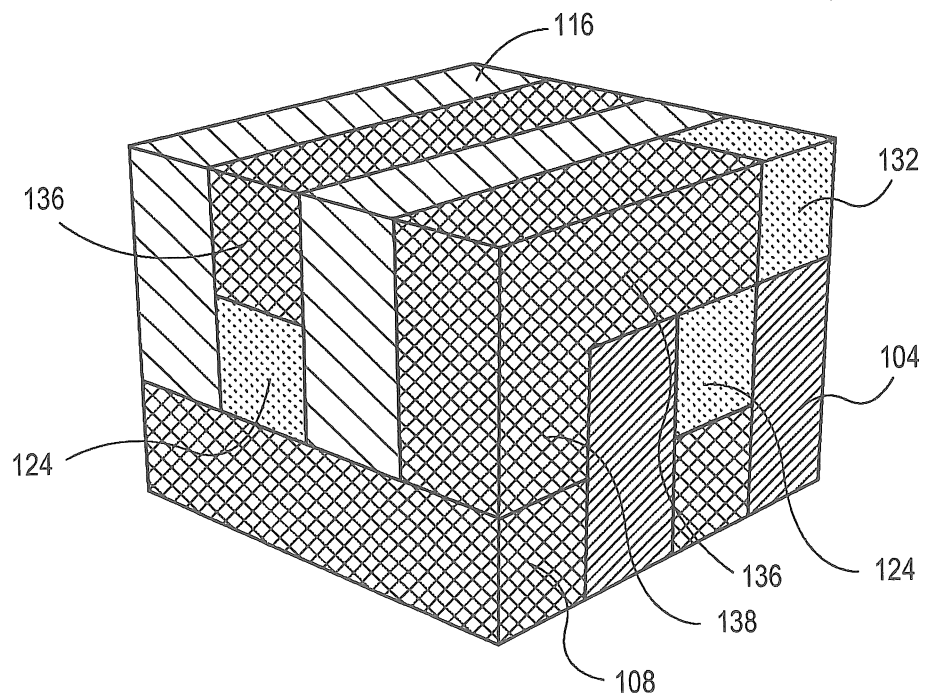


FIG. 1N

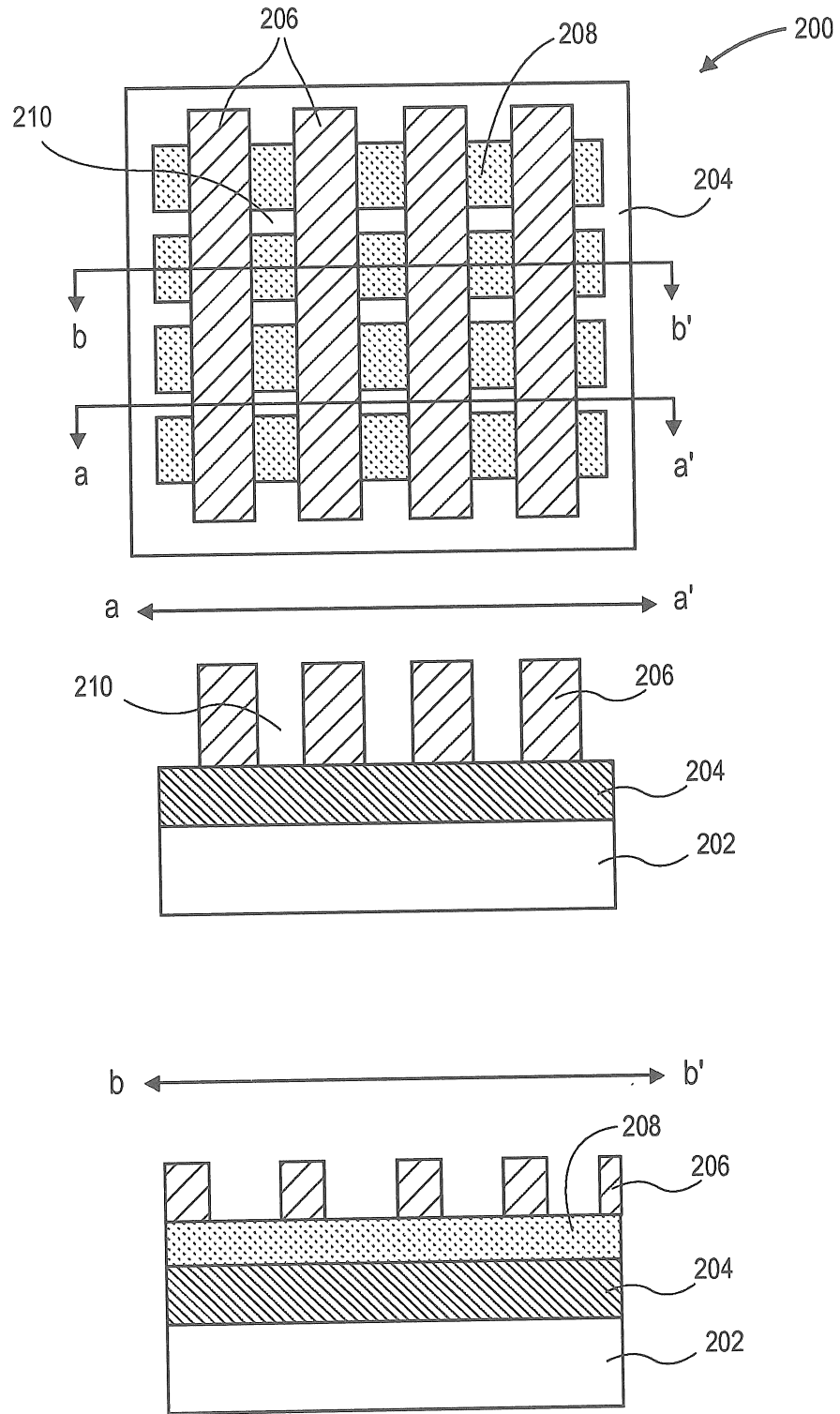
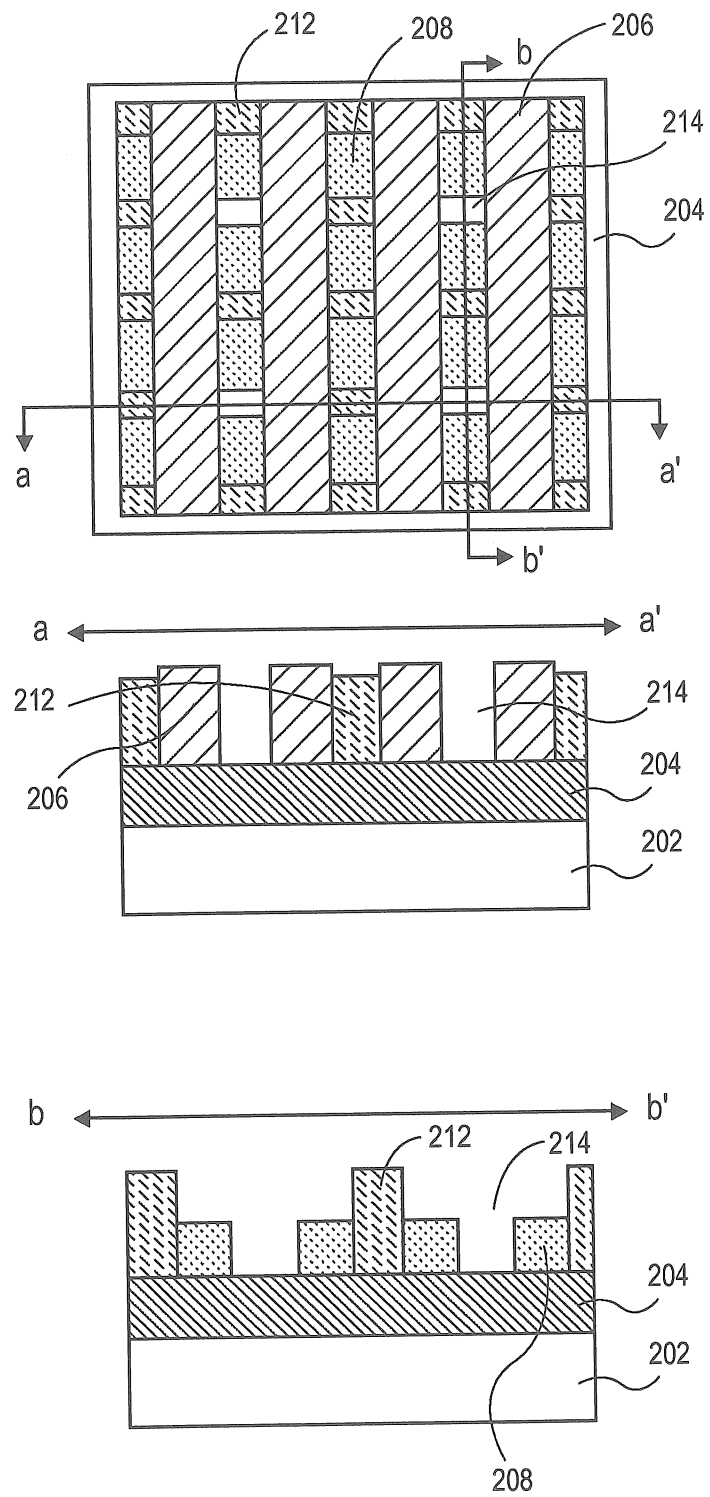


FIG. 2A

**FIG. 2B**

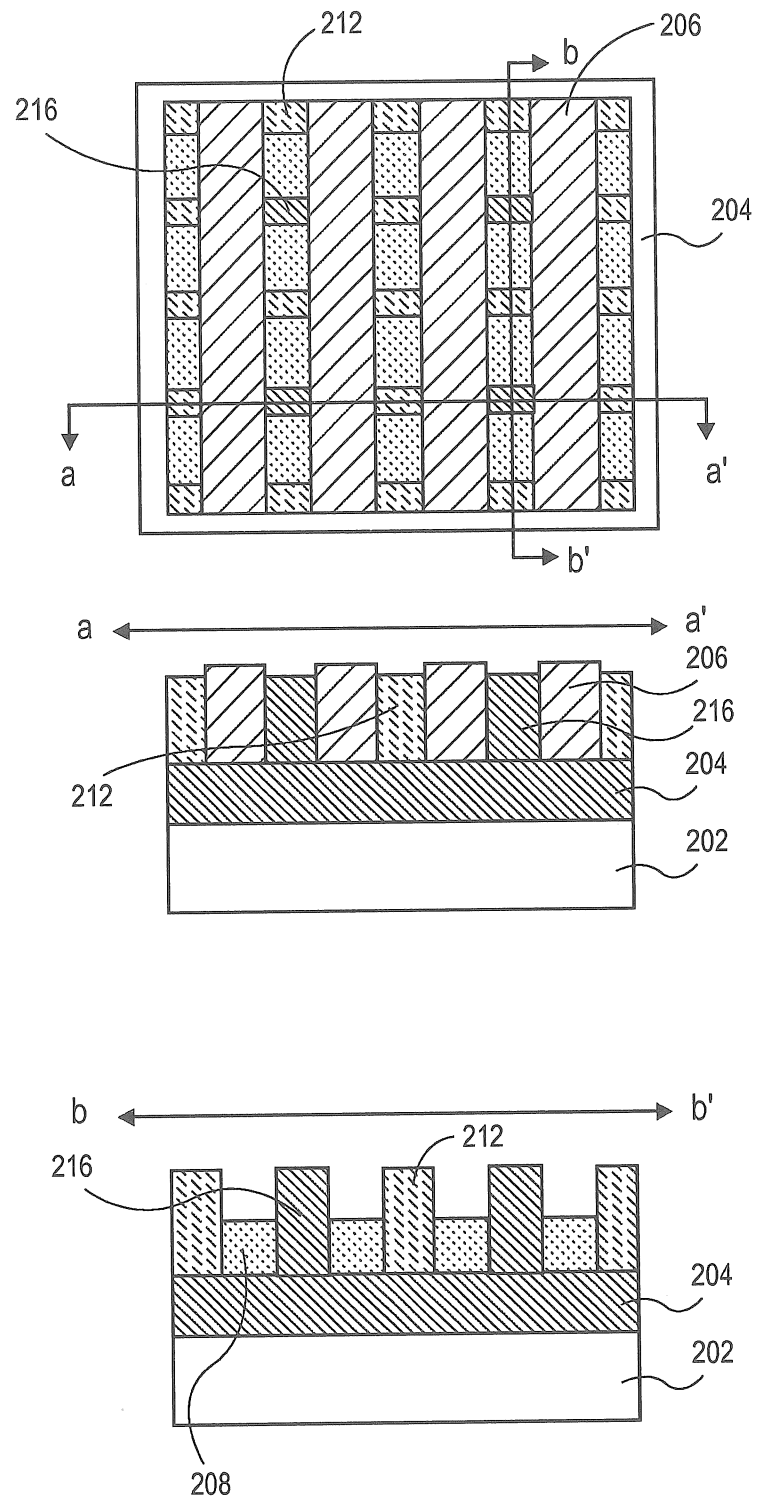


FIG. 2C

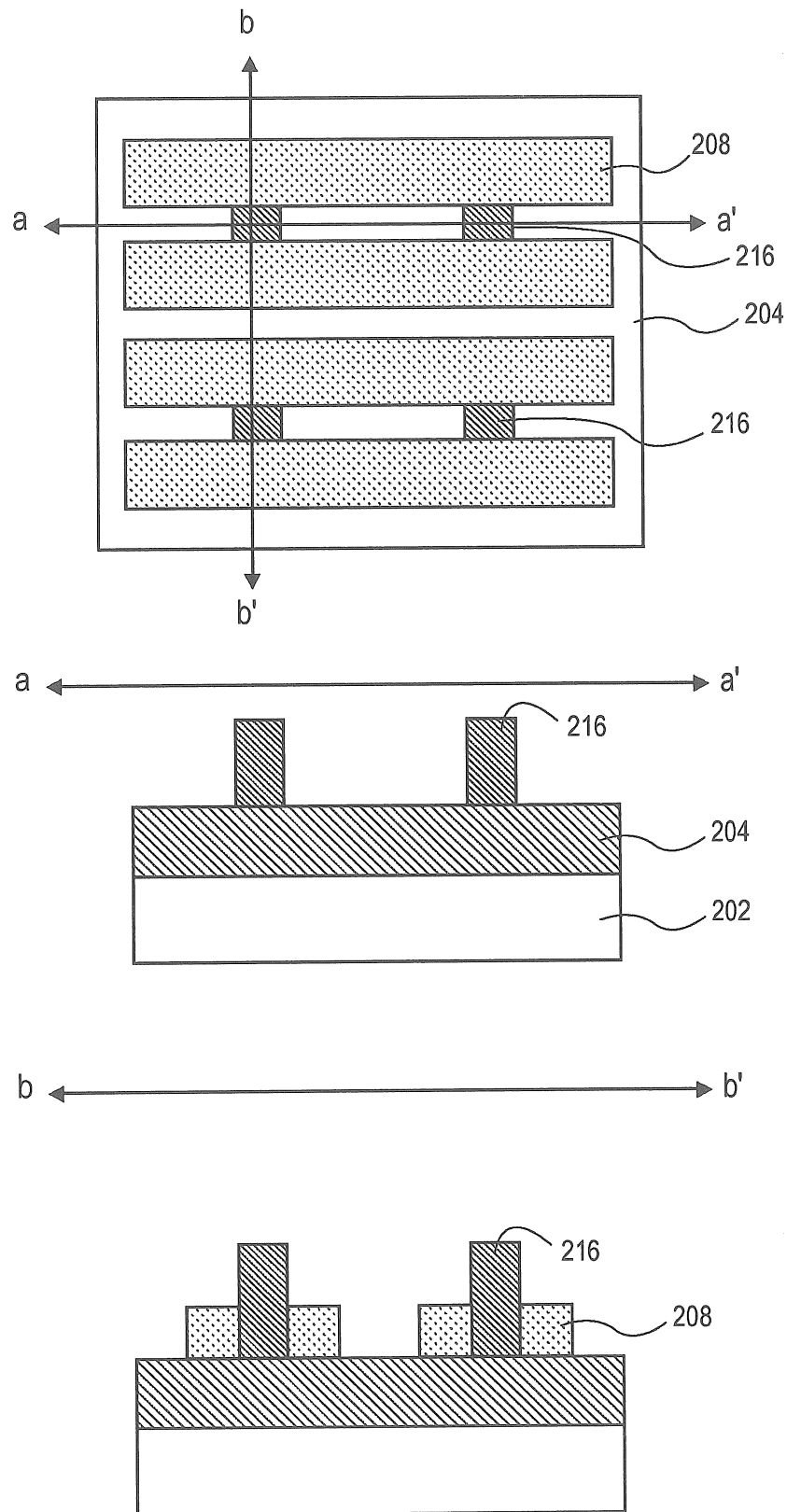
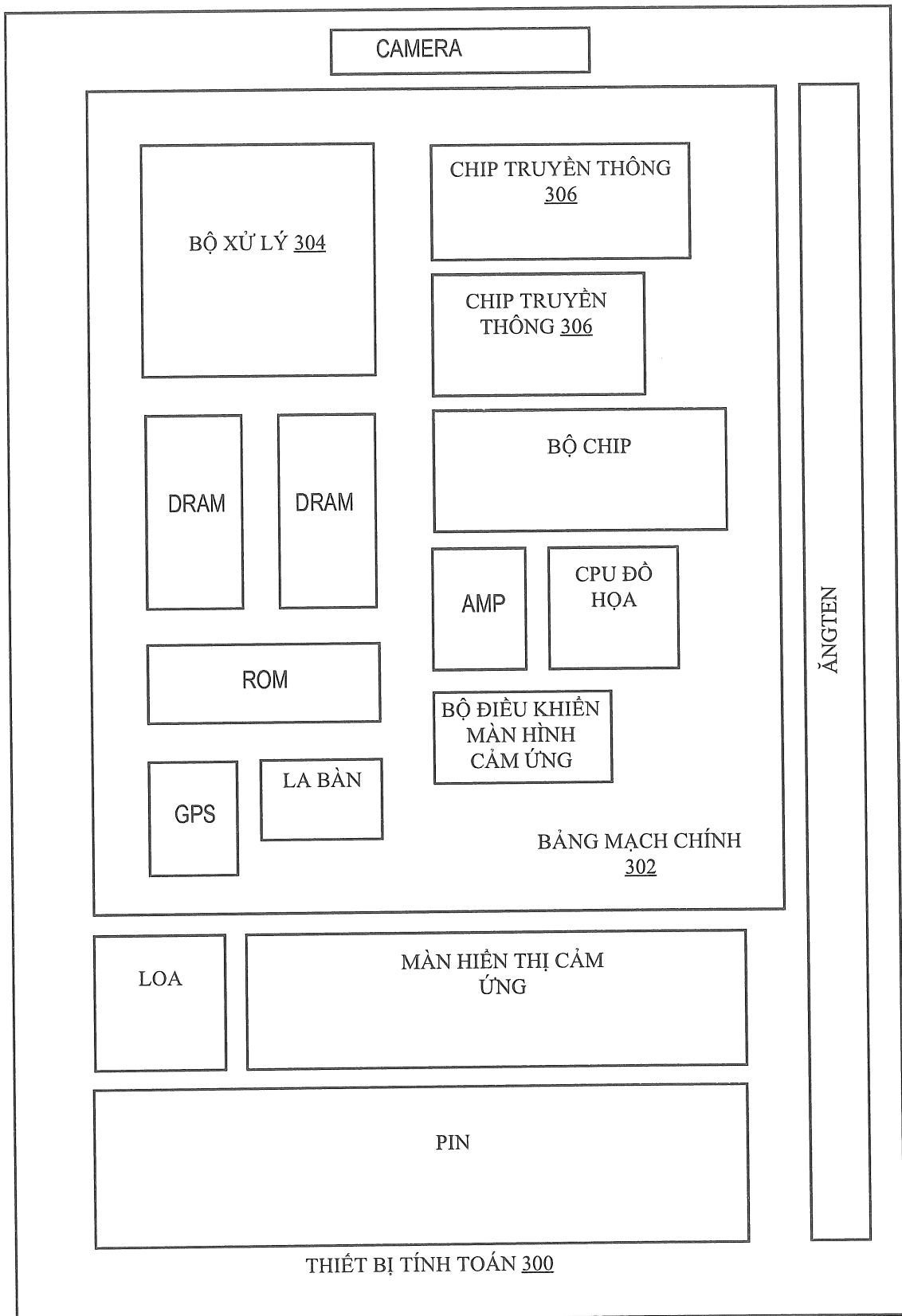


FIG. 2D

**FIG. 3**