



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0027130

(51)⁷ G06F 15/16

(13) B

(21) 1-2017-01773

(22) 10/10/2015

(86) PCT/CN2015/091664 10/10/2015

(87) WO 2016/058500 A1 21/04/2016

(30) 14/516,314 16/10/2014 US; 14/580,044 22/12/2014 US; 14/704,240 05/05/2015 US

(45) 25/01/2021 394

(43) 25/08/2017 353A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

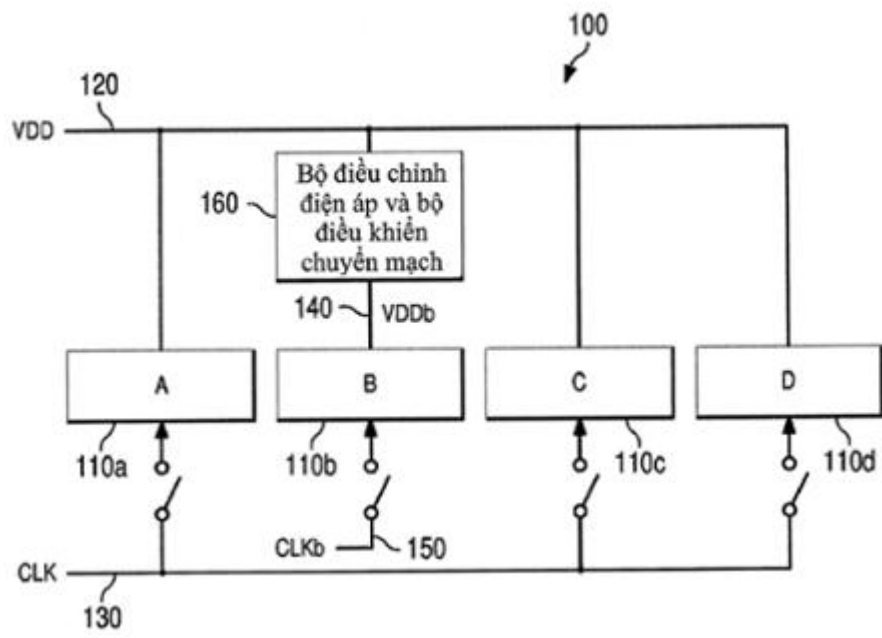
Huawei Administration Building, Bantian, Longgang District, Shenzhen, Guangdong
518129, China

(72) CHEN, Wei (US); YANG, Tongzeng (US); WEI, Konggang (CN).

(74) Công ty TNHH một thành viên Sở hữu trí tuệ VCCI (VCCI-IP CO.,LTD)

(54) THIẾT BỊ CHUYỂN MẠCH GIỮA CHẾ ĐỘ ĐA XỬ LÝ ĐỐI XỨNG VÀ ĐA XỬ LÝ KHÔNG ĐỐI XỨNG VÀ HỆ THỐNG XỬ LÝ NHIỀU BỘ XỬ LÝ

(57) Sáng chế đề cập đến hệ thống xử lý bao gồm nhiều bộ xử lý trong đó bộ xử lý thứ nhất thao tác ở tần số tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất ở mọi thời điểm. Ít nhất một bộ xử lý có thể được chuyển mạch động để thao tác ở tần số tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất nhận được trong các bộ xử lý thứ nhất và thứ hai cung cấp việc đa xử lý đối xứng (symmetric multiprocessing, viết tắt là SMP) hoặc ở tần số tín hiệu đồng hồ thứ hai và điện áp cấp thứ hai nhận được trong các bộ xử lý thứ nhất và thứ hai cung cấp việc đa xử lý không đối xứng (asymmetric multiprocessing, viết tắt là ASMP). Bộ điều khiển được tích hợp (ví dụ như, máy trạng thái hữu hạn (finite state-machine, viết tắt là FSM)) điều khiển không chỉ sự thay đổi điện áp, mà còn chuyển mạch tín hiệu đồng hồ. Các tiêu chuẩn khác nhau có thể được sử dụng để xác định khi nào chuyển mạch ít nhất một bộ xử lý có thể chuyển mạch được để cải thiện sự tiêu thụ công suất và/hoặc hiệu suất. Khi thu nhận lệnh chuyển mạch để chuyển mạch giữa SMP và ASMP, các thứ tự hoặc trình tự của các thao tác được thực hiện để điều khiển sự cấp điện áp và đồng hồ bộ nhớ/bộ xử lý trung tâm tới bộ xử lý có thể chuyển mạch được và bộ nhớ cache.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến các kiến trúc và các hệ thống đa xử lý, và cụ thể là đề cập đến thiết bị và phương pháp để chuyển mạch chế độ giữa các chế độ đa xử lý đối xứng và không đối xứng trong hệ thống đa xử lý.

Tình trạng kỹ thuật của sáng chế

Các hệ thống đa xử lý sử dụng nhiều bộ xử lý (ví dụ như, các bộ xử lý trung tâm (central processing unit, viết tắt là CPU)) để xử lý dữ liệu và thực hiện các chức năng mong muốn. Như sẽ được thấy rõ, thuật ngữ “bộ xử lý” được sử dụng đồng nghĩa với các thuật ngữ “CPU” hoặc “lõi” và dễ dàng được hiểu bởi người có trình độ trung bình trong lĩnh vực. Trong kỹ thuật đã biết, có tồn tại hai loại hệ thống đa xử lý chính khác hẳn nhau: Đa xử lý đối xứng (Symmetric multi-processing, viết tắt là SMP) và đa xử lý không đối xứng (asymmetric multi-processing, viết tắt là ASMP).

Các hệ thống SMP điển hình khác biệt ở chỗ việc chia sẻ tất cả các tài nguyên hệ thống, giao diện cache đồng bộ đơn L2 (và có thể là không đồng bộ L2), các bộ xử lý được điều khiển tại cùng một tần số tín hiệu đồng hồ và điện áp đồng hồ. Điều này cũng thông thường có nghĩa là các bộ xử lý/các lõi là có thể truy cập được tương đương tới hệ thống bộ nhớ được chia sẻ (ví dụ như cache L2 và bộ nhớ). Trong SMP, các tần số tín hiệu đồng hồ và điện áp khác nhau không thể được điều chỉnh riêng biệt và, do đó, không thể thay đổi được trên cơ sở mỗi lõi/bộ xử lý. Ngoài ra, cache L2 được dùng chung giữa các lõi và tần số cache L2 là không đo được trên cơ sở mỗi lõi. Trong hầu hết, nếu như không phải trong tất cả các ứng dụng, lượng tải làm việc của các bộ xử lý trong SMP là không cân bằng và điều này dẫn đến sự tiêu thụ công suất cao hơn. SMP cũng có thể được tạo khác biệt ở chỗ đối xử với tất cả các bộ xử lý/các lõi ngang bằng nhau (bình đẳng).

Ngược lại, các hệ thống ASMP điển hình khác biệt ở chỗ có các tần số tín hiệu đồng hồ khác nhau và/hoặc các điện áp đồng hồ đơn lẻ cho các bộ xử lý và tần số tín hiệu đồng hồ cache L2 có thể được đo độc lập. Do đó, tần số tín hiệu đồng hồ bộ xử lý và tần số cache L2 có thể được đo trên cơ sở tải công việc (ví dụ như, cache L2 nhanh hơn liên quan tới các lỗi dùng cho các tải công việc cần nhiều bộ nhớ). Nói chung, các hệ thống ASMP có hiệu quả công suất cao hơn các hệ thống SMP, nhưng lượng tiêu thụ công suất cao hơn có khả năng được gây ra bởi phần cứng bổ sung phức tạp hơn. Khi tỉ lệ thiếu cache L1 cao, bộ xử lý sẽ truy cập dữ liệu từ cache L2. Nếu dữ liệu liên quan được yêu cầu được lưu trữ trong phần tần số tín hiệu đồng hồ thấp hơn của cache L2, bộ xử lý phải chờ dữ liệu. Điều này dẫn đến độ trì hoãn cao hơn và lượng tiêu thụ công suất cao hơn. ASMP cũng có thể được tạo khác biệt ở chỗ đối xử với tất cả các bộ xử lý/các lõi khác nhau hoặc không ngang bằng nhau (không bình đẳng).

Đơn sáng chế Mỹ số 14/580,044 (ngày nộp đơn là 22/12/2014) minh họa (trên Fig.1 của nó) và mô tả cấu trúc cơ bản của hệ thống xử lý 100 có nhiều bộ xử lý sử dụng ASMP và hệ thống tương đương trong kỹ thuật đã biết được sử dụng cho SMP, tuy nhiên, các bộ xử lý thao tác ở tần số tín hiệu đồng hồ đơn và sử dụng mức điện áp cung cấp đơn - được hiểu dễ dàng bởi người có trình độ trung bình trong lĩnh vực. Các cải tiến khác nhau cho hệ thống cơ bản, bao gồm (1) thiết bị trên cơ sở phần cứng để chuyển mạch động nhanh và hiệu quả giữa các chế độ SMP/ASMP và (2) phiên bản chi phí thấp của hệ thống SMP/ASMP tập trung vào việc chuyển mạch từ một lõi thành hai lõi, với hai lõi thao tác trong chế độ ASMP (và khi nhiều hơn hai lõi thao tác, thao tác chúng trong chế độ SMP) được mô tả trong đó.

Việc chuyển mạch được thực hiện bằng phần cứng hoặc trên cơ sở phần cứng, mà không có sự can thiệp của phần mềm, có thể cung cấp sự chuyển nhanh hơn giữa các chế độ SMP/ASMP. Theo đó, cần phải có hệ thống đa xử lý hiệu suất thấp và chi phí thấp hoặc cấu trúc mà cung cấp chế độ chuyển mạch SMP/ASMP nhanh sử dụng các phương pháp và thiết bị chuyển mạch trên cơ sở phần cứng.

Bản chất kỹ thuật của sáng chế

Theo một phương án, có đề xuất hệ thống đa xử lý bao gồm hệ thống xử lý nhiều bộ xử lý (multi-processor, viết tắt là MP) bao gồm mạch điều chỉnh điện áp được tạo cấu hình để thu điện áp cấp thứ nhất và tạo ra điện áp cấp thứ hai, trong đó điện áp cấp thứ hai có trị số điện áp thấp hơn so với điện áp cấp thứ nhất; bộ xử lý thứ nhất được tạo cấu hình để thu và thao tác phù hợp với tín hiệu đồng hồ thứ nhất có tần số định trước thứ nhất và điện áp cấp thứ nhất; và bộ xử lý thứ hai được tạo cấu hình để thu và thao tác phù hợp với hoặc tín hiệu đồng hồ thứ nhất hoặc tín hiệu đồng hồ thứ hai có tần số định trước thứ hai khác với tần số định trước thứ nhất và thu và thao tác phù hợp với điện áp cấp thứ nhất hoặc điện áp cấp thứ hai. Hệ thống cũng bao gồm bộ điều khiển được ghép nối với mạch điều chỉnh điện áp và được tạo cấu hình để tạo ra tín hiệu đường vòng để đưa vào có lựa chọn điện áp cấp thứ nhất hoặc điện áp cấp thứ hai tới bộ xử lý thứ hai, và bộ xử lý thứ nhất còn được tạo cấu hình để chỉ thu và thao tác phù hợp với tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất trong suốt cả chế độ thứ nhất và chế độ thứ hai của thao tác.

Theo một phương án khác, có đề xuất thiết bị, bao gồm có nhiều bộ xử lý được tạo cấu hình để thực hiện các chức năng đa xử lý, bao gồm bộ xử lý thứ nhất và bộ xử lý thứ hai. Bộ điều khiển được tạo cấu hình để điều khiển thao tác của bộ xử lý thứ hai trong chế độ thứ nhất và chế độ thứ hai, mạch tạo tín hiệu đồng hồ được ghép nối với bộ điều khiển và được tạo cấu hình để tạo ra và đưa ra tín hiệu đồng hồ thứ nhất và tín hiệu đồng hồ thứ hai đáp lại một hoặc nhiều tín hiệu từ bộ điều khiển, và mạch chuyển mạch được bố trí giữa mạch tạo tín hiệu đồng hồ và bộ xử lý thứ hai và được tạo cấu hình để thu các tín hiệu đồng hồ thứ nhất và thứ hai và lựa chọn một để đưa ra tới bộ xử lý thứ hai, trong đó trong suốt chế độ thứ nhất của thao tác tín hiệu đồng hồ thứ nhất được đưa ra tới bộ xử lý thứ hai và trong suốt chế độ thứ hai của thao tác tín hiệu đồng hồ thứ hai được đưa ra tới bộ xử lý thứ hai. Thiết bị cũng bao gồm bộ điều chỉnh điện áp và mạch đường vòng được ghép nối với bộ điều khiển và được tạo cấu hình để: thu tín hiệu điện áp thao tác thứ nhất, tạo ra tín hiệu điện áp thao tác thứ hai từ tín hiệu điện áp thao tác thứ

nhất, đưa ra tín hiệu điện áp thao tác thứ nhất để đưa vào tới bộ xử lý thứ hai trong suốt chế độ thứ nhất của thao tác, và đưa ra tín hiệu điện áp thao tác thứ hai để đưa vào tới bộ xử lý thứ hai trong suốt chế độ thứ hai của thao tác. Trong suốt chế độ thứ nhất của thao tác và chế độ thứ hai của thao tác, tín hiệu đồng hồ thứ nhất được đưa vào tới bộ xử lý thứ nhất.

Theo một phương án khác nữa, có đề xuất phương pháp chuyển mạch các bộ xử lý giữa chế độ đa xử lý đối xứng (SMP) và chế độ đa xử lý không đối xứng (ASMP). Phương pháp bao gồm các bước thao tác bộ xử lý thứ nhất phù hợp với tín hiệu đồng hồ thứ nhất có tần số định trước thứ nhất và điện áp cấp thứ nhất có điện áp thao tác định trước thứ nhất trong khi bộ xử lý thứ nhất đang thao tác; tạo ra điện áp cấp thứ hai từ điện áp cấp thứ nhất; thu tín hiệu lựa chọn chế độ; và thao tác bộ xử lý thứ hai trong chế độ thứ nhất của thao tác hoặc chế độ thứ hai của thao tác đáp lại tín hiệu lựa chọn chế độ. Trong chế độ thứ nhất của thao tác, bộ xử lý thứ hai được thao tác phù hợp với tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất, và trong chế độ thứ hai của thao tác, bộ xử lý thứ hai được thao tác phù hợp với tín hiệu đồng hồ thứ hai có tần số định trước thứ hai khác với tần số định trước thứ nhất và phù hợp với điện áp cấp thứ hai.

Theo một phương án khác nữa, có đề xuất phương pháp xử lý trong hệ thống đa xử lý có nhiều bộ xử lý. Phương pháp bao gồm quy trình xử lý bên trong hệ thống đa xử lý sử dụng chỉ bộ xử lý kích hoạt thứ nhất bên trong các bộ xử lý; xác định bộ xử lý thứ hai cần được kích hoạt cho xử lý bên trong hệ thống đa xử lý; đáp lại việc xác định, kích hoạt bộ xử lý thứ hai; và xử lý bên trong hệ thống đa xử lý sử dụng bộ xử lý kích hoạt thứ nhất và bộ xử lý kích hoạt thứ hai phù hợp với hoặc chế độ đa xử lý đối xứng (SMP) hoặc chế độ đa xử lý không đối xứng (ASMP). Khi trong chế độ SMP, mỗi bộ xử lý kích hoạt thứ nhất và bộ xử lý kích hoạt thứ hai thao tác phù hợp với tín hiệu đồng hồ thứ nhất có tần số định trước thứ nhất và điện áp cấp thứ nhất có điện áp định trước thứ nhất, và khi trong chế độ ASMP, bộ xử lý kích hoạt thứ nhất thao tác phù hợp với tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất và bộ xử lý thứ hai thao tác phù hợp với tín hiệu đồng hồ thứ hai có tần số định trước thứ hai khác với tần số định trước thứ nhất và phù hợp

với điện áp cấp thứ hai có điện áp thao tác định trước thứ hai khác với điện áp thao tác định trước thứ nhất. Phương pháp còn bao gồm các bước: thu tín hiệu lựa chọn chế độ và chuyển mạch thao tác của bộ xử lý kích hoạt thứ nhất và bộ xử lý kích hoạt thứ hai từ hoặc chế độ SMP sang chế độ ASMP hoặc chế độ ASMP sang chế độ SMP phụ thuộc vào tín hiệu lựa chọn chế độ.

Theo một phương án khác có đề xuất hệ thống xử lý nhiều bộ xử lý (MP) có bộ xử lý thứ nhất và bộ xử lý thứ hai, và bộ điều khiển được ghép nối với ít nhất bộ xử lý thứ hai. Bộ điều khiển được tạo cấu hình để kích hoạt hoặc hủy kích hoạt bộ xử lý thứ hai đáp lại tín hiệu kích hoạt/hủy kích hoạt, và khi kích hoạt bộ xử lý thứ hai, quy trình điều khiển bên trong hệ thống đa xử lý sử dụng bộ xử lý thứ nhất và bộ xử lý thứ hai phù hợp với hoặc chế độ đa xử lý đối xứng (SMP) hoặc chế độ đa xử lý không đối xứng (ASMP). Chế độ SMP được định rõ mà trong đó mỗi bộ xử lý thứ nhất và bộ xử lý thứ hai thao tác phù hợp với tín hiệu đồng hồ thứ nhất có tần số định trước thứ nhất và điện áp cấp thứ nhất có điện áp định trước thứ nhất, và chế độ ASMP được định rõ mà trong đó bộ xử lý thứ nhất thao tác phù hợp với tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất và bộ xử lý thứ hai thao tác phù hợp với tín hiệu đồng hồ thứ hai có tần số định trước thứ hai khác với tần số định trước thứ nhất và phù hợp với điện áp cấp thứ hai có điện áp thao tác định trước thứ hai khác với điện áp thao tác định trước thứ nhất. Bộ điều khiển còn được tạo cấu hình để thu tín hiệu lựa chọn chế độ và chuyển mạch thao tác của bộ xử lý thứ nhất và bộ xử lý thứ hai từ hoặc chế độ SMP sang chế độ ASMP hoặc chế độ ASMP sang chế độ SMP phụ thuộc vào tín hiệu lựa chọn chế độ.

Mô tả vắn tắt các hình vẽ

Để hiểu sáng chế và các ưu điểm của nó một cách toàn diện hơn, các phần mô tả sau đây được thực hiện dựa vào các hình vẽ kèm theo, trong đó các số giống nhau biểu thị các đối tượng giống nhau, và trong đó:

Fig.1 minh họa trong hệ thống đa xử lý (MP) theo sáng chế;

Fig.2 là hình vẽ minh họa chi tiết hơn về hệ thống đa xử lý được thể hiện trên Fig.1;

Các Fig.3A và Fig.3B minh họa ví dụ các máy trạng thái hữu hạn (finite state machines, viết tắt là FSM) và các quy trình xử lý để sử dụng với hệ thống được thể hiện trên Fig.2 theo sáng chế;

Fig.4 là sơ đồ minh họa một cách thực hiện của bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch được thể hiện trên Fig.2;

Fig.5 là sơ đồ minh họa một cách thực hiện khác của bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch được thể hiện trên Fig.2;

Fig.6 minh họa một phương án khác của bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch được thể hiện trên Fig.2;

Fig.7 là sơ đồ về cấu trúc (phương pháp, quy trình xử lý, hệ thống) để kích hoạt và điều khiển việc chuyển mạch chế độ SMP/ASMP; và

Fig.8 là lưu đồ thông thường về quy trình xử lý để bổ sung/loại bỏ các bộ xử lý được tích hợp với quy trình lựa chọn/chuyển mạch chế độ SMP/ASMP.

Mô tả chi tiết sáng chế

Sáng chế có tham chiếu đến, như được thể hiện đầy đủ ở đây, tất cả các hình vẽ và phần mô tả trong đơn sáng chế Mỹ số 14/580,044 (ngày nộp đơn là 22/12/2014).

Các hình vẽ từ Fig.1 đến Fig.8, được thảo luận ở đây, và các phương án khác nhau được minh họa ở đây và các nguyên lý được mô tả dưới đây của sáng chế trong tài liệu sáng chế này chỉ đơn thuần là minh họa và không nhằm mục đích giới hạn phạm vi của sáng chế. Người có trình độ trung bình trong lĩnh vực cần hiểu rằng các nguyên lý được mô tả ở đây có thể được thực hiện trong bất kỳ loại thiết bị hoặc hệ thống nào phù hợp.

Như được mô tả trong đơn sáng chế Mỹ số 14/580,044, khi chuyển mạch thao tác của một nhóm các bộ xử lý/các lõi từ hệ thống SMP hoàn toàn thành hệ thống ASMP hoàn toàn, giá thành và độ phức tạp (phần cứng/phần mềm) liên quan đến việc cung cấp chức năng chuyển mạch động SMP/ASMP này có thể là đáng kể. Đối với các thiết bị nhỏ hơn (ví dụ như, các thiết bị di động, các thiết bị

cầm tay, các điện thoại thông minh, v.v. trong các ứng dụng di động - trái ngược với các thiết bị và các ứng dụng siêu máy tính), đã được xác định thông qua nghiên cứu và thử nghiệm trong hầu hết các ứng dụng sử dụng, các nhiệm vụ/chức năng đa xử lý có thể được thực hiện đầy đủ sử dụng hai bộ xử lý/lõi (hoặc ít hơn). Trong hầu hết các ứng dụng này, hai bộ xử lý/lõi sẽ chạy với các tải không cân bằng dẫn đến lượng tiêu thụ công suất cao hơn.

Do đó, đơn sáng chế Mỹ số 14/580,044 mô tả hệ thống đa xử lý hiệu suất cao, công suất thấp, chi phí thấp có khả năng thao tác theo cách ASMP - nhưng trong đó chỉ bộ xử lý đơn/lõi (hoặc tập con) của các bộ xử lý/các lõi được tạo cấu hình và được cho phép chuyển mạch động giữa các tần số tín hiệu đồng hồ khác nhau và/hoặc các điện áp cấp thao tác khác nhau - và với các bộ xử lý/các lõi còn lại được tạo cấu hình tại cùng một tần số tín hiệu đồng hồ và cùng một điện áp cấp. Ví dụ, nếu hệ thống đa xử lý bao gồm hai bộ xử lý/lõi, bộ xử lý/lõi thứ nhất thao tác ở tần số tín hiệu đồng hồ thứ nhất (không thể thay đổi động được) và điện áp cấp thứ nhất (không thể thay đổi động được) và bộ xử lý/lõi thứ hai có thể chuyển mạch được giữa thao tác ở hoặc tần số thứ nhất và điện áp cấp thứ nhất (giống như bộ xử lý thứ nhất/lõi) hoặc tần số khác và điện áp cấp khác. Điều này cũng có thể được áp dụng trong hệ thống có ba hoặc nhiều hơn ba bộ xử lý/lõi trong đó ít nhất một trong số bộ xử lý/các lõi (hoặc tập con) có khả năng chuyển mạch động này.

Để cải thiện hiệu suất và độ trì hoãn chuyển mạch, sáng chế đề xuất hệ thống có thiết bị chuyển mạch trên cơ sở phần cứng mà cho phép điều khiển và chuyển mạch giữa hai chế độ. Bên trong phần cứng, khi thu nhận lệnh chuyển mạch từ hệ điều hành (operating system, viết tắt là OS) hoặc phần cứng/phần mềm khác, để chuyển mạch giữa SMP và ASMP, các thứ tự hoặc trình tự của các thao tác được thực hiện để điều khiển các đồng hồ và các điện áp tới các bộ xử lý và bộ nhớ. Thiết bị/phương pháp giảm thiểu hoặc loại bỏ sự can thiệp phần mềm/OS và có tốc độ chuyển đổi chế độ nhanh hơn.

Như được sử dụng ở đây, thuật ngữ SMP thông thường là để chỉ quy trình xử lý sử dụng các bộ xử lý/các CPU/các lõi thao tác tại cùng một (tần số) đồng hồ và

cùng một nguồn cấp điện áp sử dụng hệ thống bộ nhớ được chia sẻ (với bộ nhớ cache L2 thao tác với cùng một đồng hồ và nguồn cấp điện áp). Thuật ngữ ASMP thông thường là để chỉ thao tác sử dụng các bộ xử lý/các CPU/các lõi với ít nhất hai thao tác với (tần số) đồng hồ khác và/hoặc nguồn cấp điện áp khác. Trong ASMP, mỗi bộ xử lý điển hình sử dụng bộ nhớ cache L2 khác nhau. Tuy nhiên, ASMP cũng có thể bao gồm việc dùng chung cùng một bộ nhớ cache L2 (được gọi là ASMP không đồng nhất). Theo một khía cạnh khác, thuật ngữ ASMP là để chỉ quy trình đa xử lý sử dụng nhiều bộ xử lý/nhiều CPU/nhiều lõi trong đó mỗi bộ xử lý/CPU/lõi được tạo cấu hình để thao tác sử dụng ít nhất hoặc tần số tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất hoặc tần số tín hiệu đồng hồ thứ hai và điện áp cấp thứ hai. Ngoài ra, chế độ ASMP thông thường là để chỉ quy trình đa xử lý sử dụng nhóm (nhiều) các lõi trong đó ít nhất một lõi (hoặc nhiều hơn, nhưng không phải tất cả các lõi) có khả năng thao tác sử dụng cùng một tần số tín hiệu đồng hồ và cùng một điện áp cấp như các lõi còn lại trong nhóm được chuyển mạch động hoặc được tạo cấu hình để sử dụng tần số tín hiệu đồng hồ và điện áp cấp khác. Theo cách này, nhóm các lõi thao tác theo hoặc chế độ SMP hoặc chế độ ASMP, nhưng ít nhất một lõi (không phải tất cả) trong nhóm có tần số tín hiệu đồng hồ và điện áp cấp khác.

Như sẽ được thấy rõ, thuật ngữ “lõi” được sử dụng ở đây có thể là để chỉ bộ xử lý đơn, CPU hoặc lõi xử lý. Định nghĩa cũng có thể được mở rộng để mô tả hoặc để chỉ “lõi” có nhiều bộ xử lý, các CPU hoặc các lõi xử lý. Do đó, việc sử dụng thuật ngữ “lõi” ở đây không bị giới hạn ở bộ phận xử lý đơn, mà có thể bao gồm nhóm gồm các bộ phận xử lý. Ngoài ra, các thuật ngữ “lõi”, “bộ xử lý” và “CPU” có thể, và là, được sử dụng thay thế nhau ở đây.

Xét đến Fig.1, hệ thống đa xử lý (MP) 100 theo sáng chế được thể hiện. Hệ thống MP 100 bao gồm các lõi A, C và D (110a, 110c, 110d) được ghép nối với bộ cấp điện áp thao tác thứ nhất 120 (VDD) và với tín hiệu đồng hồ đơn 130 (CLK), trong khi lõi B (110b) được ghép nối với bộ cấp điện áp thứ hai 140 (VDDb) và với tín hiệu đồng hồ 150 (CLKb). Trong cấu hình này, lõi B được ghép nối với bộ cấp điện áp thứ hai 140 (VDDb) được dẫn từ bộ cấp điện áp thao

tác thứ nhất 120 (VDD). Bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch 160 thu nguồn cấp điện áp thao tác thứ nhất (VDD) và tạo ra bộ cấp điện áp thứ hai (VDDb). Mặc dù không được thể hiện trên Fig.1, bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch đưa ra hoặc VDDb hoặc VDD tới lõi B (phụ thuộc vào chế độ được lựa chọn). Do đó, VDDb được dẫn ra từ VDD. Trong các phương án khác nhau, bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch 160 được cấu tạo hoặc được bố trí với hệ thống 100 trên cùng một chip hoặc nền nguyên khối, và theo một phương án khác có thể là trên chip hoặc nền khác nhau.

Xét đến Fig.2, hình vẽ chi tiết minh họa hệ thống xử lý 100 theo sáng chế được thể hiện.

Nói chung, hệ thống xử lý 100 bao gồm một nhóm (nhiều) bộ xử lý có thể chuyển mạch được giữa hai chế độ của thao tác: SMP và ASMP. Trong chế độ SMP, các bộ xử lý thao tác (ví dụ như, một, ba hoặc cả bốn) thao tác sử dụng cùng một tần số tín hiệu đồng hồ và điện áp cấp, trong khi trong chế độ ASMP (trong các phương án khác nhau được mô tả sau đây), ít nhất một bộ xử lý thứ nhất được tạo cấu hình để thao tác sử dụng tần số tín hiệu đồng hồ và điện áp cấp khác với trong các bộ xử lý thao tác còn lại.

Hệ thống bao gồm mạch/thiết bị phần cứng mà cho phép điều khiển và chuyển mạch bộ xử lý thứ nhất giữa hai tần số tín hiệu đồng hồ và điện áp cấp khác nhau. Trong phần cứng, khi thu nhận lệnh chuyển mạch từ hệ điều hành (OS) hoặc phần mềm/phần cứng khác, để chuyển mạch giữa SMP và ASMP, các thứ tự hoặc trình tự của các thao tác được thực hiện để điều khiển đồng hồ và điện áp của bộ xử lý thứ nhất và bộ nhớ. Việc tạo ra lệnh chuyển mạch có thể phụ thuộc vào một hoặc nhiều yếu tố, như mong muốn, ví dụ như tải, tỉ lệ thiếu cache, các nguyên nhân tiêu thụ công suất, v.v.. Thiết bị/mạch đảm bảo rằng bộ xử lý thứ nhất không thất bại trong suốt quá trình chuyển từ một chế độ này sang chế độ kia và (các) đồng hồ đến các bộ xử lý/bộ nhớ được chuyển mạch mà không gặp trục trặc. Thiết bị/phương pháp giảm thiểu sự can thiệp phần mềm/OS và có tốc độ chuyển mạch chế độ nhanh hơn.

Hệ thống xử lý 100 bao gồm các lõi đa xử lý và hệ thống con các cache 205 có nhiều bộ xử lý 110, mà bao gồm 110a (CPU A), 110c (CPU C), 110d (CPU D) và 110b (CPU B) với các phần bộ nhớ cache L2 tương ứng 210 (210a và 210b), và các mạch đồng hồ đi qua miền (cross-domain clock, viết tắt là CDC) tương ứng 230a, 230c, 230d, 230b, như được minh họa. Trong khi bốn bộ xử lý 110 (và bộ nhớ và hệ mạch tương ứng) được thể hiện, số lượng bộ xử lý có thể là ít hơn hoặc nhiều hơn, nhưng sẽ bao gồm ít nhất hai. Như sẽ được thấy rõ, mỗi bộ xử lý 110 có thể bao gồm một hoặc nhiều bộ xử lý, nhiều bộ xử lý trung tâm (nhiều CPU), nhiều bộ xử lý, hoặc nhiều lõi, hoặc kết hợp của chúng.

Hệ thống xử lý 100 còn bao gồm mạch điều khiển quản lý công suất (power management control, viết tắt là PMIC) 240 để tạo ra điện áp cấp thao tác thứ nhất (VDD) để sử dụng trong việc cấp năng lượng tới các bộ xử lý, các cache và các CDC. Tương tự như vậy, mạch tạo tín hiệu đồng hồ 250 tạo ra nhiều tín hiệu đồng hồ có các tần số tín hiệu đồng hồ được định trước khác nhau để sử dụng trong việc định thời thao tác của các bộ xử lý, các cache và các CDC.

Theo một phương án, ngoại trừ mạch PMIC 240, hệ thống xử lý 100 được bố trí hoặc được đặt trên khuôn/nền đơn hoặc nền/khuôn đơn bán dẫn được tích hợp (hoặc trong nhiều nền bán dẫn được bố trí trong gói IC nhiều nền). Theo một phương án khác, mạch PMIC 240 cũng có thể được bao gồm trên khuôn/nền đơn hoặc khuôn/nền bán dẫn được tích hợp.

Như được minh họa, hệ thống xử lý 100 cũng bao gồm bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch 160 (mà cũng có thể được gọi là bộ điều khiển chuyển mạch hoặc bộ điều khiển chế độ) và mạch (hoặc môđun) chuyển mạch đồng hồ 270. Như sẽ được hiểu rõ, bộ điều khiển 160 đưa ra các tín hiệu điều khiển khác nhau để điều khiển chức năng và thao tác của CDC với các mạch đường vòng 230, mạch tạo tín hiệu đồng hồ 250, và mạch chuyển mạch đồng hồ 270.

Mạch tạo tín hiệu đồng hồ 250 bao gồm hệ mạch và các bộ phận cần thiết để tạo ra nhiều tín hiệu đồng hồ, bao gồm một tín hiệu đồng hồ bộ xử lý SMP (CLK)

để điều khiển tốc độ xử lý của các bộ xử lý 110 một cách lựa chọn (trong chế độ SMP), một tín hiệu đồng hồ bộ nhớ SMP (CLKch) để điều khiển tốc độ xử lý của các phần cache 210a, 210b một cách lựa chọn (trong chế độ SMP), ít nhất một tín hiệu đồng hồ bộ xử lý ASMP (CLKb) cho phép điều khiển độc lập tốc độ xử lý của bộ xử lý 110b, và ít nhất một tín hiệu đồng hồ bộ nhớ ASMP (CLKchb) cho phép điều khiển độc lập tốc độ xử lý của phần bộ nhớ cache 210b. Mỗi khối này được kích hoạt/ngắt kích hoạt bởi mạch 250. Mạch tạo tín hiệu đồng hồ 250 cũng thu các tín hiệu kích hoạt đầu vào EN_CLK và EN_CLKb được tạo ra bởi bộ điều khiển 160.

Mạch PMIC 240 bao gồm hệ mạch và các thành phần cần thiết để tạo ra ít nhất VDD để sử dụng trong hệ thống 100. Như được minh họa, mạch PMIC 240 tạo ra và đưa ra VDD để cung cấp năng lượng cho các bộ xử lý 110a, 110c, 110d, phần bộ nhớ cache 210a và bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch 160. Như được thể hiện, điện áp cấp VDDb cấp năng lượng cho bộ xử lý 110b và phần bộ nhớ cache 210b liên quan tương ứng của nó. Người có trình độ trung bình trong lĩnh vực sẽ hiểu rằng, khi bộ xử lý/bộ nhớ thao tác ở tốc độ đồng hồ cao hơn, mong muốn và cũng là cần thiết để thao tác bộ xử lý/bộ nhớ với điện áp cấp cao hơn. Ngoài ra, khi lỗi không được sử dụng, nó có thể bị sụt công suất và/hoặc bị vô hiệu hóa đồng hồ. Ví dụ, điện áp cấp VDDb đến bộ xử lý 110b có thể bị vô hiệu hóa và/hoặc đồng hồ được đưa vào tới bộ xử lý 110b có thể bị vô hiệu quá (ví dụ như, không có thông tin đồng hồ được đưa vào). Tương tự như vậy, điện áp cấp VDD và/hoặc đồng hồ đưa vào tới các bộ xử lý 110a, 110c, 110d có thể bị vô hiệu hóa. Chức năng này có thể được cung cấp bằng một hoặc nhiều bộ chuyển mạch (được thể hiện trên Fig.2, nhưng không được đánh số chỉ dẫn).

Mạch tạo tín hiệu đồng hồ 250 cũng có thể bao gồm chức năng và hệ mạch cho phép một số đặc tính lập trình được với mỗi trong số các tín hiệu đồng hồ CLK và/hoặc CLKb được tạo ra. Theo một phương án, mỗi trong số các tín hiệu đồng hồ có thể lập trình được với một trong số nhiều tần số có thể (ví dụ như, CLK có thể lập trình được giữa khoảng từ 300 Mhz đến 3 GHz chẳng hạn). Theo một phương án khác, chỉ các tín hiệu đồng hồ nhất định có thể lập trình được, trong khi

theo các phương án khác, tần số của mỗi tín hiệu đồng hồ được xác định trước và được cố định. Theo một phương án khác nữa, các tần số có thể được cố định tương đối với nhau, nhưng có thể lập trình được như là nhóm. Một cách tương tự, mạch PMIC 240 cũng có thể bao gồm chức năng và hệ mạch để cung cấp đặc tính lập trình được với nguồn cấp điện áp thao tác VDD.

Như được thể hiện trên Fig.2, bộ điều khiển 160 bao gồm bộ điều chỉnh điện áp và mạch đường vòng 280 và bộ điều khiển chuyển mạch SMP/ASMP 290. Bộ điều chỉnh điện áp (không được thể hiện riêng rẽ) trong bộ điều chỉnh điện áp và mạch đường vòng 280 tạo ra nguồn cấp điện áp VDDb từ nguồn cấp điện áp thao tác VDD và đưa ra một cách có chọn lọc hoặc VDD hoặc VDDb. Trong chế độ đường vòng, $VDDb = VDD$. Ngoài ra, VDDb có thể bị sụt công suất do bị vô hiệu hóa bộ điều chỉnh điện áp do đó ngừng lỗi B (110b). Như sẽ được thấy rõ, và nói chung, chức năng đường vòng với bộ điều chỉnh điện áp có thể được thực hiện sử dụng bộ đa hợp và được điều khiển bởi cơ cấu trạng thái hoặc quy trình khác.

Theo các phương án khác, bộ điều khiển 160 có thể thu VDD và tạo ra (có thể lập trình được) một trong số nhiều mức điện áp khả dụng (ví dụ như, điện áp có thể lập trình được trong khoảng từ 0,5 vôn đến 3,3 vôn) từ VDD là nguồn cấp điện áp VDDb. Theo một phương án khác nữa, nguồn cấp điện áp VDDb được xác định trước và được cố định.

Bộ điều khiển chuyển mạch SMP/ASMP 290 bao gồm máy trạng thái hữu hạn (FSM) 292, một hoặc nhiều bộ định thời 294, và một hoặc nhiều thanh ghi lưu trữ 296 (ví dụ như, cấu hình hoặc các đăng ký trạng thái). Bộ điều khiển 290 đóng vai trò để điều khiển và thực hiện trình tự của các thao tác hoặc các quy trình xử lý đáp lại sự khẳng định về tín hiệu/lệnh chuyển mạch chế độ SMP/ASMP (SMP/ASMP_SELECT) và sự cấp điện áp tín hiệu/lệnh chuyển mạch chế độ (LDO_MODE_SELECT). Do đó, trong phương án được minh họa, khi lệnh chuyển mạch chế độ SMP/ASMP được khẳng định/không khẳng định, chế độ xử lý của thao tác được chuyển mạch giữa chế độ ASMP và chế độ SMP. Các phương pháp và các cơ cấu khác nhau có thể được sử dụng để tạo ra lệnh chuyển

mạch chế độ SMP/ASMP, và một số ví dụ được mô tả dưới đây dựa vào Fig.7. Cần phải hiểu rằng lệnh chuyển mạch chế độ SMP/ASMP (SMP/ASMP_SELECT) và tín hiệu/lệnh chuyển mạch chế độ cấp điện áp (LDO_MODE_SELECT) có thể được tạo ra đáp lại các sự kiện khác nhau và bằng các bộ phận khác nhau bên trong hoặc bên ngoài hệ thống xử lý 100.

Theo một phương án, ngoài lệnh chuyển mạch chế độ SMP/ASMP (SMP/ASMP_SELECT), bộ điều khiển 290 tích hợp việc sử dụng tín hiệu/lệnh chuyển mạch chế độ cấp điện áp (LDO_MODE_SELECT) để điều khiển và thực hiện trình tự các thao tác hoặc các quy trình xử lý tương ứng.

Khi đến thời điểm chuyển mạch thực từ đồng hồ CLK (SMP) thành đồng hồ CLKb (ASMP) xảy ra với bộ xử lý 110b (và ngược lại), bộ điều khiển 290 tạo ra tín hiệu lựa chọn (SELECT_CLKb) mà đa hợp một cách có lựa chọn tín hiệu đồng hồ CLKb với bộ xử lý 110b sử dụng bộ đa hợp 272a bên trong mạch chuyển mạch đồng hồ 270. Cần hiểu rằng, các đồng hồ cho bộ xử lý/lõi CPU 110b trong chế độ ASMP được ký hiệu là CLKb, trong khi đồng hồ cho bộ xử lý/các lõi CPU còn lại 110a, 120c, 110d trong chế độ SMP được ký hiệu là CLK. Do đó, tín hiệu SELECT_CLKb lựa chọn đồng hồ nào (CLKb hoặc CLK) sẽ được sử dụng bởi bộ xử lý 110b. Theo một phương án, khi tín hiệu SELECT_CLKb được khẳng định (trị logic cao hoặc “1”), tín hiệu đồng hồ CLKb được lựa chọn và được đưa vào tới bộ xử lý/lõi 110b. Khi tín hiệu SELECT_CLKb không được khẳng định (trị logic thấp hoặc “0”), đồng hồ CLK được lựa chọn và được đưa vào tới bộ xử lý/lõi 110b.

Cần hiểu rằng, khi SELECT_CLKb được khẳng định (trị logic cao hoặc “1”), tín hiệu đồng hồ CLKb được lựa chọn và được đưa vào tới bộ xử lý/lõi 110b, trong khi tín hiệu đồng hồ CLK được đưa vào tới các bộ xử lý/các lõi còn lại 210a, 210c và 210d. Khi SELECT_CLKb không được khẳng định (trị logic thấp hoặc “0”), tín hiệu đồng hồ CLK được lựa chọn và được đưa vào tới bộ xử lý/lõi 110b, trong khi tín hiệu đồng hồ CLK cũng được đưa vào (hoặc có sẵn để đưa vào) tới các bộ xử lý/các lõi còn lại 110a, 110c và 110d.

Một cách tương tự, tín hiệu lựa chọn (SELECT_CLKb) đa hợp một cách lựa chọn tương ứng với tín hiệu đồng hồ bộ nhớ CLKchb đến phần cache 210b sử dụng bộ đa hợp 272b bên trong mạch chuyển mạch đồng hồ 270.

Sử dụng các tín hiệu kích hoạt (EN_CLK, EN_CLKb), bộ điều khiển chuyển mạch 290 điều khiển mạch tạo tín hiệu đồng hồ 250 để kích hoạt các đồng hồ trước khi chuyển mạch SMP/ASMP. Bộ điều khiển 290 cũng điều khiển bộ điều chỉnh điện áp và mạch đường vòng 280 để lựa chọn hoặc VDD hoặc VDDb để đưa vào tới bộ xử lý 110b (Lõi B). Nó tạo ra tín hiệu SELECT_CLKb mà, khi được khẳng định, khiến bộ xử lý 110b chuyển mạch với tốc độ đồng hồ (CLKb) và điện áp cấp VDDb khác (trong chế độ ASMP) trong khi ít nhất một bộ xử lý khác 110a, 110c, 110d thao tác ở tốc độ đồng hồ (CLK) và điện áp cấp VDD.

Việc định thời các sự kiện và các hành động khác nhau trong suốt quá trình chuyển mạch được điều khiển bằng FSM 292 với việc sử dụng một hoặc nhiều bộ định thời 294. Như sẽ được mô tả chi tiết hơn dưới đây, khoảng thời gian khởi động đồng hồ và khoảng thời gian tăng đều/giảm đều điện áp được sử dụng. Các giá trị này có thể được lập trình trước hoặc thiết đặt trước và được lưu trữ trong các thanh ghi C/S 296 hoặc các vị trí bộ nhớ khác (không được thể hiện) trong bộ điều khiển bằng phần mềm hoặc các phương án khác.

Như sẽ được thấy rõ, và mặc dù không được định rõ cụ thể bằng các số chỉ dẫn, các mạch logic khác có thể được bao gồm, ví dụ, các bộ dịch chuyển mức. Các bộ dịch chuyển mức được sử dụng cụ thể khi tín hiệu cắt qua các miền công suất.

Một cách thực hiện mạch có thể của các bộ đa hợp thời gian 272 (được thể hiện trên Fig.2) được mô tả trong đơn sáng chế Mỹ số 14/580,044 (dựa vào Fig.4 và phần mô tả liên quan của nó). Các bộ đa hợp thời gian 272 là “không nhiều” có nghĩa là không nhiều trong suốt quá trình chuyển mạch. Các cách thực hiện mạch có thể khác có thể được thực hiện cho các bộ đa hợp thời gian 272, và người có trình độ trung bình trong lĩnh vực dễ dàng hiểu rằng các mạch khác có thể được sử dụng để thực hiện việc chuyển mạch bộ đa hợp không nhiều.

Một cách thực hiện mạch có thể của CDC với các mạch đường vòng 230 (được thể hiện trên Fig.2) được mô tả trong đơn sáng chế Mỹ số 14/580,044 (dựa vào Fig.5 và phần mô tả liên quan của nó). Như sẽ được thấy rõ, các mạch không đồng bộ CDC được biết đến trong lĩnh vực, do đó, người có trình độ trung bình trong lĩnh vực sẽ hiểu cách để thực hiện chức năng này. Các mạch CDC này và/hoặc chức năng của chúng cũng có thể được biết trong lĩnh vực như các mạch chuyển mạch đồng hồ, hoặc như cầu không đồng bộ FIFO giữa bộ xử lý và cache L2.

Xét đến Fig.3A, quy trình xử lý hoặc phương pháp 300 được thực hiện hoặc được tiến hành bởi FSM 292 được minh họa. Quy trình xử lý này cũng có chức năng để điều khiển thao tác của bộ điều chỉnh điện áp và mạch đường vòng 280. Như sẽ được thấy rõ, quy trình xử lý/chức năng của FSM 292 có thể được thực hiện sử dụng các cấu hình, các phương pháp hoặc các cấu trúc khác nhau (hoặc kết hợp của chúng) hoặc các phương pháp. Ví dụ, mặc dù được thực hiện trong phương án được minh họa như máy trạng thái hữu hạn (ví dụ như, việc thực hiện phần cứng), bộ điều khiển 290 chức năng có thể được sử dụng thay thế sử dụng các mạch logic gián đoạn, bộ vi điều khiển với phần sụn, v.v., và kết hợp bất kỳ của chúng, hoặc theo các cách khác được biết bởi người có trình độ trung bình trong lĩnh vực. Mặc dù không được gọi tên, chức năng này cũng có thể được thực hiện trong phần mềm hoặc một số kết hợp của phần cứng và phần mềm. FSM 292 (và các cách thực hiện phần cứng khác bất kỳ) thao tác ưu điểm ở chỗ tốc độ nhanh hơn và giảm thiểu sự can thiệp phần mềm/OS. Trong các ngoại lệ, ví dụ như, quá giờ, v.v., nó sẽ tạo ra gián đoạn cho bộ xử lý hệ thống.

Cũng cần hiểu rằng, theo một phương án khác, FSM riêng biệt (hoặc chức năng khác) trong bộ điều khiển 290 cũng có thể điều khiển việc định thời và việc tạo ra các tín hiệu EN_CLK, EN_CLKb và SELECT_CLKb. Và theo một phương án khác, được mô tả thêm dưới đây, FSM 292 là máy trạng thái hữu hạn “được tích hợp” để điều khiển, theo cách được tích hợp, cả việc định thời và việc tạo ra (1) các tín hiệu (EN, BYPASS) điều khiển bộ điều chỉnh điện áp và mạch đường vòng 280, và (2) các tín hiệu (EN_CLK, EN_CLKb và SELECT_CLKb) điều

khởi mạch tạo tín hiệu đồng hồ 250, mạch chuyển mạch đồng hồ 270 và CDC và các mạch đường vòng 230. Trong phương án “tích hợp” này, FSM 292 thu tín hiệu/lệnh chuyển mạch chế độ SMP/ASMP (SMP/ASMP_SELECT) và tín hiệu/lệnh chuyển mạch chế độ cấp điện áp (LDO_MODE_SELECT) làm các tín hiệu đầu vào. Bảng 1 dưới đây minh họa việc chuyển tín hiệu đầu vào-đến-đầu ra được thực hiện bởi FSM 292 (bộ điều khiển 290) trong đó các tín hiệu EN (kích hoạt) và BYPASS (đường vòng) là các tín hiệu đầu ra được tạo ra đáp lại các tín hiệu đầu vào để điều khiển chế độ của bộ điều chỉnh điện áp và mạch đường vòng 280:

Bảng 1

SMP/ASMP_SELECT/LDO_MODE_SELECT	EN/BYPASS	Chế độ điện áp
0/0	0/0	Tắt
0/1	1/1	Đường vòng
1/0	0/0	Tắt
1/1	1/0	REG

Bảng 2 dưới đây cung cấp các định nghĩa/các phần mô tả về các tín hiệu SMP/ASMP_SELECT và LDO_MODE_SELECT:

Bảng 2

SMP/ASMP_SELECT (1-bit)	Để lựa chọn chế độ SMP/ASMP, chế độ 0-SMP, chế độ 1-ASMP
LDO_MODE_SELECT (1-bit)	Đối với việc điều khiển Bật/Tắt LDO 0-Tắt, 1-Bật

Các tín hiệu điều khiển EN và BYPASS được tạo ra và được đưa ra bởi FSM 292 để điều khiển bộ điều chỉnh điện áp và mạch đường vòng 280. Các tín hiệu đầu vào (SMP/ASMP_SELECT, LDO_MODE_SELECT) và các tín hiệu đầu ra (EN, BYPASS, SELECT_CLKb, EN_CLK, EN_CLKb) của bộ điều khiển 290 (ví dụ như, FSM 292) được minh họa trong các Fig.5 và Fig.6.

Như được thể hiện trên Fig.3A, quy trình xử lý 300 được minh họa bằng sơ đồ trạng thái của FSM 292 bao gồm các trạng thái và các việc chuyển khác nhau

liên quan đến việc điều khiển bộ điều chỉnh điện áp và mạch đường vòng 280. Như được thể hiện, có ba trạng thái chính - trạng thái Tắt (310), trạng thái chế độ ASMP (320) và trạng thái chế độ SMP (330).

Trạng thái Tắt (310) khác biệt ở chỗ bộ điều chỉnh điện áp được tắt hoặc ngắt kích hoạt (ví dụ như, treo) - khi tín hiệu đường vòng và tín hiệu EN thấp (ví dụ như, EN!, BYPASS!) đáp lại tín hiệu LDO_MODE_SELECT là thấp.

Trạng thái chế độ ASMP (320) khác biệt ở chỗ bộ điều chỉnh điện áp đưa ra VDDb để được đưa vào có lựa chọn để cung cấp điện áp cấp tới bộ xử lý 110b - khi tín hiệu EN cao và tín hiệu đường vòng thấp (ví dụ như, EN, BYPASS!) đáp lại tín hiệu SMP/ASMP_SELECT là thấp và tín hiệu LDO_MODE_SELECT là cao.

Trạng thái chế độ SMP (330) khác biệt ở chỗ bộ điều chỉnh điện áp là “đường vòng” và đưa ra VDD để được đưa vào có lựa chọn để cung cấp điện áp cấp tới bộ xử lý 110b - khi tín hiệu EN là cao và tín hiệu đường vòng là cao (ví dụ như, EN, BYPASS) đáp lại tín hiệu SMP/ASMP_SELECT là cao và tín hiệu LDO_MODE_SELECT là cao.

Trong suốt thời gian thao tác, và giả định rằng hệ thống xử lý 100 ban đầu không kích hoạt, tín hiệu LDO_MODE_SELECT là thấp dẫn đến việc tín hiệu EN được đưa ra từ bộ điều khiển chuyển mạch 290 không được khẳng định (!EN) (và giá trị của tín hiệu đường vòng không liên quan). Khi kích hoạt tín hiệu LDO_MODE_SELECT, bộ điều khiển chuyển mạch 290 khẳng định tín hiệu EN (EN) và quy trình xử lý 300 có thể được đi đến hoặc các trạng thái 320 hoặc 330 - phụ thuộc vào giá trị của tín hiệu lệnh chuyển mạch (SMP/ASMP_SELECT).

Nếu lệnh chuyển mạch SMP/ASMP_SELECT chỉ báo thao tác trong chế độ ASMP (SMP/ASMP_SELECT là thấp), bộ điều khiển sẽ đưa ra tín hiệu đường vòng thấp (!BYPASS). Dựa vào các giá trị này cho các tín hiệu đường vòng và tín hiệu EN, FSM 292 chuyển về trạng thái chế độ ASMP 320. Tuy nhiên, trước khi vào trạng thái 320, trạng thái trễ 2 (Delay2) (315) được đi vào nhằm cung cấp một

khoảng thời gian định trước (khoảng thời gian chờ) để trì hoãn trước khi FSM 292 đưa ra tín hiệu đường vòng thấp và đi vào trạng thái chế độ ASMP 320. Trễ 2 có thể là khoảng thời gian thích hợp bất kỳ, ví dụ như, từ một phần micro giây đến vài chục micro giây, phụ thuộc vào các đặc tính thao tác vật lý của loại bộ điều chỉnh điện áp được sử dụng để tạo ra VDDb. Nói cách khác, việc đưa ra tín hiệu đường vòng thấp được trì hoãn đến trễ 2 để cho phép bộ điều chỉnh điện áp được kích hoạt và ổn định để tạo ra VDDb cho đầu ra (nghĩa là, khởi động).

Nếu lệnh chuyển mạch chỉ báo thao tác trong chế độ SMP, (SMP/ASMP_SELECT là cao), bộ điều khiển sẽ đưa ra tín hiệu đường vòng cao (BYPASS). Dựa vào các giá trị này cho các tín hiệu đường vòng và tín hiệu EN, FSM 292 chuyển về trạng thái chế độ SMP 330. Tuy nhiên, trước khi đi vào chế độ 330, trạng thái trễ 1 (335) được đi vào nhằm cung cấp một khoảng thời gian định trước (khoảng thời gian chờ) để trì hoãn trước khi FSM 292 đưa ra tín hiệu đường vòng cao và đi vào trạng thái chế độ SMP 330. Tương tự như trễ 2, trễ 1 (Delay1) có thể là khoảng thời gian chờ thích hợp bất kỳ, ví dụ như, từ một phần micro giây đến hàng chục micro giây, phụ thuộc vào các đặc tính thao tác vật lý của loại của bộ điều chỉnh điện áp được sử dụng để tạo ra VDD. Nói cách khác, đầu ra của tín hiệu đường vòng cao được trì hoãn đến trễ 1 để cho phép bộ tạo ra đầu ra ổn định và nhằm giảm các tiếng ồn chuyển mạch (ví dụ như, từ đầu ra không/ba trạng thái đến VDD).

Một khi ở trong hoặc trạng thái ASMP hoặc trạng thái SMP, quy trình xử lý 300 có thể chuyển đổi giữa hai chế độ này phụ thuộc vào các giá trị của tín hiệu lệnh chuyển mạch (SMP/ASMP_SELECT).

Khi trong chế độ ASMP 320, nếu tín hiệu lệnh chuyển mạch chỉ báo hệ thống cần chuyển mạch sang chế độ SMP (nghĩa là, SMP/ASMP_SELECT là cao), bộ điều khiển 290 sẽ khẳng định tín hiệu đường vòng (BYPASS) và quy trình xử lý chuyển về trạng thái chế độ SMP 330. Tuy nhiên, trước khi đi vào trạng thái 330, trạng thái VREG_MAX trung gian 325 được đi vào để cung cấp một khoảng trì hoãn định trước nữa để cho phép bộ điều chỉnh điện áp đưa ra để tăng đến mức

điện áp đầu ra tối đa. Như sẽ được thấy rõ, do bộ điều chỉnh điện áp đã đang đưa ra nguồn cấp điện áp định trước VDDb tới bộ xử lý - mà thấp hơn VDD - cần thiết phải tăng dần đều điện áp đầu ra của bộ điều chỉnh điện áp 400 tới cực đại của nó (thấp hơn VDD một chút) trước khi chuyển mạch từ VDDb thành VDD. Điều này giảm bớt hoặc hạn chế khả năng đột biến lớn về điện áp cấp mà được đưa vào tới bộ xử lý 110b. Dựa vào Fig.4, Vref hoặc Vrefmax được đưa vào một cách có chọn lọc tới bộ điều chỉnh điện áp để điều khiển giá trị được đưa ra (đầu ra bộ điều chỉnh điện áp là bằng với đầu vào trên cực âm của bộ khuếch đại). Ví dụ, khi VDD là 1,0 vôn, Vref có thể là 0,6 vôn, với Vrefmax bằng 0,9 vôn (giá trị cực đại thực tế được đưa ra từ bộ điều chỉnh điện áp có VDD làm nguồn cấp).

Trong trạng thái VREG_MAX trung gian 325 này, Vrefmax được đưa vào một cách có chọn lọc tới bộ điều chỉnh điện áp và độ trì hoãn định trước cho phép điện áp được đưa ra được tăng dần đều đến Vrefmax trước khi chuyển đổi đầu ra của mạch đường vòng 280 từ VDDb đến VDD.

Khi trong chế độ SMP 330, nếu tín hiệu lệnh chuyển mạch chỉ báo hệ thống cần chuyển đổi sang chế độ ASMP (nghĩa là, SMP/ASMP_SELECT là thấp), bộ điều khiển 290 không khẳng định tín hiệu đường vòng (!BYPASS) và quy trình xử lý chuyển sang trạng thái chế độ ASMP 320. Tuy nhiên, trước khi đi vào trạng thái 330, trạng thái VREG MAX trung gian 325 được đi vào để cung cấp một khoảng thời gian trì hoãn định trước khác để cho phép bộ điều chỉnh điện áp được đưa ra giảm và ổn định, và giảm tiếng ồn.

Như được thể hiện, khi trong hoặc trạng thái chế độ ASMP 320 hoặc trạng thái chế độ SMP 330, và tín hiệu LDO_MODE_SELECT trở nên thấp, tín hiệu EN không được khẳng định (!EN), quy trình xử lý chuyển trở lại về trạng thái OFF (tắt) 310.

Cần hiểu rằng quy trình xử lý 300 được thực hiện bởi FSM 292 cung cấp việc điều khiển máy trạng thái hữu hạn của bộ điều chỉnh điện áp và mạch đường vòng 280 mà không tích hợp việc điều khiển/tạo ra các tín hiệu (EN_CLK, EN_CLKb và SELECT_CLKb) mà điều khiển mạch tạo tín hiệu đồng hồ 250, mạch chuyển

mạch đồng hồ 270 và CDC và các mạch đường vòng 230 (nghĩa là, chuyển đổi đồng hồ chế độ SMP/ASMP) - để cung cấp CLK hoặc CLKb làm tần số tín hiệu đồng hồ cho bộ xử lý 110b. Trong phương án này, FSM thứ hai (không được thể hiện) cũng có thể được bao gồm mà thao tác tách biệt và tạo ra các tín hiệu điều khiển khác này để điều khiển các mạch khác này. Việc thực hiện cụ thể của FSM thứ hai này có thể được dễ dàng thực hiện bởi người có trình độ trung bình trong lĩnh vực dựa vào đơn sáng chế Mỹ số 14/580,044 (các Fig.3A, Fig.3B và Fig.3C và phần mô tả liên quan của chúng).

Xét đến Fig.3B, có minh họa một quy trình hoặc phương pháp khác 300a được thực hiện hoặc được tiến hành bởi FSM 292. Quy trình 300a có thể được thực hiện bởi FSM 292 mà cung cấp việc điều khiển máy trạng thái hữu hạn của bộ điều chỉnh điện áp và mạch đường vòng 280 bao gồm tích hợp trong đó việc điều khiển/tạo ra các tín hiệu (EN_CLK, EN_CLKb và SELECT_CLKb) mà điều khiển mạch tạo tín hiệu đồng hồ 250, mạch chuyển mạch đồng hồ 270 và CDC và các mạch đường vòng 230 (nghĩa là, chuyển mạch đồng hồ chế độ SMP/ASMP). Nói cách khác, quy trình 300a mô tả FSM được tích hợp 292 (và FSM thứ hai được chú thích ở trên có thể được bỏ qua). Quy trình 300a này đóng vai trò điều khiển thao tác của cả bộ điều chỉnh điện áp và mạch đường vòng 280 và các mạch điều khiển đồng hồ 250, 270 và 230. Nói cách khác, FSM 292 trên Fig.3B cung cấp việc điều chỉnh điện áp và mô đun chuyển mạch đồng hồ mà tích hợp việc điều khiển bộ điều chỉnh điện áp và mạch đường vòng 280 với việc điều khiển/tạo ra các tín hiệu (EN_CLK, EN_CLKb và SELECT_CLKb) mà điều khiển mạch tạo tín hiệu đồng hồ 250 - cung cấp bộ điều khiển được tích hợp (điều khiển cả các sự thay đổi/chuyển mạch điện áp và các sự thay đổi/chuyển mạch đồng hồ). Do đó, việc điều khiển bộ điều chỉnh điện áp và đầu ra của nó (nghĩa là, sự cấp điện áp tới bộ xử lý) và việc điều khiển mạch chuyển mạch đồng hồ và đầu ra của nó (nghĩa là, tín hiệu đồng hồ tới bộ xử lý) được tích hợp hoặc có một hoặc nhiều sự phụ thuộc với nhau. Bộ điều khiển được tích hợp như vậy cho phép các quy trình kích hoạt/khởi động/chuyển mạch đồng hồ song song với các quy trình kích hoạt/khởi động/chuyển mạch điện áp. Điều này cải thiện thời gian chờ tổng của quy trình

chuyển mạch SMP/ASMP.

Như được minh họa trên Fig.3B, quy trình 300a bao gồm tất cả các trạng thái (310, 315, 320, 325, 330, 335) và các bước chuyển của quy trình 300 (được thể hiện trên Fig.3A) và các trạng thái bổ sung 350, 360, 370 và 380 và các bước chuyển liên quan. Ngoài ra, một bước chuyển được cải biến một chút. Quy trình 300a được thể hiện bằng sơ đồ trạng thái của FSM 292 bao gồm các trạng thái và các bước chuyển khác nhau liên quan đến việc điều khiển (1) bộ điều chỉnh điện áp và mạch đường vòng 280 và (2) các mạch 250, 270 và 230. Máy trạng thái hữu hạn được tích hợp (FSM) điều khiển không chỉ sự thay đổi điện áp, mà còn chuyển mạch tín hiệu đồng hồ, và theo cách này, có thể đạt được sự song song tốt nhất và các trình tự hành động được tối ưu hóa, trong khi đảm bảo được sự phụ thuộc nhau một cách chính xác.

Bốn trạng thái chính bổ sung bao gồm - trạng thái chuyển BYPASS (350), trạng thái SWITCH_CLK (360), trạng thái SWITCH_CLKb (370), và trạng thái CLKb_WU (380).

Trong quá trình chuyển từ trạng thái Tắt (310) sang trạng thái chế độ SMP (330), trạng thái BYPASS bổ sung (350) và trạng thái SWITCH_CLK (360) được bao gồm và được đặt sau trạng thái trễ 1 (335), như được thể hiện. Sau khi khoảng thời gian trễ 1 hết hạn, trạng thái đường vòng (350) được đi vào (mặc dù tín hiệu đường vòng chưa được khẳng định cao) bởi FSM 292. Trong trạng thái đường vòng (trạng thái đường vòng) (350) (cơ bản là trạng thái trung gian bộ điều chỉnh điện áp bên trong), tín hiệu đường vòng được khẳng định và quy trình chuyển đến trạng thái chế độ SMP 330 (và VDD được đưa vào tới bộ xử lý 110b).

Khi hoàn thành, trạng thái SWITCH_CLK (360) được đi vào. Trong trạng thái SWITCH_CLK, quy trình 300a thực hiện một số chức năng, bao gồm: (1) khẳng định tín hiệu EN_CLK cao mà chuyển mạch trên tín hiệu CLK bên trong mạch đồng hồ 250, (2) chờ trong khoảng thời gian định trước cho phép tín hiệu CLK được khởi động, và (3) sau khi khởi động, không khẳng định tín hiệu SELECT_CLKb mà đưa vào có chọn lọc tín hiệu CLK (ngược lại với tín hiệu

CLKb) tới bộ xử lý 110b bên trong mạch chuyển mạch đồng hồ 270 (cũng dựa vào Fig.2).

Trong việc chuyển từ trạng thái chế độ SMP (330) sang trạng thái chế độ ASMP (320), trạng thái CLKb_WU (khởi động) (380) và trạng thái SWITCH_CLKb (370) được bao gồm và được đặt trước trạng thái VREG MAX (325), như được thể hiện. Khi việc chuyển mạch từ chế độ SMP sang chế độ ASMP được bắt đầu (SMP/ASMP_SELECT trở nên thấp), trạng thái CLKb_WU (380) được đi vào. Trong trạng thái CLKb_WU (280), quy trình 300a khẳng định tín hiệu EN_CLKb cao mà chuyển sang tín hiệu CLKb bên trong mạch đồng hồ 250 và chờ trong khoảng thời gian định trước để cho phép tín hiệu CLKb khởi động. Sau khi khởi động, trạng thái SWITCH_CLKb (370) được đi vào, và quy trình 300a khẳng định tín hiệu SELECT_CLKb mà đưa vào có chọn lọc tín hiệu CLKb (ngược lại với tín hiệu CLK) tới bộ xử lý 110b bên trong mạch chuyển mạch đồng hồ 270 (cũng xem Fig.2). Khi hoàn tất, quy trình chuyển sang trạng thái VREG_MAX (325) để (các) hành động của nó được xảy ra, sau đó chuyển sang trạng thái chế độ SMP (330), và tín hiệu đường vòng không được khẳng định để đi vào trạng thái chế độ ASMP 320 (và VDDb được đưa vào tới bộ xử lý 110b).

Việc chuyển từ trạng thái chế độ ASMP (320) sang trạng thái chế độ SMP (330) theo một cách khác. Khi việc chuyển mạch từ chế độ ASMP sang chế độ SMP được bắt đầu (SMP/ASMP_SELECT trở nên cao), trạng thái VREG_MAX (325) được đi vào. Khi hoàn tất, trạng thái đường vòng (350) được đi vào và được hoàn tất, trạng thái SWITCH_CLK (360) được đi vào và được hoàn tất, và quy trình chuyển sang trạng thái chế độ SMP 330.

Dựa vào quy trình 300a được thực hiện như máy trạng thái hữu hạn, việc điều khiển và tạo ra các tín hiệu EN, BYPASS, EN_CLK, EN_CLKb, và SELECT_CLKb đạt được mà không cần phần mềm/OS. Điều này dẫn đến việc chuyển mạch nhanh hơn giữa chế độ SMP và chế độ ASMP.

Xét đến các Fig.4 và Fig.5, hai phương án thay thế 160a, 160b của bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch 160 được thể hiện trên Fig.2 được

minh họa.

Fig.4 minh họa bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch 160a được thực hiện sử dụng bộ điều khiển chuyển mạch 290a (với FSM 292 thực hiện quy trình 300a được minh họa trong Fig.3B) và bộ điều chỉnh điện áp và mạch đường vòng 280a. Trong phương án này, mạch 280a bao gồm bộ điều chỉnh điện áp độ giảm thấp (low dropout, viết tắt là LDO) 400 và bộ chuyển mạch đường vòng tốc độ cao 402. Tín hiệu tham chiếu (V_{ref}), tín hiệu tham chiếu tối đa (V_{refmax}) và tín hiệu EN được đưa vào tới bộ điều chỉnh điện áp LDO 400. Khi được kích hoạt, đầu ra V_{DDb} bằng với V_{DD} (khi tín hiệu đường vòng được khẳng định (BYPASS)) hoặc V_{ref} (khi tín hiệu đường vòng không được khẳng định (!BYPASS)). Như sẽ được thấy rõ, V_{ref} có thể được lựa chọn (hoặc thậm chí có thể lập trình được) đến giá trị mong muốn. Trong phương án này, tín hiệu tham chiếu điện áp thực được đưa vào tới bộ điều chỉnh điện áp có thể được lựa chọn từ hoặc V_{ref} hoặc V_{refmax} , và hoặc có thể được đưa vào một cách có chọn lọc tới bộ điều chỉnh điện áp dưới sự điều khiển của FSM 292 và các mạch chuyển mạch thích hợp (không được thể hiện). Như được mô tả ở trên, có thể có ích khi tăng dần đều điện áp đầu ra từ giá trị V_{ref} đến giá trị V_{refmax} trước khi chuyển mạch đầu ra của mạch 280 từ V_{DDb} đến V_{DD} .

Fig.5 minh họa bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch 160a được thực hiện sử dụng bộ điều khiển chuyển mạch 290b (với FSM 292 thực hiện quy trình 300a được minh họa trên Fig.3B) và bộ điều chỉnh điện áp và mạch đường vòng 280b. Theo phương án này, mạch 280b bao gồm bộ điều chỉnh điện áp được chuyển mạch 500 với các bộ phận được thể hiện - chỉ nhằm mục đích minh họa. Người có trình độ trung bình trong lĩnh vực dễ dàng hiểu rằng các cấu hình phù hợp khác của bộ điều chỉnh điện áp chuyển mạch (ví dụ như, bộ điều chỉnh điện áp chế độ chuyển mạch, các giá đỡ, các bộ điều chỉnh điện áp được tích hợp, các bộ điều chỉnh chuyển mạch, v.v.) có thể được sử dụng (và các tín hiệu điều khiển bổ sung cũng có thể được yêu cầu). Mạch đường vòng có chức năng tương tự như được mô tả theo Fig.4 ở chỗ khi được kích hoạt, đầu ra V_{DDb} bằng với V_{DD} (khi tín hiệu đường vòng được khẳng định) hoặc V_{DDb} (khi tín hiệu

đường vòng không được khẳng định).

Liên quan đến bộ điều chỉnh điện áp LDO 400 và bộ điều chỉnh chế độ được chuyển mạch 500, theo một phương án, bộ điều chỉnh (400 hoặc 500) có thể được lắp trên cùng một nền hoặc mạch được tích hợp (như được mô tả ở trên).

Xét đến Fig.6, có thể hiện hình vẽ về một phương án khác của bộ điều chỉnh điện áp và bộ điều khiển chuyển mạch 160c có bộ điều chỉnh điện áp và mạch 600. Bộ điều chỉnh điện áp 600 minh họa cách thực hiện khác của bộ điều chỉnh điện áp độ giảm thấp. Cấu trúc này giảm thiểu/ngăn ngừa tiếng ồn có thể được tạo ra bởi việc chuyển mạch chế độ SMP/ASMP sử dụng hai phương pháp chặn tiếng ồn phân biệt - dự đoán trước (hoặc thiết đặt trước) và đáp ứng (hoặc phản hồi). Mỗi phương pháp giảm thiểu tiếng ồn từ việc chuyển mạch và cho phép chuyển mạch nhanh hơn. Phương pháp đáp ứng cung cấp mức điều chỉnh vi mô và thời gian phản hồi nhanh, trong khi phương pháp dự đoán trước cung cấp mức điều chỉnh vĩ mô. Hoặc một hoặc cả hai cơ cấu này có thể được sử dụng.

Khi lệnh chuyển mạch chế độ SMP/ASMP thay đổi (các thay đổi tín hiệu SMP/ASMP_SELECT), bộ điều khiển 290 tạo ra từ trước (các) tín hiệu điều khiển để điều khiển dòng hiệu dịch của bộ khuếch đại (680) thông qua mạch điều khiển dòng hiệu dịch 630. Bộ lọc phản hồi 640 thao tác kết hợp với mạch điều khiển dòng hiệu dịch 630 để tăng dòng hiệu dịch cũng như thay đổi dải tần và tỉ lệ nhảy của tranzito công suất (690) - như được thể hiện trên Fig.6. Sự thay đổi này trong dòng hiệu dịch dẫn đến sự chuyển thực SMP/ASMP tiếp đó khiến bộ điều chỉnh điện áp LDO 600 bù trước cho thay đổi về di/dt sau đó. Điều này dẫn đến việc giảm bớt hoặc ngăn chặn tiếng ồn chuyển mạch SMP/ASMP. Nói cách khác, phương pháp này thiết đặt trước các đặc tính thao tác nhất định (ví dụ như, Ibias, dải tần, tỉ lệ nhảy) của bộ điều chỉnh điện áp trước khi hệ thống thực hiện việc chuyển SMP/ASMP. Như sẽ được thấy rõ, mỗi mạch điều khiển hiệu dịch 630 và bộ lọc phản hồi 640 là mạch điều khiển.

Theo phương pháp đáp ứng, bộ cảm biến dòng điện 610 được bố trí ở dòng điện ở đầu ra của bộ điều chỉnh 600 cảm biến lượng thay đổi di/dt được dẫn bởi tải

620 (ví dụ như, bộ xử lý 110b). Tín hiệu này được phản hồi lại đến bộ điều khiển FSM 290 để điều chỉnh dòng hiệu dịch và/hoặc vòng lặp hồi tiếp để giảm thiểu tiếng ồn theo cách đáp ứng, không trước thời điểm trong cách dự đoán trước. Công tắc phụ 650 tăng cường hoặc tăng tốc dòng điện thoát để thay đổi theo hướng giảm xuống điện áp được đưa ra, khi cần thiết. Phương pháp đáp ứng và hệ mạch được thể hiện cung cấp chức năng mà giống với, hoặc tương tự như, bộ điều khiển tỉ lệ-tích phân-đạo hàm (proportional-integral-derivative, viết tắt là PID). Người có trình độ trung bình trong lĩnh vực có thể sử dụng hệ mạch thích hợp bất kỳ để thực hiện chức năng được mô tả ở trên. Như sẽ được thấy rõ, mỗi mạch điều khiển hiệu dịch 630, bộ lọc phản hồi 640 và công tắc phụ 650 là mạch điều khiển.

Sự chuyển mạch chế độ động giữa SMP và ASMP được thực hiện theo một phương án trong đó chế độ ASMP được kích hoạt khi chỉ hai bộ xử lý (110b và hoặc 110a, 110c hoặc 110d được kích hoạt) và chế độ SMP được kích hoạt khi ba bộ xử lý hoặc nhiều hơn được kích hoạt. Việc xác định xem hoặc (1) hai bộ xử lý hoặc (2) ba bộ xử lý hoặc nhiều hơn có cần thiết hay không có thể phụ thuộc vào loại lưu lượng, thời gian chờ bộ xử lý, thông tin tải không cân bằng và/hoặc mức tiêu thụ công suất. Như sẽ được thấy rõ, các nhân tố khác và các loại thông tin có thể được phân tích và tạo thành cơ sở cho quyết định để thay đổi (hoặc duy trì) các chế độ. Ví dụ, chế độ SMP có thể được lựa chọn khi tải nhẹ, hoặc khi tải nặng mà tất cả các lõi CPU được sử dụng và/hoặc khi tỉ lệ thiếu cache L1 là cao, trong khi chế độ ASMP có thể được lựa chọn cho các tải nặng và/hoặc không cân bằng. Theo một phương án cụ thể, khi hai bộ xử lý được yêu cầu, hai bộ xử lý thao tác trong chế độ ASMP, và khi ba hoặc nhiều hơn ba bộ xử lý được yêu cầu, chúng thao tác trong chế độ SMP.

Người có trình độ trung bình trong lĩnh vực dễ dàng hiểu rằng một hoặc nhiều “lỗi” (ví dụ như, A, B, C, D) - mỗi trong số chúng có thể bao gồm hai hoặc nhiều hơn hai bộ xử lý bên trong mỗi lỗi. Trong các phương án như vậy, mỗi “nhóm” bộ xử lý được phân chia theo chức năng làm một khối toàn thể phân biệt (hoặc “lỗi”).

Xét đến Fig.7, có thể hiện khái niệm cấu trúc (ví dụ như, phương pháp, quy trình, hệ thống) 800 để kích hoạt và điều khiển việc lựa chọn và chuyển mạch chế độ SMP/ASMP. Việc lựa chọn chế độ có thể dựa vào loại quy trình xử lý hoặc ứng dụng mong muốn, cũng như thông tin hoặc các nhân tố khác. Như được thể hiện, quy trình xử lý hoặc ứng dụng 802 có thể là ứng dụng trình duyệt 802a, ứng dụng dòng phát 802b, ứng dụng trò chơi 802c hoặc điều hướng 802d. Các thông tin/nhân tố khác 804 cũng có thể được xem xét.

Ví dụ như, giả định rằng ứng dụng dòng phát 802b yêu cầu quy trình đa xử lý, thiết bị lựa chọn chế độ 810 xác định xem các nhiệm vụ xử lý liên quan đến ứng dụng cần được thực hiện theo chế độ SMP hay chế độ ASMP. Phần mềm hệ thống/OS thực hiện việc xác định này và đưa ra quyết định. Hệ thống có thể phân bổ bộ xử lý đơn để đưa ra lệnh đến bộ điều khiển, nhưng thông thường quyết định được thực hiện ở mức hệ thống/mức OS. Quyết định này có thể dựa trên thông tin ổn định, thông tin động hoặc kết hợp của chúng. Trong một ví dụ, có thể xác định từ trước rằng tất cả các ứng dụng mã hóa video sẽ sử dụng chế độ SMP. Trong một ví dụ khác, tất cả các ví dụ dòng truyền video sẽ sử dụng chế độ ASMP trừ khi tải dòng điện của CPU quá cao đến nỗi tất cả các lõi CPU được sử dụng. Các cải biến khác có thể được lập trình và được sử dụng để đưa ra quyết định xem có nên chuyển mạch từ chế độ này sang một chế độ khác hay không.

Theo một phương án, bảng tìm kiếm có thể được tư vấn khi các nhiệm vụ xử lý đơn được yêu cầu. Theo một phương án khác, việc so sánh công suất có thể là yếu tố được sử dụng để lựa chọn chế độ nào khi có nhiều nhiệm vụ xử lý. Ví dụ, khi người dùng đang làm việc trên các thư điện tử trong khi nghe nhạc đồng thời, ASMP có thể được lựa chọn.

Theo một phương án cụ thể như được minh họa trên Fig.7, xác định được bởi hệ thống số lượng bộ xử lý cần thiết để xử lý (các) tải xử lý. Khi xác định được rằng chỉ cần hai bộ xử lý, chế độ ASMP được lựa chọn và hai bộ xử lý (B và một trong số A/C/D) được điều khiển để thao tác trong chế độ ASMP. Khi xác định được rằng cần ba, bốn bộ xử lý hoặc nhiều hơn, chế độ SMP được lựa chọn và ba

bộ xử lý (A, B và C) hoặc bốn bộ xử lý (A, B, C và D) thao tác trong chế độ SMP.

Cấu trúc hệ thống 100 làm giảm đáng kể về cả giá thành lẫn độ phức tạp của phần cứng/phần mềm liên quan tới việc chuyển mạch động SMP/ASMP khi so sánh với hệ thống với đầy đủ các khả năng SMP/ASMP cho mỗi lõi. Ví dụ, trong hệ thống MP với bốn bộ xử lý/lõi, giá thành phát sinh cho hệ thống được tạo cấu hình phù hợp cho hệ thống 100 trong đó chỉ một bộ xử lý là có thể được tạo cấu hình động) là bằng một phần ba giá thành phát sinh khi so sánh với hệ thống trong đó cả bốn bộ xử lý là có thể cấu hình động được SMP/ASMP.

Việc đánh giá và nghiên cứu đã chỉ ra rằng trong hầu hết các trường hợp, các yêu cầu xử lý có thể được thỏa mãn với hai bộ xử lý, và trong hầu hết các trường hợp hai bộ xử lý sẽ chạy với các tải không cân bằng. Do đó, hệ thống 100 thao tác với hai lõi bộ xử lý A và B có thể được thao tác chỉ sử dụng chế độ ASMP để tối ưu hóa hiệu quả công suất. Tương tự như vậy, với hiệu suất tối đa, cả bốn lõi bộ xử lý A, B, C và D có thể thao tác được trong chế độ SMP với tần số tín hiệu đồng hồ và điện áp cấp tối đa - đạt được sự linh hoạt và độ giảm công suất, cùng lúc đó vẫn duy trì được hiệu suất cuối cao như cũ khi cần thiết. Ngoài ra, khi có nhiều hơn 2 bộ xử lý thao tác, chúng có thể được thao tác trong chế độ SMP. Hệ thống 100 đưa ra lựa chọn giữa giá thành thấp, công suất thấp và hiệu suất cao đối với các hệ điều hành mức cao di động (HLOS) ví dụ như Android/iOS/Windows, và cũng phù hợp cho thị trường phân khúc tầm trung đến thấp.

Một ví dụ hoặc phương pháp thao tác liên quan đến hệ thống 100 được minh họa và được mô tả trong các hình vẽ sẽ được mô tả dưới đây.

Trong cách thao tác này, khi (1) một hoặc (2) ba hoặc nhiều hơn ba lõi hoạt động, chế độ SMP được lựa chọn và tất cả các bộ xử lý kích hoạt thao tác tại cùng một tần số tín hiệu đồng hồ và nguồn cấp điện áp. Khi hai lõi kích hoạt, một trong các bộ xử lý kích hoạt là lõi B và bộ xử lý kích hoạt còn lại là lõi A, hoặc lõi C hoặc lõi D, và hai bộ xử lý kích hoạt được tạo cấu hình để thao tác trong chế độ ASMP.

Trong các hệ thống các bộ xử lý/các lõi, không phải tất cả các bộ xử lý/các

lỗi là điều cần thiết trong mọi thời điểm. Khi có ít các yêu cầu xử lý, chỉ một hoặc một số ít các bộ xử lý có thể cần thiết, và khi có nhiều, nhiều bộ xử lý hơn có thể là cần thiết. Khái niệm này có thể được giới thiệu hoặc được tích hợp vào trong quy trình lựa chọn chế độ, hoặc quy trình lựa chọn chế độ có thể dựa vào, ít nhất một phần, vào số lượng các bộ xử lý được yêu cầu để xử lý các yêu cầu máy tính.

Trong các hệ thống được mô tả ở đây, chức năng bổ sung (không được thể hiện cụ thể) có thể được cung cấp mà cho phép mỗi lõi được vô hiệu hóa đồng hồ và/hoặc sụt công suất để khiến bộ xử lý/lõi vào trong chế độ nghỉ, vô hiệu hóa hoặc tắt. Điều này dẫn đến việc giảm lượng tiêu thụ công suất bằng cách tắt các bộ xử lý không cần thiết (khi với số các bộ xử lý ít hơn, vẫn có thể thực hiện các yêu cầu xử lý).

Các quy trình xử lý hoặc các phương pháp khác nhau có thể được thực hiện để xác định số lượng các bộ xử lý cần thiết để thỏa mãn các yêu cầu máy tính hiện thời. Một khi việc xác định này được thực hiện, thì các lõi có thể được chuyển đổi bật/tắt theo thứ tự và/hoặc mức ưu tiên phù hợp bất kỳ, ví dụ như được mô tả trong các đoạn sau đây.

Xét đến Fig.8, lưu đồ thông thường của quy trình xử lý 900 để bổ sung/loại bỏ các bộ xử lý mà được tích hợp với (các) quy trình xử lý lựa chọn chế độ SMP/ASMP được minh họa. Các sự bố trí lại và cải biến khác nhau có thể được thực hiện với quy trình xử lý được minh họa phụ thuộc vào cấu trúc cụ thể được thực hiện (ví dụ như, số các lõi) và chức năng hoặc ứng dụng mong muốn. Như sẽ được thấy rõ, không phải tất cả các bước hoặc các bộ phận có thể được thực hiện theo quy trình xử lý như vậy được thể hiện.

Quy trình 900 thể hiện điểm trong đó bộ xử lý đơn đang thao tác. Khi chỉ cần bộ xử lý đơn, hệ thống 100 thao tác trong chế độ SMP ở CLK1/VDD1 được cố định đơn (bước 910). Ở một số điểm trong suốt các thao tác xử lý, việc bộ xử lý thứ hai có cần thiết để xử lý số lượng gia tăng các yêu cầu xử lý hay không (hoặc với lý do khác) được xác định (bước 915). Việc xác định này có thể được thực hiện theo chu kỳ hoặc đáp lại thông tin thao tác.

Đáp lại sự xác định rằng một bộ xử lý nữa là cần thiết, quy trình 900 xử lý để kích hoạt bộ xử lý thứ hai, và hai bộ xử lý được kích hoạt sẽ bao gồm ít nhất bộ xử lý 110b. Hai bộ xử lý được kích hoạt thao tác trong chế độ ASMP (920) ở đó bộ xử lý thứ hai (110b) được tạo cấu hình tự động để thu và thao tác phù hợp với CLK2/VDD2 khác với CLK1/VDD1 (trong khi bộ xử lý thứ nhất thao tác với CLK1/VDD1).

Khi cả hai bộ xử lý hoạt động và thao tác trong chế độ ASMP. Trong khi đó, hệ thống tiếp tục đánh giá nhu cầu về công suất xử lý máy tính nhiều hoặc ít hơn, v.v., và có thể thực hiện việc xác định xem các yêu cầu xử lý ở mức sao cho số bộ xử lý ít hơn hoặc nhiều hơn có cần thiết hay không (bước 930a, 930b). Nếu ít hơn, quy trình thực hiện lại việc thực hiện bộ xử lý đơn (trong chế độ SMP) (bước 910). Nếu nhiều hơn, quy trình thực hiện và kích hoạt bộ xử lý thứ ba (bước 940). Do hai bộ xử lý kích hoạt hiện thời ở trong chế độ ASMP, nên chúng được chuyển mạch sang chế độ SMP và cả ba thao tác trong chế độ SMP.

Như sẽ được thấy rõ, theo một phương án, hệ thống, các quy trình xử lý, các phương pháp và các thiết bị được mô tả ở đây có thể được thực hiện trong môi trường di động, bao gồm được kết hợp trong thiết bị di động/thiết bị máy tính nhỏ hoặc trạm gốc, và tương tự. Các thiết bị như vậy có thể, ví dụ, được tạo cấu hình để truyền và/hoặc thu các tín hiệu vô tuyến. Các thiết bị có thể là thiết bị phía người dùng bất kỳ thích hợp và có thể bao gồm các thiết bị như (hoặc có thể được gọi là) thiết bị người dùng (user equipment/device, viết tắt là UE), bộ phận thu/truyền không dây (wireless transmit/receive unit, viết tắt là WTRU), trạm di động, bộ phận đăng ký di động hoặc cố định, máy nhắn tin, điện thoại di động, bộ hỗ trợ kỹ thuật số cá nhân (personal digital assistant, viết tắt là PDA), điện thoại thông minh, máy tính xách tay, điện thoại, máy tính bảng, bộ cảm ứng không dây, thiết bị điện tử cầm tay hoặc thiết bị điện tử khách hàng.

Các thiết bị sẽ bao gồm ít nhất một hệ thống xử lý 100 (như được mô tả ở đây) mà thực hiện các thao tác xử lý khác nhau của thiết bị. Điều này có thể bao gồm, ví dụ, mã hóa tín hiệu, xử lý dữ liệu, xử lý video/âm thanh, điều khiển năng lượng, xử lý đầu vào/đầu ra, hoặc chức năng bất kỳ được thiết kế cho thiết bị.

Hệ thống xử lý 100 cũng hỗ trợ các phương pháp và các hướng dẫn được mô tả ở đây, và có thể bao gồm các bộ phận bổ sung và (các) bộ xử lý (ví dụ như, bộ vi điều khiển, bộ xử lý tín hiệu số, mảng logic lập trình được dạng trường, hoặc mạch được tích hợp cụ thể ứng dụng).

Các thiết bị kết hợp hệ thống xử lý 100 cũng có thể bao gồm ít nhất một bộ thu phát được tạo cấu hình để điều biến dữ liệu hoặc nội dung khác để truyền bởi ít nhất một anten. Bộ thu phát cũng được tạo cấu hình để giải điều biến dữ liệu hoặc nội dung khác được thu bởi ít nhất một anten. Mỗi bộ thu phát bao gồm cấu trúc phù hợp bất kỳ để tạo ra các tín hiệu để truyền không dây và/hoặc các tín hiệu xử lý được thu không dây. Mỗi anten bao gồm cấu trúc phù hợp bất kỳ để truyền và/hoặc thu các tín hiệu không dây. Một hoặc nhiều bộ thu phát có thể được sử dụng trong thiết bị, và một hoặc nhiều anten có thể được sử dụng.

Các thiết bị này cũng có thể bao gồm một hoặc nhiều thiết bị đầu ra/đầu vào để tạo điều kiện dễ dàng tương tác với người sử dụng. Mỗi thiết bị đầu ra/đầu vào bao gồm cấu trúc thích hợp bất kỳ để cung cấp thông tin hoặc thu thông tin từ người dùng ví dụ như loa, micrô, vùng phím, bàn phím, màn hình, hoặc màn hình cảm ứng.

Ngoài ra, các thiết bị này có thể sử dụng bộ nhớ được mô tả ở trên, hoặc có thể bao gồm các bộ nhớ khác, để lưu trữ các hướng dẫn và dữ liệu được sử dụng, được tạo ra, hoặc được thu thập bởi thiết bị. Ví dụ, bộ nhớ có thể lưu trữ các hướng dẫn phần cứng và phần mềm được thực hiện bởi hệ thống xử lý 200. Bộ nhớ khác có thể bao gồm phần lưu trữ bất biến và/hoặc khả biến phù hợp bất kỳ và (các) thiết bị tìm kiếm. Loại bộ nhớ phù hợp bất kỳ có thể được sử dụng, ví dụ như bộ nhớ truy cập ngẫu nhiên (random access memory, viết tắt là RAM), bộ nhớ chỉ đọc (read only memory, viết tắt là ROM), đĩa cứng, đĩa quang, thẻ môđun định danh người đăng ký (subscriber identity module, viết tắt là SIM), thẻ nhớ, thẻ nhớ số bảo mật (secure digital, viết tắt là SD), và tương tự.

Các chi tiết bổ sung liên quan đến các thiết bị máy tính nhỏ/di động đã được biết bởi người có trình độ trung bình trong lĩnh vực. Theo đó, các chi tiết này được

bỏ qua không mô tả.

Theo một số phương án, một số hoặc tất cả các chức năng hoặc các bộ xử lý của một hoặc nhiều thiết bị được thực hiện hoặc được hỗ trợ bởi chương trình máy tính mà được tạo ra từ mã chương trình đọc được bởi máy tính và được thực hiện trong phương tiện đọc được bởi máy tính. Cụm từ “mã chương trình đọc được bởi máy tính” bao gồm mã máy tính loại bất kỳ, bao gồm mã nguồn, mã đối tượng, và mã có thể thực hiện được. Cụm từ “phương tiện đọc được bởi máy tính” bao gồm loại phương tiện bất biến bất kỳ có thể truy cập được bằng máy tính, ví dụ như bộ nhớ chỉ đọc (ROM), bộ nhớ truy cập ngẫu nhiên (RAM), ổ ghi đĩa cứng, đĩa compact (compact disc, viết tắt là CD), đĩa video số (digital video disc, viết tắt là DVD), hoặc dạng bộ nhớ bất kỳ khác.

Có thể có ưu điểm khi thiết đặt các định nghĩa cho một số từ và cụm từ nhất định được sử dụng xuyên suốt bản mô tả này. Thuật ngữ “bao gồm” và “gồm có”, cũng như các biến thể khác, có nghĩa liệt kê không giới hạn. Thuật ngữ “hoặc” mang nghĩa bao gồm, nghĩa là và/hoặc. Các cụm từ “phù hợp với” và “liên quan tới”, cũng như các biến thể khác, có nghĩa là bao gồm, được bao gồm trong, liên kết với, chứa, được chứa trong, kết nối đến hoặc với, ghép nối vào hoặc với, được liên hệ với, hợp tác với, đan xen, ghép, xấp xỉ, cận với, có, có thuộc tính của, hoặc tương tự. Thuật ngữ “bộ điều khiển” có nghĩa là thiết bị, hệ thống bất kỳ hoặc một phần của chúng mà điều khiển ít nhất một thao tác. Bộ điều khiển có thể được thực hiện trong phần cứng, phần sụn, phần mềm hoặc một số kết hợp gồm ít nhất hai trong số chúng. Chức năng liên quan tới bộ điều khiển xác định bất kỳ có thể được tập trung hoặc được phân phối, lân cận hoặc cách xa nhau.

Trong khi phần mô tả này đã mô tả các phương án nhất định và các phương pháp liên quan, các thay thế, các hoán vị nói chung của các phương án và phương pháp này là rõ ràng với người có trình độ trung bình trong lĩnh vực. Theo đó, phần mô tả nêu trên về các phương án ví dụ không nhằm giới hạn sáng chế này. Các thay đổi, các chuyển đổi, và các thay thế khác là có thể miễn là không trệt khỏi phạm vi và nguyên lý của sáng chế, như được định rõ bằng các điểm yêu cầu bảo hộ sau đây.

YÊU CẦU BẢO HỘ

1. Hệ thống xử lý nhiều bộ xử lý (multi-processor, viết tắt là MP), bao gồm:

mạch điều chỉnh điện áp được tạo cấu hình để thu điện áp cấp thứ nhất và tạo ra điện áp cấp thứ hai, trong đó điện áp cấp thứ hai có trị số điện áp nhỏ hơn so với điện áp cấp thứ nhất;

bộ xử lý thứ nhất được tạo cấu hình để thu và thao tác phù hợp với tín hiệu đồng hồ thứ nhất có tần số định trước thứ nhất và điện áp cấp thứ nhất;

bộ xử lý thứ hai được tạo cấu hình để thu và thao tác phù hợp với hoặc tín hiệu đồng hồ thứ nhất hoặc tín hiệu đồng hồ thứ hai có tần số định trước thứ hai khác với tần số định trước thứ nhất và thu và thao tác phù hợp với điện áp cấp thứ nhất hoặc điện áp cấp thứ hai;

bộ điều khiển được ghép nối với mạch điều chỉnh điện áp và được tạo cấu hình để tạo ra tín hiệu đường vòng để đưa vào có lựa chọn điện áp cấp thứ nhất hoặc điện áp cấp thứ hai tới bộ xử lý thứ hai; và

trong đó bộ xử lý thứ nhất còn được tạo cấu hình để chỉ thu và thao tác phù hợp với tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất trong suốt cả chế độ thứ nhất và chế độ thứ hai của thao tác.

2. Hệ thống theo điểm 1 còn bao gồm:

bộ xử lý thứ ba được tạo cấu hình để chỉ thu và thao tác phù hợp với tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất trong suốt cả chế độ thứ nhất và chế độ thứ hai của thao tác.

3. Hệ thống theo điểm 2 trong đó:

khi trong chế độ thứ nhất của thao tác, bộ xử lý thứ nhất và bộ xử lý thứ ba thu và thao tác phù hợp với tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất; và

khi trong chế độ thứ hai của thao tác, bộ xử lý thứ hai thu và thao tác phù hợp với tín hiệu đồng hồ thứ hai và điện áp cấp thứ hai.

4. Hệ thống theo điểm 1, còn bao gồm:

mạch tạo tín hiệu đồng hồ được ghép nối với bộ điều khiển và được tạo cấu hình để tạo ra và đưa ra tín hiệu đồng hồ thứ nhất và tín hiệu đồng hồ thứ hai, tín hiệu đồng hồ thứ nhất được đưa vào tới bộ xử lý thứ nhất;

mạch chuyển mạch được bố trí giữa mạch tạo tín hiệu đồng hồ và bộ xử lý thứ hai và được tạo cấu hình để thu tín hiệu đồng hồ thứ nhất và tín hiệu đồng hồ thứ hai và đưa ra tín hiệu đồng hồ thứ nhất hoặc tín hiệu đồng hồ thứ hai tới bộ xử lý thứ hai, trong đó trong suốt chế độ thứ nhất của thao tác tín hiệu đồng hồ thứ nhất được đưa ra tới bộ xử lý thứ hai và trong suốt chế độ thứ hai của thao tác tín hiệu đồng hồ thứ hai được đưa ra tới bộ xử lý thứ hai; và

trong đó trong suốt chế độ thứ nhất và chế độ thứ hai của thao tác tín hiệu đồng hồ thứ nhất được đưa ra tới bộ xử lý thứ nhất.

5. Hệ thống theo điểm 1, còn bao gồm:

bộ nhớ cache được ghép nối với các bộ xử lý thứ nhất và thứ hai; và

mạch đi vòng và cắt qua miền tín hiệu đồng hồ (clock-domain crossing, viết tắt là CDC) đáp lại bộ điều khiển và được ghép nối với bộ xử lý thứ hai và bộ nhớ cache, và còn được tạo cấu hình để cung cấp chức năng cắt qua miền tín hiệu đồng hồ giữa bộ xử lý thứ hai và bộ nhớ cache trong suốt chế độ thứ hai của thao tác và cung cấp chức năng đi vòng trong suốt chế độ thứ nhất của thao tác.

6. Hệ thống theo điểm 1 trong đó bộ điều khiển còn được tạo cấu hình để thao tác chuyển mạch động của bộ xử lý thứ hai giữa chế độ thứ nhất của thao tác và chế độ thứ hai của thao tác đáp lại tín hiệu lựa chọn chế độ.

7. Hệ thống theo điểm 6 trong đó tín hiệu lựa chọn chế độ được tạo ra ít nhất một phần dựa vào sự kích hoạt hoặc hủy kích hoạt của bộ xử lý bên trong các bộ xử lý.

8. Hệ thống theo điểm 6, trong đó tín hiệu lựa chọn chế độ được tạo ra đáp lại ít nhất một trong số sau đây: thông tin tải, thông tin sử dụng, tỉ lệ thiếu cache, thông tin dải thông bộ nhớ hoặc thông tin tiêu thụ công suất.

9. Hệ thống theo điểm 6, trong đó bộ điều khiển còn được tạo cấu hình để thiết đặt trước ít nhất một đặc tính thao tác của bộ điều chỉnh điện áp đáp lại tín hiệu lựa

chọn chế độ.

10. Thiết bị chuyển mạch giữa chế độ đa xử lý đối xứng và đa xử lý không đối xứng, bao gồm:

các bộ xử lý được tạo cấu hình để thực hiện các chức năng đa xử lý, các bộ xử lý bao gồm bộ xử lý thứ nhất và bộ xử lý thứ hai;

bộ điều khiển được tạo cấu hình để điều khiển thao tác của bộ xử lý thứ hai trong chế độ thứ nhất và chế độ thứ hai;

mạch tạo tín hiệu đồng hồ được ghép nối với bộ điều khiển và được tạo cấu hình để tạo ra và đưa ra tín hiệu đồng hồ thứ nhất và tín hiệu đồng hồ thứ hai đáp lại một hoặc nhiều tín hiệu từ bộ điều khiển;

mạch chuyển mạch được bố trí giữa mạch tạo tín hiệu đồng hồ và bộ xử lý thứ hai và được tạo cấu hình để thu các tín hiệu đồng hồ thứ nhất và thứ hai và lựa chọn một để đưa ra tới bộ xử lý thứ hai, trong đó trong suốt chế độ thứ nhất của thao tác tín hiệu đồng hồ thứ nhất được đưa ra tới bộ xử lý thứ hai và trong suốt chế độ thứ hai của thao tác tín hiệu đồng hồ thứ hai được đưa ra tới bộ xử lý thứ hai;

bộ điều chỉnh điện áp và mạch đường vòng được ghép nối với bộ điều khiển và được tạo cấu hình để:

thu tín hiệu điện áp thao tác thứ nhất,

tạo ra tín hiệu điện áp thao tác thứ hai từ tín hiệu điện áp thao tác thứ nhất,

đưa ra tín hiệu điện áp thao tác thứ nhất để đưa vào tới bộ xử lý thứ hai trong suốt chế độ thứ nhất của thao tác, và

đưa ra tín hiệu điện áp thao tác thứ hai để đưa vào tới bộ xử lý thứ hai trong suốt chế độ thứ hai của thao tác; và

trong đó trong suốt chế độ thứ nhất của thao tác và chế độ thứ hai của thao tác tín hiệu đồng hồ thứ nhất được đưa vào tới bộ xử lý thứ nhất.

11. Thiết bị theo điểm 10 trong đó thiết bị được bố trí trên nền đơn.

12. Thiết bị theo điểm 10 trong đó bộ xử lý thứ nhất, bộ xử lý thứ hai và bộ điều chỉnh điện áp và mạch đường vòng được bố trí trên nền bộ bán dẫn đơn.

13. Thiết bị theo điểm 10 trong đó bộ điều khiển còn được tạo cấu hình để thao tác chuyển mạch động của bộ xử lý thứ hai giữa chế độ thứ nhất của thao tác và chế độ thứ hai của thao tác đáp lại tín hiệu lựa chọn chế độ.

14. Thiết bị theo điểm 13 trong đó tín hiệu lựa chọn chế độ được tạo ra ít nhất một phần dựa vào sự kích hoạt hoặc hủy kích hoạt của bộ xử lý bên trong các bộ xử lý.

15. Hệ thống xử lý nhiều bộ xử lý (MP), bao gồm:

các bộ xử lý bao gồm,

bộ xử lý thứ nhất, và

bộ xử lý thứ hai;

bộ điều khiển được ghép nối với ít nhất bộ xử lý thứ hai và được tạo cấu hình để:

kích hoạt hoặc hủy kích hoạt bộ xử lý thứ hai đáp lại tín hiệu kích hoạt/hủy kích hoạt,

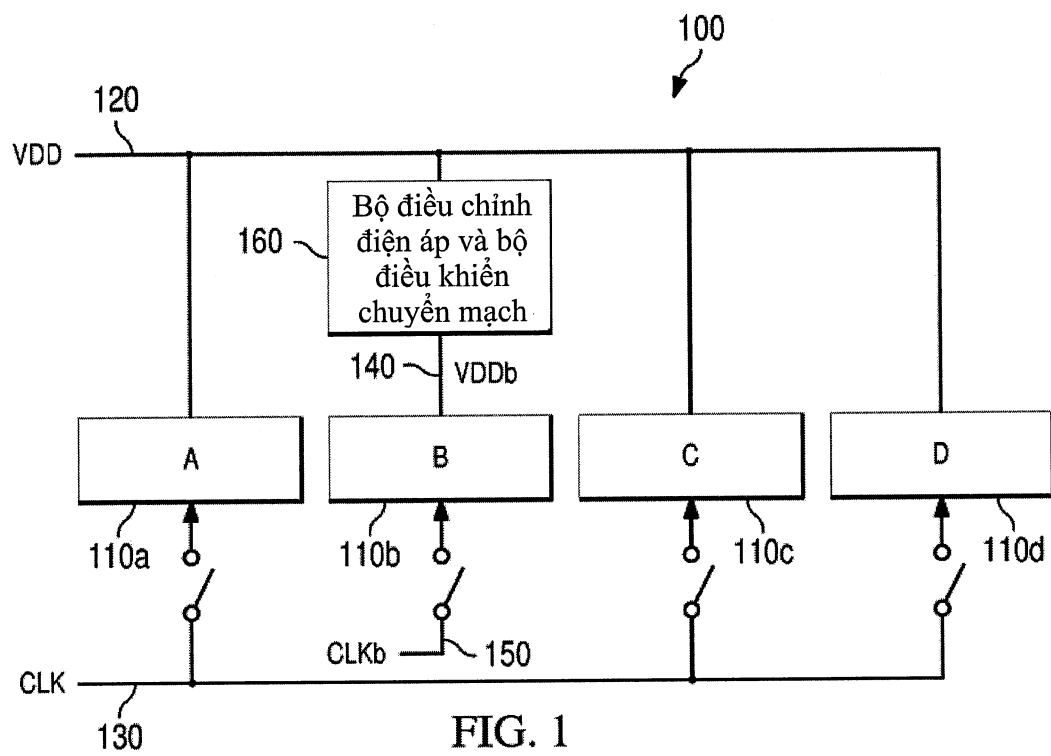
khi kích hoạt bộ xử lý thứ hai, điều khiển xử lý bên trong hệ thống đa xử lý sử dụng bộ xử lý thứ nhất và bộ xử lý thứ hai phù hợp với hoặc chế độ đa xử lý đối xứng (symmetric multiprocessing, viết tắt là SMP) hoặc chế độ đa xử lý không đối xứng (asymmetric multiprocessing, viết tắt là ASMP), trong đó:

chế độ SMP được định rõ mà trong đó mỗi bộ xử lý thứ nhất và bộ xử lý thứ hai thao tác phù hợp với tín hiệu đồng hồ thứ nhất có tần số định trước thứ nhất và điện áp cấp thứ nhất có điện áp định trước thứ nhất, và

chế độ ASMP được định rõ mà trong đó bộ xử lý thứ nhất thao tác phù hợp với tín hiệu đồng hồ thứ nhất và điện áp cấp thứ nhất và bộ xử lý thứ hai thao tác phù hợp với tín hiệu đồng hồ thứ hai có tần số định trước thứ hai khác với tần số định trước thứ nhất và phù hợp với điện áp cấp thứ hai có điện áp thao tác định trước thứ hai khác với điện áp thao tác định trước thứ nhất,

thu tín hiệu lựa chọn chế độ, và

chuyển mạch thao tác của bộ xử lý thứ nhất và bộ xử lý thứ hai từ hoặc chế độ SMP sang chế độ ASMP hoặc chế độ ASMP sang chế độ SMP phụ thuộc vào tín hiệu lựa chọn chế độ.



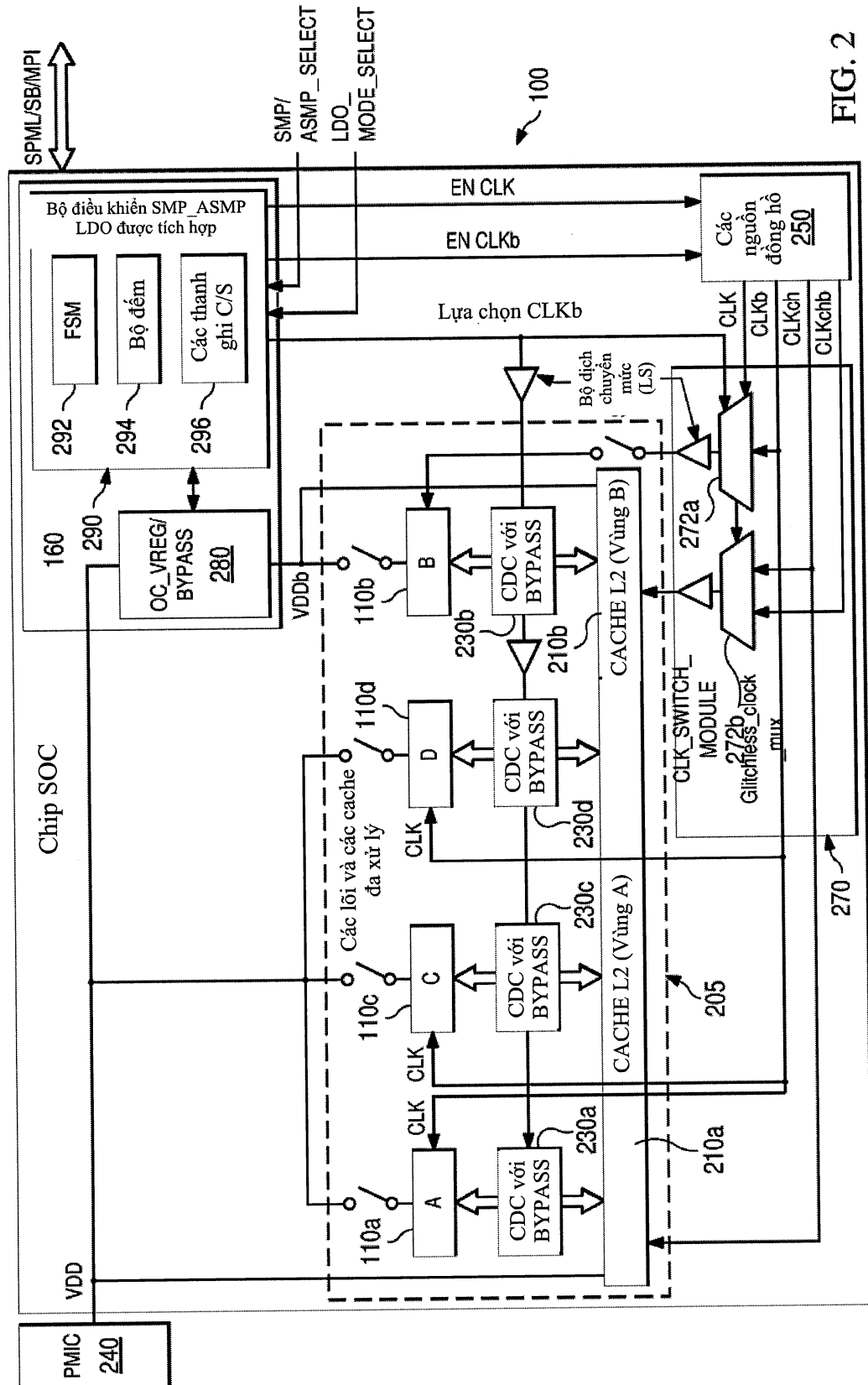


FIG. 2

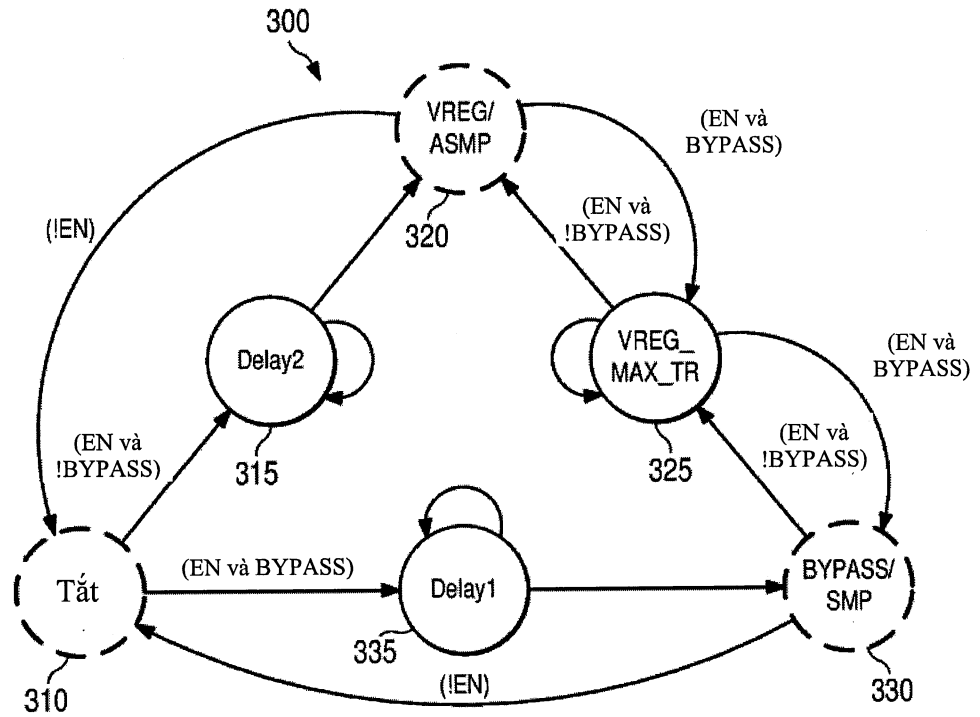


FIG. 3A

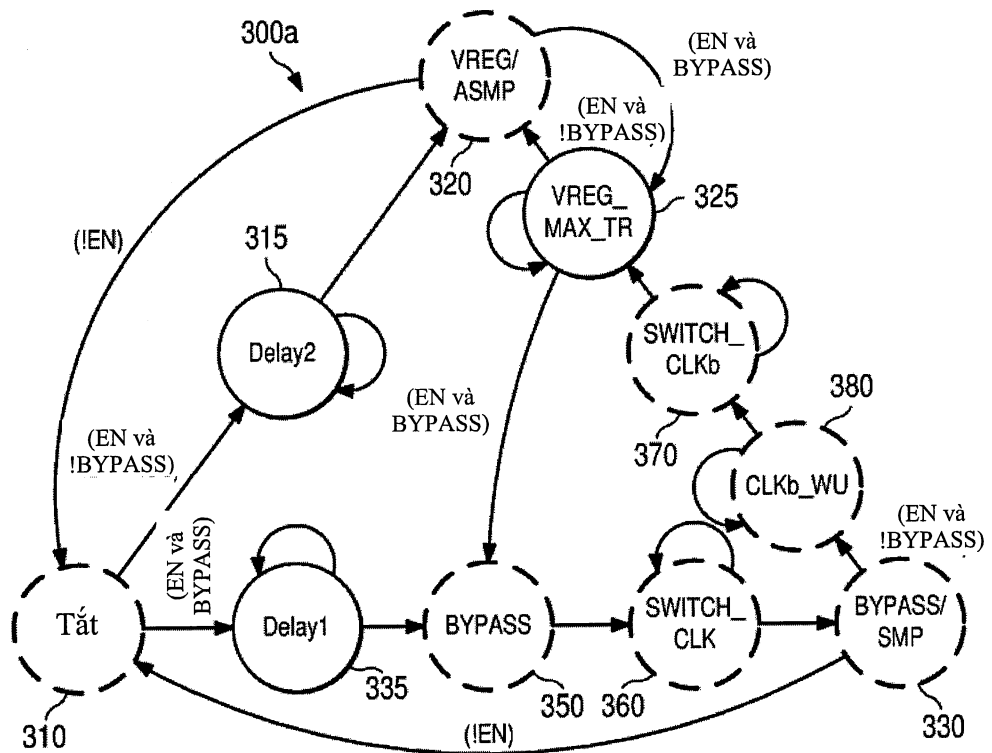


FIG. 3B

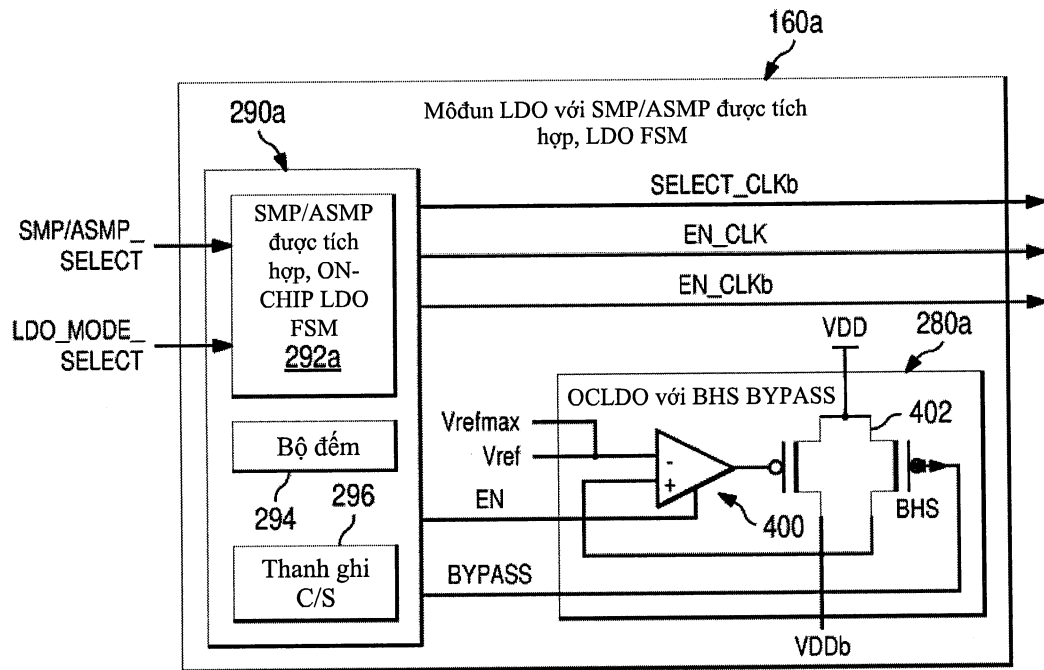


FIG. 4

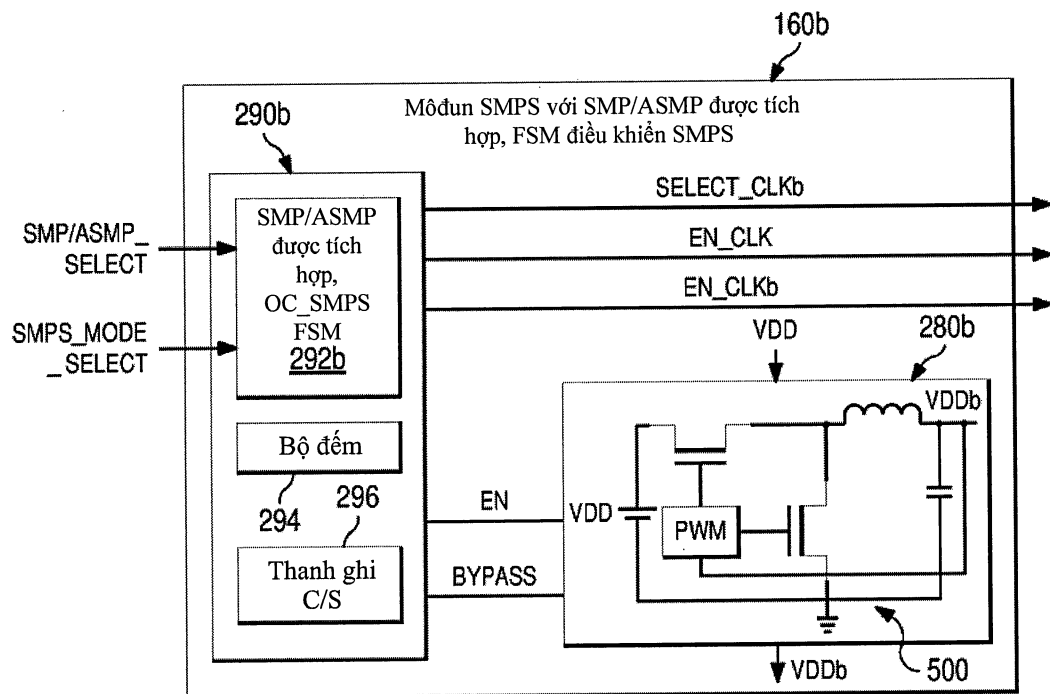


FIG. 5

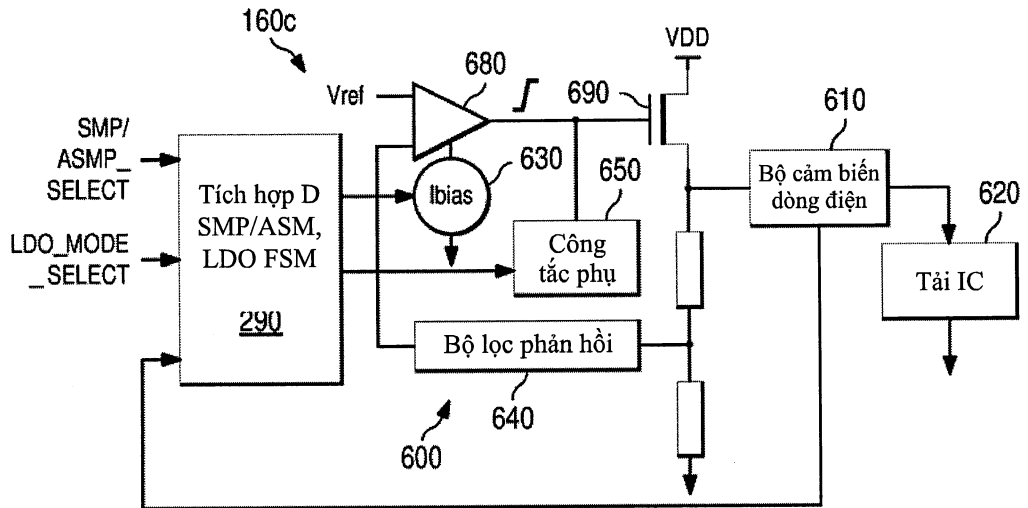


FIG. 6

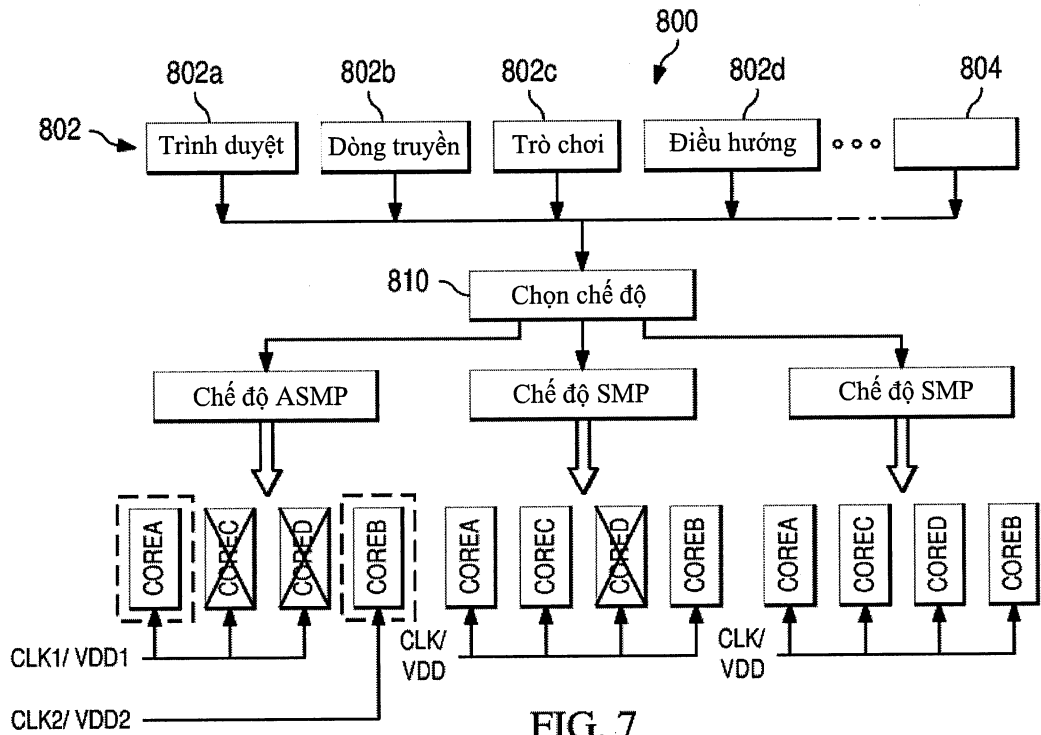


FIG. 7

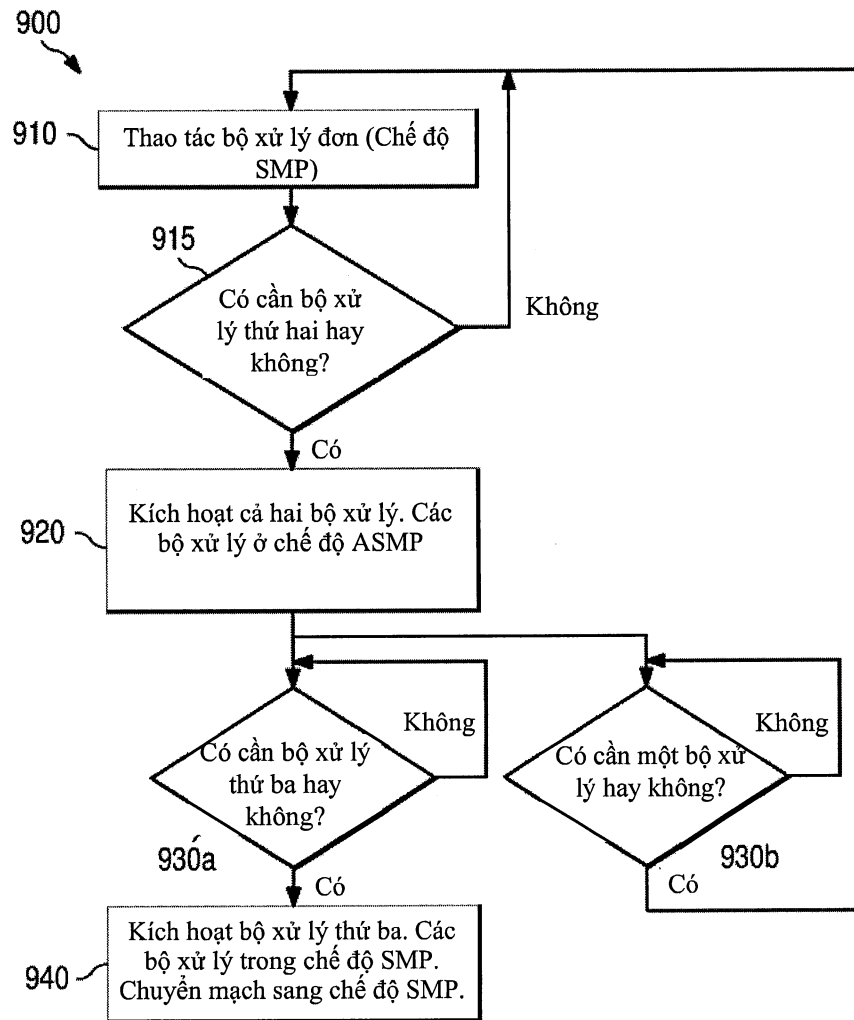


FIG. 8