



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0026889

(51)⁸ H02M 7/12; H02M 7/48; H02M 3/155

(13) B

(21) 1-2017-04118

(22) 16/03/2016

(86) PCT/JP2016/058246 16/03/2016

(87) WO 2016/148164 22/09/2016

(30) 2015-054337 18/03/2015 JP

(45) 25/01/2021 394

(43) 26/02/2018 359A

(73) DAIKIN INDUSTRIES, LTD. (JP)

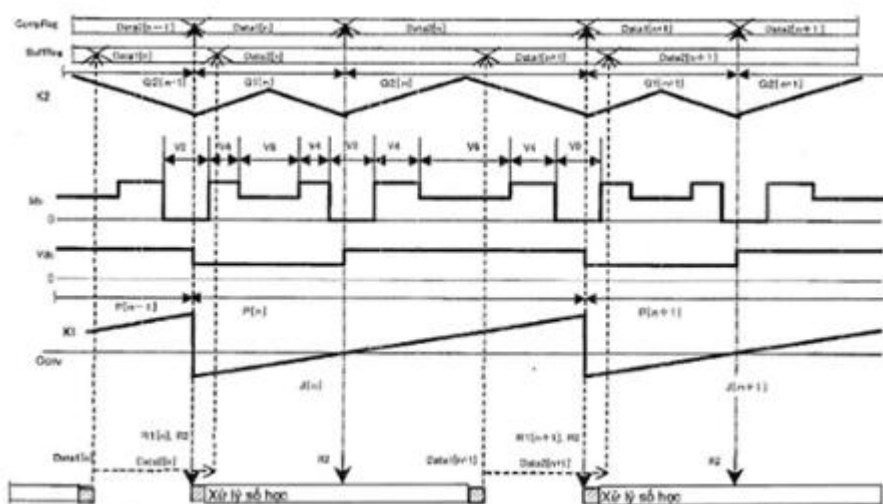
Umeda Center Building, 4-12, Nakazaki-Nishi 2-Chome, Kita-ku, Osaka-Shi, Osaka
5308323, Japan

(72) SAKAKIBARA Kenichi (JP).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) THIẾT BỊ ĐIỀU KHIỂN BỘ BIẾN ĐỔI ĐIỆN

(57) Sáng chế đề cập đến thiết bị biến đổi điện trực tiếp được điều khiển bởi máy vi tính mà không cần phải sử dụng mạch tích hợp logic. Việc xử lý gián đoạn bởi lệnh gián đoạn (R1[k]) bắt đầu và lệnh gián đoạn (R2) xuất hiện đồng thời với lệnh gián đoạn (R1[k]) được giải phóng. Sau đó, dữ liệu thứ hai (Data2[k]) được ghi vào trong bộ ghi trung gian (BuffReg). Việc này được thực hiện sau khi truyền dữ liệu thứ nhất (Data1[k]) từ thanh ghi trung gian (BuffReg) đến bộ ghi so sánh (CompReg), việc truyền được thực hiện đồng thời khi xuất hiện lệnh gián đoạn (R1[k]). Các đoạn thời gian, mà trong đó dữ liệu thứ nhất (Data1[k+1]) và dữ liệu thứ hai (Data2[k+1]) được ghi vào trong bộ ghi trung gian (BuffReg), được dịch chuyển với nhau, nhờ đó các đoạn thời gian, mà trong đó được truyền từ bộ ghi trung gian (BuffReg) đến bộ ghi so sánh (CompReg), có thể được dịch chuyển với nhau.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến kỹ thuật điều khiển bộ biến đổi điện và cụ thể là, bộ biến đổi điện dạng trực tiếp (dưới đây, được gọi là “bộ biến đổi điện trực tiếp”).

Tình trạng kỹ thuật của sáng chế

Là cấu hình mạch chính thông thường của bộ biến đổi điện xoay chiều (alternating current-AC) mà thực hiện quá trình biến đổi dòng điện xoay chiều/dòng điện xoay chiều (dưới đây, bộ biến đổi điện xoay chiều như vậy đơn giản được gọi là "bộ biến đổi điện"), bộ biến đổi điện gián tiếp nói chung được sử dụng, mà biến đổi dòng điện xoay chiều thương mại thành dòng điện một chiều (direct current-DC) thông qua mạch chỉnh lưu và mạch lọc điện, và thu được đầu ra dòng điện xoay chiều nhờ bộ đổi nguồn điện áp.

Trong khi đó, là chế độ thu được trực tiếp đầu ra dòng điện xoay chiều từ điện áp dòng điện xoay chiều, đã biết chế độ sử dụng bộ biến đổi điện trực tiếp được thực hiện bằng ví dụ bởi bộ biến đổi ma trận. Việc này loại bỏ nhu cầu sử dụng các tụ điện và bộ điện kháng lớn, để làm trơn tru xung điện áp do tần số thương mại và do đó, việc giảm kích thước của bộ biến đổi có thể được kỳ vọng và trong những năm gần đây, bộ biến đổi điện trực tiếp này đã thu hút được sự chú ý như bộ biến đổi điện thế hệ tiếp theo.

Đối với bộ biến đổi điện trực tiếp, cấu hình với đường truyền điện một chiều cũng đã được đề xuất và cấu hình mà không có mạch lọc điện trong đường truyền điện một chiều ở phía đầu vào của bộ đổi điện và nguyên lý của chế độ điều biến trong cấu hình này được mô tả trong Tài liệu sáng chế

1 và các Tài liệu phi sáng chế 1 và 2. Trong bản mô tả này, liên quan đến chế độ điều biến, phương pháp tạo ra sóng tín hiệu được mô tả một cách chi tiết; tuy nhiên, liên quan đến quá trình đồng bộ hoá giữa mạch chỉnh lưu và bộ đổi điện, Fig.10 chỉ được thể hiện trong Tài liệu phi sáng chế 1 và Fig.12 chỉ được thể hiện trong Tài liệu sáng chế 2.

Hơn nữa, Tài liệu phi sáng chế 1 mô tả rằng bộ biến đổi điện trực tiếp với đường truyền điện một chiều được điều khiển bằng cách sử dụng bộ xử lý tín hiệu số (Digital Signal Processor-DSP) và thiết bị logic lập trình phức hợp (Complex Programmable Logic Device-CPLD). Tuy nhiên, các chi tiết của thiết bị logic được chấp nhận trong DSP và CPLD không được bộc lộ.

Trong khi đó, là chế độ điều biến tương tự với chế độ điều biến được mô tả trong Tài liệu sáng chế 1 và các Tài liệu phi sáng chế 1 và 2, chế độ sóng hình tam giác đối xứng sửa đổi được thể hiện trong Tài liệu sáng chế 2. Fig.3 trong Tài liệu sáng chế 2 thể hiện cấu hình đặc biệt của bộ điều biến. Lệnh xuôi/ngược của sóng mang phía bộ đổi điện được phát ra dựa vào tín hiệu xuôi/ngược của sóng mang ở phía bộ chỉnh lưu và dựa vào xung phát ra thu được bởi việc điều biến chiều rộng xung (pulse width modulation-PWM) ở phía bộ chỉnh lưu. Tuy nhiên, trong Tài liệu sáng chế 2, như thấy rõ từ Fig.4 của nó, cùng các nội dung như nội dung nêu trong Tài liệu phi sáng chế 1 chỉ đơn thuần được thể hiện như một kết quả.

Cần phải lưu ý rằng, được thể hiện trên Fig.8 của Tài liệu sáng chế 3, chế độ điều biến bởi bộ đổi điện và bộ biến đổi điện bằng cách sử dụng cùng một sóng mang đã được thể hiện.

Tài liệu phi sáng chế 3 thể hiện rằng quá trình điều biến được thực hiện bởi máy vi tính và mảng công lập trình dạng trường (Field-Programmable

Gate Array-FPGA).

Cần phải lưu ý rằng Tài liệu sáng chế 4 và các Tài liệu phi sáng chế 4 và 5, mà liên quan đến sáng chế này, được liệt kê ngoài các tài liệu nêu trên.

Các tài liệu được trích dẫn

Các Tài liệu sáng chế

Tài liệu sáng chế 1: Patent Mỹ số 6995992

Tài liệu sáng chế 2: Đơn yêu cầu cấp patent Nhật Bản số 2004-266972

Tài liệu sáng chế 3: Patent Nhật Bản số 4135026

Tài liệu sáng chế 4: Đơn yêu cầu cấp patent Nhật Bản số 2011-193678

Các Tài liệu phi sáng chế

Tài liệu phi sáng chế 1: Wei, L., Lipo, T.A., Chan, H, "Matrix Converter Topologies With Reduced Number of Switches," PESC 2002, June 23-27, 2002, vol. 1, pp 57-63.

Tài liệu phi sáng chế 2: L.Wei, T.A.Lipo, "Investigation of 9-switch Dual-bridge Matrix Converter Operating under Low Output Power Factor," IEEE IAS2003, vol.1, pp.176-181

Tài liệu phi sáng chế 3: Fujita, Sakakibara, Matsuno, "Application and Development of the Three Phase Indirect Matrix Converter for Air Conditioners", The papers of Joint Technical Meeting on Semiconductor Power Converter/Vehicle Technology/Home and Consumer Appliances, SPC-12-174/VT-12-025/HCA-12-059, IEE Japan 2012(20), pp.31-36, 2012-12-06

Tài liệu phi sáng chế 4: Renesas Electronics Application Note: RX62T Group - Usage Example of 12-Bit AD Converter in One Shunt

Current Detection Method, R01AN0821JJ0100

Tài liệu phi sáng chế 5: Renesas Electronics Application Note:
RX62T - MTU3 Complementary PWM mode, R01AN0731JT0101

Bản chất kỹ thuật của sáng chế

Vấn đề cần được sáng chế giải quyết

Như được mô tả trên đây, cần phải logic đặc biệt cho bộ điều biến bộ biến đổi điện trực tiếp thông thường và cần phải kèm theo mạch tích hợp logic như CPLD hoặc FPGA.

Mặt khác, do máy vi tính thích hợp để điều khiển bộ đổi điện bằng cách sử dụng quá trình điều biến PWM, có các máy vi tính được giới thiệu trong các Tài liệu phi sáng chế 4 và 5. Do đó, việc điều khiển thiết bị biến đổi điện trực tiếp bởi các máy vi tính như vậy mà không cần phải sử dụng mạch tích hợp logic này theo quan điểm giảm phần cứng là điều mong muốn.

Do đó, mục đích của sáng chế là đề xuất kỹ thuật điều khiển bộ biến đổi điện trực tiếp bằng máy vi tính mà không cần phải sử dụng mạch tích hợp logic.

Phương tiện giải quyết vấn đề

Theo sáng chế, thiết bị điều khiển bộ biến đổi điện là thiết bị điều khiển bộ biến đổi điện (1) để điều khiển bộ biến đổi điện (2) bao gồm bộ biến đổi (21) mà thực hiện quá trình biến đổi dòng điện xoay chiều-dòng điện một chiều và bộ đổi điện (22) mà thu điện áp một chiều (V_{dc}) từ bộ biến đổi này và cấp dòng điện xoay chiều đa pha (I_v).

Tiếp theo, theo khía cạnh thứ nhất, sáng chế bao gồm: bộ điều khiển biến đổi (11) mà tạo ra tín hiệu chuyển mạch biến đổi (Sc_{nv}) để xác định sự chuyển mạch của bộ biến đổi dựa vào kết quả thực hiện việc so sánh giữa

vật tải biến đổi ($K1$) và trị số ngưỡng biến đổi (C_{cnv}) trong mỗi giai đoạn thứ nhất (P) lặp lại trong khi có khoảng thời gian thứ nhất (T_{cnv}); và bộ điều khiển đổi điện (12) mà tạo ra tín hiệu chuyển mạch đổi điện (S_{inv}) để xác định sự chuyển mạch của bộ đổi điện dựa vào kết quả thực hiện việc so sánh giữa vật tải đổi điện ($K2$) và trị số ngưỡng biến đổi (D_{pwm}) trong mỗi giai đoạn thứ hai ($Q1, Q2$) đồng bộ với vật tải biến đổi và lặp lại trong khi có khoảng thời gian thứ hai (T_{inv}).

Tiếp theo, trong giai đoạn thứ nhất, dữ liệu thứ nhất ($Data1$) và dữ liệu thứ hai ($Data2$) theo cách khác được cấp cho bộ điều khiển đổi điện, dữ liệu thứ nhất ($Data1$) bao gồm trị số thứ nhất (T_{inv1}) thể hiện khoảng thời gian từ điểm đầu thời gian của giai đoạn thứ nhất đến thời điểm điều hợp (J) là thời điểm khi vật tải biến đổi có trị số ngưỡng biến đổi và trị số ngưỡng đổi điện (D_{pwm1}) tương ứng với giai đoạn thứ hai ($Q1$) có trị số thứ nhất là khoảng thời gian thứ hai, và dữ liệu thứ hai ($Data2$) bao gồm trị số thứ hai (T_{inv2}) thể hiện khoảng thời gian tính từ thời điểm điều hợp đến điểm kết thúc thời gian của giai đoạn thứ nhất và trị số ngưỡng đổi điện (D_{pwm2}) tương ứng với giai đoạn thứ hai ($Q2$) có trị số thứ hai là khoảng thời gian thứ hai.

Theo khía cạnh thứ hai của sáng chế, thiết bị điều khiển bộ biến đổi điện là khía cạnh thứ nhất của nó còn bao gồm: bộ xử lý số học (10) mà thực hiện việc xử lý số học để thu được dữ liệu thứ nhất ($Data1$) và dữ liệu thứ hai ($Data2$) trong một cặp giai đoạn thứ hai, việc xử lý số học được thực hiện trong mỗi giai đoạn thứ nhất.

Tiếp theo, bộ điều khiển đổi điện (12) bao gồm: thanh ghi trung gian (124a, 124c) mà lưu trữ trị số ngưỡng đổi điện (D_{pwm}) và khoảng thời gian thứ hai (T_{inv}); thanh ghi so sánh (123a, 123c) mà nội dung được lưu

trữ bởi thanh ghi trung gian được truyền ở điểm biên thời gian là thời điểm dùng làm giới hạn giữa giai đoạn thứ hai; bộ định thời (121) mà tạo ra trị số đếm mà so với khoảng thời gian thứ hai được lưu trữ trong thanh ghi so sánh và trở thành vật tải đổi điện (K_2); và bộ tạo ra tín hiệu chuyển mạch (128) mà tạo ra tín hiệu chuyển mạch đổi điện (S_{inv}) trên cơ sở kết quả so sánh giữa trị số ngưỡng đổi điện được lưu trữ trong thanh ghi so sánh và vật tải đổi điện.

Tiếp theo, dữ liệu thứ nhất ($Data1[k+1]$) thu được bằng việc xử lý số học trong một giai đoạn trong số các giai đoạn thứ nhất ($P[k]$) được lưu trữ trong thanh ghi trung gian trước khi bắt đầu giai đoạn kia ($P[k+1]$) trong số các giai đoạn thứ nhất, dữ liệu thứ hai ($Data2[k+1]$) thu được bằng việc xử lý số học trong một giai đoạn trong số các giai đoạn thứ nhất được lưu trữ trong thanh ghi trung gian khi bắt đầu giai đoạn kia trong số các giai đoạn thứ nhất và giai đoạn kia trong số các giai đoạn thứ nhất này có mặt ngay sau một giai đoạn trong số các giai đoạn thứ nhất này.

Theo khía cạnh thứ ba của sáng chế, thiết bị điều khiển bộ biến đổi điện là khía cạnh thứ hai của nó, trong đó dữ liệu thứ nhất ($Data1$): (a) vào lúc và sau thời gian kết thúc việc xử lý số học khi điểm biên thời gian có mặt sau khi bắt đầu việc xử lý số học và trước khi kết thúc việc xử lý số học; (b) khi điểm biên thời gian không có mặt sau khi bắt đầu việc xử lý số học và trước khi kết thúc việc xử lý số học, bằng cách xử lý lệnh gián đoạn xảy ra ở một điểm thứ nhất trong số các điểm biên thời gian sau khi kết thúc việc xử lý số học; được lưu trữ trong thanh ghi trung gian trong các trường hợp riêng này.

Theo khía cạnh thứ tư của sáng chế, thiết bị điều khiển bộ biến đổi điện là khía cạnh thứ ba của nó, trong đó dữ liệu thứ nhất ($Data1$): (a1) được lưu

trữ trong thanh ghi trung gian ở thời điểm khi việc xử lý số học kết thúc khi điểm biên thời gian có mặt sau khi bắt đầu việc xử lý số học và trước khi kết thúc việc xử lý số học.

Theo khía cạnh thứ năm của sáng chế, thiết bị điều khiển bộ biến đổi điện là khía cạnh thứ ba của nó, trong đó dữ liệu thứ nhất (Data1): (a2) khi điểm biên thời gian có mặt sau khi bắt đầu việc xử lý số học và trước khi kết thúc việc xử lý số học, được lưu trữ trong thanh ghi trung gian bằng cách xử lý gián tiếp bởi lệnh gián đoạn xảy ra ở điểm thứ nhất trong số các điểm biên thời gian sau khi kết thúc việc xử lý số học.

Theo khía cạnh thứ sáu của sáng chế, thiết bị điều khiển bộ biến đổi điện là khía cạnh bất kỳ trong số các khía cạnh từ thứ nhất đến thứ năm của nó, trong đó vật tải đổi điện (K2) thể hiện sóng hình tam giác đơn trong mỗi giai đoạn trong số các giai đoạn thứ hai.

Theo khía cạnh thứ bảy của sáng chế, thiết bị điều khiển bộ biến đổi điện là khía cạnh bất kỳ trong số các khía cạnh từ thứ nhất đến thứ năm của nó, trong đó vật tải biến đổi (K1) lặp lại sự gia tăng đơn điệu và sự giảm đơn điệu mỗi giai đoạn thứ nhất và vật tải đổi điện (K2) lặp lại sự gia tăng đơn điệu và sự giảm đơn điệu mỗi giai đoạn thứ hai.

Theo khía cạnh thứ tám của sáng chế, thiết bị điều khiển bộ biến đổi điện là khía cạnh bất kỳ trong số các khía cạnh từ thứ nhất đến thứ năm của nó, trong đó vật tải biến đổi (K1) thể hiện sóng hình răng cưa có khoảng thời gian thứ nhất (T_{cnv}) như một chu kỳ và vật tải đổi điện (K2) lặp lại sự gia tăng đơn điệu và sự giảm đơn điệu mỗi giai đoạn thứ hai.

Theo khía cạnh từ thứ nhất đến thứ tám của sáng chế, thiết bị điều khiển bộ biến đổi điện, ví dụ, bộ biến đổi (21) là bộ biến đổi nguồn điện và đảo mạch tại thời điểm điều hợp nhờ tín hiệu chuyển mạch biến đổi ($Scnv$).

Theo khía cạnh từ thứ nhất đến thứ tám của sáng chế, thiết bị điều khiển bộ biến đổi điện, ví dụ, bộ biến đổi (21) bao gồm mạch chỉnh lưu và mạch tăng áp, và được xác định xem liệu mạch tăng áp có góp phần vào điện áp một chiều (V_{dc}) trên cơ sở tín hiệu chuyển mạch biến đổi ($Scnv$) hay không.

Hiệu quả của sáng chế

Theo khía cạnh thứ nhất của sáng chế, thiết bị điều khiển bộ biến đổi điện, số lượng bộ điều biến PWM bù cần thiết được tiết kiệm đi trở nên một, để điều khiển việc chia một chu kỳ điều khiển bộ biến đổi thành hai phần tại thời điểm khi bộ biến đổi đảo mạch và để điều khiển bộ đổi điện này trong các phần tương ứng.

Theo khía cạnh thứ hai của sáng chế, thiết bị điều khiển bộ biến đổi điện, ghi vào trong thanh ghi trung gian sau khi truyền từ thanh ghi trung gian đến thanh ghi so sánh, và do đó, việc so sánh giữa dữ liệu thứ nhất và dữ liệu thứ hai, và vật tải đổi điện được thực hiện một cách thích hợp.

Theo khía cạnh từ thứ ba đến thứ sáu của sáng chế, thiết bị điều khiển bộ biến đổi điện góp phần vào việc thực hiện khía cạnh thứ hai của nó.

Theo khía cạnh thứ bảy đến thứ tám của sáng chế, thiết bị điều khiển bộ biến đổi điện, sự đáp lại đầu ra của bộ đổi điện được cải thiện.

Cụ thể là, theo khía cạnh thứ tám của sáng chế, thiết bị điều khiển bộ biến đổi điện, một khoảng lựa chọn để chọn bộ định thời cần được chấp nhận được mở rộng.

Các mục đích, các dấu hiệu kỹ thuật, các khía cạnh và các ưu điểm của sáng chế sẽ trở nên rõ ràng hơn nếu dựa vào phần mô tả chi tiết sau và các hình vẽ kèm theo.

Mô tả vắn tắt các hình vẽ

Fig.1 là sơ đồ khối minh hoạ cấu hình của thiết bị điều khiển bộ biến đổi điện theo phương án thứ nhất và cấu hình của bộ biến đổi điện cần được điều khiển theo đó;

Fig.2 là sơ đồ khối minh hoạ cấu hình của bộ điều khiển đổi điện theo phương án thứ nhất;

Fig.3 là sơ đồ khối minh hoạ cấu hình của bộ điều khiển biến đổi theo phương án thứ nhất;

Fig.4 là sơ đồ thể hiện mối quan hệ giữa vật tải biến đổi và vật tải đổi điện;

Fig.5 là biểu đồ thời gian thể hiện quá trình vận hành của bộ điều khiển đổi điện và bộ xử lý số học;

Fig.6 là biểu đồ thời gian thể hiện quá trình vận hành của bộ điều khiển biến đổi điện, bộ điều khiển đổi điện và bộ xử lý số học;

Các hình vẽ Fig.7 và Fig.8 là các biểu đồ thời gian thể hiện quá trình vận hành của phương pháp thứ nhất theo phương án thứ nhất;

Fig.9 là lưu đồ thể hiện quá trình vận hành của việc xử lý gián đoạn bậc cao hơn trong phương pháp thứ nhất theo phương án thứ nhất.

Các hình vẽ Fig.10 và Fig.11 là các biểu đồ thời gian thể hiện quá trình vận hành của phương pháp thứ hai theo phương án thứ nhất;

Fig.12 là lưu đồ thể hiện quá trình vận hành của việc xử lý gián đoạn bậc cao hơn trong phương pháp thứ hai theo phương án thứ nhất;

Fig.13 là sơ đồ khối minh hoạ một phần cấu hình của bộ điều khiển đổi điện theo phương án thứ hai

Fig.14 là sơ đồ khối minh hoạ một phần cấu hình của bộ điều khiển biến đổi theo phương án thứ hai;

Fig.15 là biểu đồ thời gian thể hiện quá trình vận hành theo phương án thứ hai;

Fig.16 là biểu đồ thời gian thể hiện quá trình vận hành theo phương án thứ ba;

Fig.17 là sơ đồ khối minh hoạ cấu hình của bộ biến đổi điện được chấp nhận theo phương án thứ tư;

Fig.18 là sơ đồ thể hiện quá trình vận hành của bộ biến đổi điện so với phương án thứ tư;

Fig.19 là sơ đồ thể hiện quá trình vận hành của bộ biến đổi điện theo phương án thứ tư;

Fig.20 là sơ đồ khối minh hoạ cấu hình của bộ biến đổi điện được chấp nhận theo phương án thứ năm;

Fig.21 là sơ đồ mạch thể hiện mạch tương đương của mạch được thể hiện trên Fig.20;

Fig.22 là sơ đồ thể hiện quá trình vận hành của bộ biến đổi điện khi so với phương án thứ năm;

Fig.23 là sơ đồ thể hiện quá trình vận hành của bộ biến đổi điện theo phương án thứ năm; và

Fig.24 là sơ đồ thể hiện cách vận hành theo các lượng trong một ví dụ theo phương án thứ năm.

Mô tả chi tiết sáng chế

<Phương án thứ nhất>

A. Cấu hình

Fig.1 là sơ đồ khối minh hoạ cấu hình của thiết bị điều khiển bộ biến đổi điện 1 theo phương án này và cấu hình của bộ biến đổi điện 2 cần được điều

khiển theo đó.

Bộ biến đổi điện 2 cấp dòng điện xoay chiều đa pha Iv vào tải 3. Bộ biến đổi điện 2 bao gồm bộ biến đổi 21 và bộ đổi điện 22. Bộ biến đổi 21 thực hiện quá trình biến đổi dòng điện xoay chiều/dòng điện một chiều đối với điện áp dòng điện xoay chiều, mà thu được từ nguồn điện xoay chiều 8, và phát ra điện áp một chiều Vdc. Bộ đổi điện 22 thu điện áp một chiều Vdc từ bộ biến đổi 21 và phát ra dòng điện xoay chiều đa pha Iv. Ví dụ, tải 3 là tải cân bằng ba pha, cụ thể hơn là động cơ ba pha và dòng điện xoay chiều đa pha Iv là dòng điện ba pha.

Thiết bị điều khiển bộ biến đổi điện 1 điều khiển bộ biến đổi điện 2. Thiết bị điều khiển bộ biến đổi điện 1 bao gồm: bộ xử lý số học 10; bộ điều khiển biến đổi 11; bộ điều khiển đổi điện 12; và bộ biến đổi AD 13.

Trong bộ điều khiển biến đổi 11, tín hiệu chuyển mạch biến đổi Scnv mà xác định việc chuyển mạch của bộ biến đổi 21 được phát ra. Trong bộ điều khiển đổi điện 12, tín hiệu chuyển mạch đổi điện Sinv mà xác định việc chuyển mạch của bộ đổi điện 22 được phát ra.

Tín hiệu chuyển mạch biến đổi Scnv được xác định trên cơ sở kết quả so sánh, với nhau, trị số ngưỡng biến đổi Ccnv và vật tải biến đổi (không được thể hiện trên Fig.1) trong mỗi giai đoạn thứ nhất lặp lại trong khi có khoảng thời gian thứ nhất Tcnv.

Tín hiệu chuyển mạch đổi điện Sinv được xác định trên cơ sở kết quả so sánh, với nhau, trị số ngưỡng đổi điện (không được thể hiện trên Fig.1) thu được từ dữ liệu thứ nhất Data1 (hoặc dữ liệu thứ hai Data2) và vật tải đổi điện (không được thể hiện trên Fig.1). Vật tải đổi điện được xác định trên cơ sở kết quả cần được so sánh với vật tải biến đổi (không được thể hiện trên Fig.1) trong mỗi giai đoạn thứ hai lặp lại trong khi có khoảng thời gian

thứ hai thu được từ dữ liệu thứ nhất Data1 (hoặc dữ liệu thứ hai Data2).

Bộ biến đổi AD 13 thu điện áp một chiều V_{dc} và dòng điện một chiều I_{dc} từ bộ biến đổi điện 2, dòng điện một chiều I_{dc} chạy giữa bộ đổi điện 22 và bộ biến đổi 21. Bộ biến đổi AD 13 thu tín hiệu mẫu/chờ SH từ bộ điều khiển đổi điện 12. Bộ biến đổi AD 13 thực hiện quá trình biến đổi analog/kỹ thuật số đối với điện áp một chiều V_{dc} và dòng điện một chiều I_{dc} , mà được lấy mẫu/được chờ bởi tín hiệu mẫu/chờ SH và thu được các giá trị số D_{dc} của chúng.

Tín hiệu mẫu/chờ SH được xác định trên cơ sở kết quả so sánh, với nhau, tín hiệu thời gian mẫu (không được thể hiện trên Fig.1) thu được từ dữ liệu thứ nhất Data1 (hoặc dữ liệu thứ hai Data2) và vật tải đổi điện.

Bộ xử lý số học 10 tạo ra dữ liệu thứ nhất Data1 và dữ liệu thứ hai Data2 nhờ việc xử lý số học mà được dựa trên giá trị số D_{dc} và các tham số khác (không được thể hiện trên hình vẽ) cần để điều khiển bộ biến đổi điện 2. Ví dụ, khi tải 3 là động cơ, các giá trị số D_{dc} được dùng để ước tính vị trí cực từ của động cơ. Việc xử lý số học như vậy được bắt đầu nhờ lệnh gián đoạn R1 từ bộ điều khiển biến đổi 11. Dữ liệu thứ nhất Data1 và dữ liệu thứ hai Data2 được cấp cho bộ điều khiển đổi điện 12 ở các thời điểm khác nhau. Việc định thời sẽ được mô tả chi tiết dưới đây; tuy nhiên, việc định thời được xác định khi kết thúc việc xử lý số học nêu trên hoặc nhờ lệnh gián đoạn R2 từ bộ điều khiển đổi điện 12.

Fig.2 là sơ đồ khối minh họa cấu hình của bộ điều khiển đổi điện 12 theo phương án này. Bộ điều khiển đổi điện 12 bao gồm: bộ định thời 121; bộ so sánh 122a, 122b, 122c và 122d; thanh ghi so sánh (được ký hiệu bởi “CompReg” trên hình vẽ) 123a, 123b và 123c; thanh ghi trung gian (được ký hiệu bởi “BuffReg” trên hình vẽ) 124a, 124b và 124c; và bộ tạo ra tín

hiệu chuyển mạch 128. Cấu hình dạng sơ đồ như vậy có thể được thực hiện bởi cấu hình đã biết chung, ví dụ, như thường được gọi là bộ xung định thời đa chức năng. Bộ xung định thời đa chức năng có trong máy vi tính một chip đã biết (ví dụ, xem các Tài liệu phi sáng chế 4 và 5). Cấu hình được thể hiện trên Fig.2 là một sơ đồ và cấu hình phản chiếu việc này thường không được chấp nhận trong bộ xung định thời đa chức năng.

Khoảng thời gian thứ hai T_{inv} , mẫu tín hiệu định thời T_{ad} và trị số ngưỡng đổi điện D_{pwm} lần lượt được nhập vào thanh ghi trung gian 124a, 124b và 124c. Thu được dữ liệu thứ nhất $Data1$ (hoặc dữ liệu thứ hai $Data2$) từ bộ xử lý số học 10.

Nội dung được lưu trữ bởi thanh ghi trung gian 124a, 124b và 124c lần lượt được truyền sang thanh ghi so sánh 123a, 123b và 123c, đồng thời với việc xảy ra lệnh gián đoạn R2. Trên Fig.2, đầu ra của bộ so sánh 122d dùng làm lệnh gián đoạn R2, và ngoài ra, dùng làm lệnh truyền để truyền từ các thanh ghi đếm 124a, 124b và 124c đến các thanh ghi ghi so sánh 123a, 123b và 123c.

Nội dung được lưu trữ trong thanh ghi so sánh 123a, 123b và 123c tất cả so với trị số đếm được phát ra từ bộ định thời 121.

Bộ định thời 121 dùng làm bộ đếm xuôi/ngược. Bộ định thời 121 đến xuôi bởi lệnh gián đoạn R2. Bộ định thời 121 đếm xuôi và trị số đếm đạt được khoảng thời gian thứ hai T_{inv} được lưu trữ trong thanh ghi so sánh 123a, đầu ra của bộ so sánh 122a được kích hoạt và khiến cho bộ định thời 121 đếm ngược. Bộ định thời 121 đếm ngược và trị số đếm đạt đến trị số tối thiểu định trước (ví dụ, 0), lệnh gián đoạn R2 xuất hiện theo chức năng của bộ so sánh 122d.

Bằng cách thiết lập một cách thích hợp thời gian mà ở đó trị số đếm của

bộ định thời 121 được cập nhật, trị số đếm có liên quan trở thành vật tải đổi điện K2 thể hiện sóng hình tam giác đơn trong khoảng thời gian thứ hai T_{inv} . Tiếp theo, lệnh gián đoạn R2 xuất hiện ở trị số tối thiểu định trước (ví dụ, 0). Tức là, lệnh gián đoạn R2 xuất hiện ở phần lõm sóng của sóng hình tam giác trong vật tải đổi điện K2. Do đó, sau đó, lệnh gián đoạn R2 đôi khi được dùng để chỉ "gián đoạn phần lõm sóng".

Cần phải lưu ý rằng việc định thời mà ở đó đầu ra của bộ so sánh 122a được kích hoạt tương ứng với vị trí của ngọn sóng hình tam giác trong vật tải đổi điện K2. Do đó, khi việc kích hoạt đầu ra của bộ so sánh 122a được chấp nhận như lệnh gián đoạn, lệnh gián đoạn đôi khi được dùng để chỉ "gián đoạn đỉnh sóng".

Vật tải đổi điện K2 được so sánh với tín hiệu định thời mẫu Tad, mà được lưu trữ trong thanh ghi so sánh 123b, trong bộ so sánh 122b. Cần phải lưu ý rằng, khi tải 3 là tải ba pha, bộ đổi điện 22 cũng phát ra dòng điện xoay chiều ba pha theo sự điều biến chiều rộng xung (PWM), và do đó, có hai loại tín hiệu định thời mẫu Tad. Do đó, cũng có hai loại đầu ra của bộ so sánh 122b, và tín hiệu mẫu/chờ SH được kích hoạt hai lần trong giai đoạn có khoảng thời gian thứ hai T_{inv} .

Vật tải đổi điện K2 được so sánh với trị số ngưỡng đổi điện D_{pwm} , mà được lưu trữ trong thanh ghi so sánh 123c, trong bộ so sánh 122c. Cần phải lưu ý rằng, khi bộ đổi điện 22 phát ra dòng điện xoay chiều ba pha, có ba hoặc hai loại trị số ngưỡng đổi điện D_{pwm} . Do đó, cũng có ba hoặc hai loại đầu ra của bộ so sánh 122c.

Bộ tạo ra tín hiệu chuyển mạch 128 thu đầu ra của bộ so sánh 122c, và tạo ra tín hiệu chuyển mạch đổi điện S_{inv} . Ví dụ, khi bộ đổi điện 22 phát ra dòng điện xoay chiều ba pha, có sáu loại tín hiệu chuyển mạch đổi điện

Sinv. Kỹ thuật để tạo ra tín hiệu chuyển mạch đổi điện Sinv từ đầu ra của bộ so sánh 122c là đã biết, ví dụ, trong các Tài liệu sáng chế 2 và 3, và do đó, phần mô tả chi tiết của nó được bỏ qua trong bản mô tả này.

Fig.3 là sơ đồ khối minh họa cấu hình của bộ điều khiển biến đổi 11 theo phương án này. Bộ điều khiển biến đổi 11 bao gồm: bộ định thời 111; bộ so sánh 112a và 112c; thanh ghi so sánh (được ký hiệu bởi “CompReg” trên hình vẽ) 113a và 113c; thanh ghi trung gian (được ký hiệu bởi “BuffReg” trên hình vẽ) 114a và 114c; và bộ tạo ra tín hiệu chuyển mạch 118. Cấu hình dạng sơ đồ như vậy có thể được thực hiện bởi bộ định thời PWM đa năng và theo cách tương tự với bộ điều khiển đổi điện 12, là cấu hình đã biết có trong máy vi tính một chip. Cấu hình được thể hiện trên Fig.3 là cấu hình dạng sơ đồ và cấu hình phản ánh việc này thường không được chấp nhận trong bộ định thời PWM đa năng.

Khoảng thời gian thứ nhất T_{cnv} và trị số ngưỡng biến đổi C_{cnv} được đưa ra từ bộ xử lý số học 10 lần lượt đến thanh ghi trung gian 114a và 114c.

Nội dung được lưu trữ trong thanh ghi trung gian 114a và 114c lần lượt được cấp cho thanh ghi so sánh 113a và 113c, đồng thời với sự xuất hiện của lệnh gián đoạn R1. Trong bản mô tả này, sự kích hoạt đầu ra của bộ so sánh 112a dùng làm sự xuất hiện của lệnh gián đoạn R1.

Nội dung được lưu trữ trong cả thanh ghi so sánh 113a và 113c so với trị số đếm được phát ra từ bộ định thời 111.

Bộ định thời 111 dùng làm bộ đếm xuôi. Bộ định thời 111 đếm xuôi sau khi thiết lập lại bằng việc kích hoạt đầu ra của bộ so sánh 112a. Bộ định thời 111 đếm xuôi và trị số đếm đạt đến khoảng thời gian thứ nhất T_{cnv} được lưu trữ trong thanh ghi so sánh 113a, đầu ra của bộ so sánh 112a được kích hoạt và lệnh gián đoạn R1 xuất hiện.

Bằng cách thiết lập một cách thích hợp việc định thời mà ở đó trị số đếm của bộ định thời 111 được cập nhật, trị số đếm trở nên vật tải biến đổi K1 thể hiện sóng hình răng cưa trong khoảng thời gian thứ nhất T_{cnv} . Tiếp theo, lệnh gián đoạn R1 xuất hiện khi rơi vật tải biến đổi K1.

Fig.4 là sơ đồ thể hiện mối quan hệ giữa vật tải biến đổi K1 và vật tải đổi điện K2, trong đó trục hoành thể hiện thời gian. Bộ định thời 111 và 121 được truyền động đồng bộ với nhau và trong bản mô tả này, được minh họa là cả vật tải biến đổi K1 và vật tải đổi điện K2 có trị số 0 tại thời điểm t_{10} và cả hai được gia tăng ngay sau đó. Khi vật tải biến đổi K1 đạt đến trị số T_{cnv} , vật tải biến đổi K1 rơi như được nêu trên đây. Trong bản mô tả này, thời gian rơi t_{30} được chấp nhận và có thể hiểu được rằng ở thời gian t_{30} mà vật tải biến đổi K1 có trị số T_{cnv} và do đó, thời gian t_{30} được thiết lập là: $t_{30} = t_{10} + T_{cnv}$. Tức là, độ nghiêng (tốc độ thay đổi về trị số đếm tương đối với thời gian) của vật tải biến đổi K1 được thiết lập đến 1. Như được mô tả trên đây, theo phương án này, vật tải biến đổi K1 thể hiện sóng hình răng cưa duy nhất trong giai đoạn thứ nhất P lặp lại trong khi có khoảng thời gian thứ nhất T_{cnv} .

Khi vật tải đổi điện K2 đạt đến trị số thứ nhất T_{inv1} , vật tải đổi điện K2 đếm ngược như được nêu trên đây. Tiếp theo, vật tải đổi điện K2 đạt đến trị số 0 tại thời gian t_{20} . Trong bản mô tả này, thời gian t_{20} là điểm thời gian khi vật tải biến đổi K1 có trị số ngưỡng biến đổi C_{cnv} , và độ nghiêng của vật tải biến đổi K1 được thiết lập đến 1 như được nêu trên đây, và do đó, thời gian t_{20} được thiết lập là $t_{20} = t_{10} + C_{cnv}$. Việc này được thực hiện, ví dụ, bằng cách thiết lập $T_{inv1} = C_{cnv}$, và bằng cách thiết lập trị số tuyệt đối về độ nghiêng của vật tải đổi điện K2 đến 2.

Sau đó, vật tải đổi điện K2 đếm xuôi một lần nữa và khi vật tải đổi điện

K2 đạt đến trị số thứ hai T_{inv2} , vật tải đổi điện K2 đếm ngược như được nêu trên đây. Tiếp theo, vật tải đổi điện K2 đạt đến trị số 0 tại thời gian t_{30} . Trong bản mô tả này, $t_{30} = t_{20} + T_{inv2}$ được thiết lập. Việc này được thực hiện bằng cách thiết lập $T_{inv2} = T_{cnv} - T_{inv1}$, và bằng cách thiết lập trị số tuyệt đối về độ nghiêng của vật tải đổi điện K2 đến 2.

Như được nêu trên đây, theo phương án này, trong mỗi cặp giai đoạn thứ hai Q1 và Q2, mà lặp lại trong khi có khoảng thời gian thứ hai T_{inv1} và T_{inv2} theo cách đồng bộ với vật tải biến đổi K1, vật tải đổi điện K2 thể hiện sóng hình tam giác đơn mà trong đó trị số tuyệt đối về độ nghiêng bằng nhau (2 trong ví dụ nêu trên). Tiếp theo, tổng khoảng thời gian thứ hai T_{inv1} và T_{inv2} bằng khoảng thời gian thứ nhất T_{cnv} . Nói cách khác, một cặp giai đoạn thứ hai Q1 và Q2 phân chia giai đoạn thứ nhất P thành hai trong thứ tự này.

Tiếp theo, lệnh gián đoạn R2 xuất hiện ở phần lõm sóng của sóng hình tam giác trong vật tải đổi điện K2, và do đó, dẫn đến xuất hiện ở các điểm biên thời gian giữa các giai đoạn thứ hai Q1 và Q2 (các điểm này được minh hoạ bởi thời gian t_{10} , t_{20} và t_{30} trên Fig.4).

Cần phải lưu ý rằng, trong phần mô tả sau, trong một số trường hợp, điểm biên thời gian giữa giai đoạn thứ hai Q1 và Q2 mà chia cùng một giai đoạn thứ nhất P thành hai (điểm này được minh hoạ bởi thời gian t_{20} trên Fig.4) đặc biệt là được dùng để chỉ thời điểm điều hợp, và được khác biệt với điểm biên thời gian giữa các giai đoạn thứ hai Q1 và Q2 mà thuộc giai đoạn thứ nhất P khác nhau (điểm này được minh hoạ bởi mỗi thời gian t_{10} và t_{30} trên Fig.4).

Cách thể hiện sau có thể thu được bằng cách sử dụng thời điểm điều hợp này. Trị số thứ nhất T_{inv1} thể hiện khoảng thời gian từ điểm bắt đầu thời

gian của giai đoạn thứ nhất P đến thời điểm điều hợp mà ở đó vật tải biến đổi K1 có trị số ngưỡng biến đổi C_{cnv} . Dữ liệu thứ nhất Data1 tương ứng với giai đoạn thứ hai Q1 có trị số thứ nhất T_{inv1} là khoảng thời gian thứ hai, và bao gồm trị số ngưỡng biến đổi D_{wm1} được xem xét trong giai đoạn thứ hai Q1. Trị số thứ hai T_{inv2} thể hiện khoảng thời gian tính từ thời điểm điều hợp đến điểm kết thúc thời gian của giai đoạn thứ nhất P. Dữ liệu thứ hai Data2 tương ứng với giai đoạn thứ hai Q2 có trị số thứ hai T_{inv2} là khoảng thời gian thứ hai, và bao gồm trị số ngưỡng biến đổi D_{wm2} được xem xét trong giai đoạn thứ hai Q2. Tín hiệu định thời mẫu Tad có trong dữ liệu thứ nhất Data1 nếu giai đoạn thứ hai Q1 dài hơn so với giai đoạn thứ hai Q2, và có trong dữ liệu thứ hai Data2 nếu giai đoạn thứ hai Q2 dài hơn so với giai đoạn thứ hai Q1. Sau đây, giả định rằng trị số thứ hai T_{inv2} lớn hơn so với trị số thứ nhất T_{inv1} , và dữ liệu thứ hai Data2 cũng bao gồm tín hiệu định thời mẫu Tad.

Trên Fig.4, trong giai đoạn thứ hai Q1 mà trong đó vật tải đổi điện K2 có khoảng thời gian thứ hai T_{inv1} và thể hiện sóng hình tam giác, trị số ngưỡng đổi điện D_{pwm1} cần được so sánh với vật tải đổi điện K2 (trong bản mô tả này, trường hợp mà trong đó ba loại trị số ngưỡng đổi điện D_{pwm1} có mặt được thể hiện giả định điều biến ba pha) cũng được ghi. Theo cách tương tự, trong giai đoạn thứ hai Q2 mà trong đó vật tải đổi điện K2 có khoảng thời gian thứ hai T_{inv2} và thể hiện sóng hình tam giác, trị số ngưỡng đổi điện D_{pwm2} cần so với vật tải đổi điện K2 (trong bản mô tả này, trường hợp mà trong đó ba loại trị số ngưỡng đổi điện D_{pwm2} có mặt được thể hiện giả định điều biến ba pha) và hai loại tín hiệu định thời mẫu Tad cũng được ghi.

B. Giải thích quá trình vận hành.

(b-1) Phần giải thích quá trình vận hành đối với bộ điều khiển đổi điện 12.

Sau đây, phần mô tả sẽ được thực hiện để nhập dữ liệu định thời đầu vào sau vào bộ điều khiển đổi điện 12, dữ liệu là khoảng thời gian thứ hai T_{inv} để xác định dạng sóng của vật tải đổi điện K2 như được thể hiện trên Fig.4, và trị số ngưỡng đổi điện D_{pwm} và tín hiệu định thời mẫu T_{ad} , mà cần so sánh với vật tải đổi điện K2, tức là, dữ liệu thứ nhất Data1 và dữ liệu thứ hai Data2.

Thứ nhất, để mô tả vắn tắt quá trình vận hành của bộ điều khiển đổi điện 12, giả định rằng bộ biến đổi 21 chỉ là nguồn điện áp một chiều mà tạo ra điện áp một chiều V_{dc} không đổi và cấp điện áp một chiều V_{dc} . Fig.5 là biểu đồ thời gian thể hiện quá trình vận hành của bộ điều khiển đổi điện 12 và bộ xử lý số học 10.

Fig.5 thể hiện thời gian trôi qua theo hướng bên phải, thể hiện chung thanh ghi so sánh 123a, 123b và 123c là thanh ghi so sánh CompReg, thể hiện chung thanh ghi trung gian 124a, 124b và 124c là thanh ghi trung gian BuffReg, thể hiện vật tải đổi điện K2, và khoảng thời gian thứ hai T_{inv} , trị số ngưỡng đổi điện D_{pwm} , và tín hiệu định thời mẫu T_{ad} , mà so với vật tải đổi điện K2, vector điện áp, mà thể hiện trạng thái biến đổi của bộ đổi điện 22, điện áp một chiều V_{dc} và dòng điện một chiều I_{dc} , và cũng thể hiện giá trị số D_{dc} và lệnh gián đoạn R2, mà được nhập vào bộ xử lý số học 10.

Trong bản mô tả này, chính các quá trình vận hành của bộ đổi điện 22, mà dựa vào vector điện áp là đã biết, ví dụ, từ Tài liệu sáng chế 3 và tương tự, do đó, phần mô tả chi tiết của nó sẽ được bỏ qua.

Hơn nữa, trong bản mô tả này, giả định rằng bộ biến đổi 21 chỉ là nguồn điện một chiều và do đó, quá trình vận hành theo chu kỳ của nó không được xem xét. Trong bản mô tả này, khoảng thời gian thứ hai T_{inv} , trị số ngưỡng

đổi điện D_{pwm} , và tín hiệu định thời mẫu T_{ad} , mà được cấp cho bộ điều khiển đổi điện 12, được gom là dữ liệu $Data0$. Nói cách khác, dữ liệu $Data0$ có thể được xem xét là dữ liệu thứ nhất $Data1$ trên Fig.1.

Khoảng thời gian giữa các phần lổm sóng mà liền kề với nhau trong vật tải đổi điện $K2$, được hiểu là một chu kỳ $Q0$ và được mô tả. Tiếp theo, các lượng trong chu kỳ k -th (k là số nguyên), ký hiệu $[k]$ được kèm theo ký hiệu thể hiện mỗi lượng trong số các lượng này.

Bằng việc so sánh giữa vật tải đổi điện $K2$ và một cặp tín hiệu định thời mẫu $T_{ad}[n-1]$ của chu kỳ $(n-1)$ -th $Q0[n-1]$ (n là số nguyên), tín hiệu mẫu/chờ SH được kích hoạt hai lần. Theo cách này, trị số đo của dòng điện một chiều I_{dc} ở chu kỳ $(n-1)$ -th $Q0[n-1]$ thu được là dòng điện một chiều $I_{dc1}[n-1]$ và $I_{dc2}[n-1]$.

Trong bản mô tả này, việc đo dòng điện một chiều $I_{dc1}[n-1]$ và $I_{dc2}[n-1]$ được thực hiện khi bộ đổi điện 22 ở trạng thái biến đổi lần lượt được thể hiện bởi các vectơ điện áp $V6$ và $V4$.

Ở điểm bắt đầu thời gian của chu kỳ n -th $Q0[n]$, lệnh gián đoạn $R2[n]$ xảy ra và bộ xử lý số học 10 bắt đầu việc xử lý số học bằng cách sử dụng dòng điện một chiều $I_{dc1}[n-1]$ và $I_{dc2}[n-1]$ và điện áp một chiều $V_{dc}[n-1]$ (được minh họa là giá trị số $D_{dc}[n-1]$). Việc xử lý số học như vậy được thực hiện như việc xử lý gián đoạn đối với quy trình khác (đường chính) được thực hiện bởi bộ xử lý số học 10.

Trên các hình vẽ, phần kẻ sọc hướng lên trên phải được thể hiện ở đầu bên trái của "việc xử lý số học" thể hiện thời gian cần để đạt được giá trị số D_{dc} (việc này cũng áp dụng cho các hình vẽ sau).

Nhờ việc xử lý số học, khoảng thời gian thứ hai $T_{inv}[n+1]$, trị số ngưỡng đổi điện $D_{pwm}[n+1]$ và tín hiệu định thời mẫu $T_{ad}[n+1]$ thu được

là dữ liệu $Data0[n + 1]$. Việc xử lý số học để thu được dữ liệu $Data0$ từ giá trị số Ddc được thực hiện bằng công nghệ điều khiển động cơ đã biết và do đó, phần mô tả chi tiết của nó sẽ được bỏ qua.

Dữ liệu $Data0[n+1]$ thu được trong việc xử lý số học trong chu kỳ n -th $Q0[n]$ được ghi cho thanh ghi trung gian $BuffReg$, và hơn nữa, được cấp cho thanh ghi so sánh $CompReg$ tại thời điểm khi lệnh gián đoạn $R2[n+1]$ tiếp theo xảy ra (cũng dùng để chỉ đầu ra của bộ so sánh 122d trên Fig.2).

Cần phải lưu ý rằng, trên hình vẽ, phần gạch chéo hướng lên bên trái được thể hiện ở đầu bên phải của "việc xử lý số học" thể hiện thời gian cần để ghi cho thanh ghi trung gian $BuffReg$ kèm theo việc xử lý số học (việc này cũng áp dụng cho các hình vẽ sau).

Chu kỳ trước được xem xét. Khoảng thời gian thứ hai $Tinv[n]$, trị số ngưỡng đổi điện $Dpwm[n]$ và tín hiệu định thời mẫu $Tad[n]$, với vật tải đổi điện $K2$ mà sẽ được so sánh trong chu kỳ n -th $Q0[n]$, đã được chuyển cho thanh ghi so sánh $CompReg$ tại thời điểm khi lệnh gián đoạn $R2[n]$ xảy ra. Theo cách này, việc so sánh giữa vật tải đổi điện $K2$ và dữ liệu $Data0[n]$ trong chu kỳ n -th $Q0[n]$ được thực hiện một cách thích hợp.

Theo cách tương tự, dữ liệu $Data0[n+1]$ thu được trong việc xử lý số học trong chu kỳ n -th $Q0[n]$ được truyền cho thanh ghi so sánh $CompReg$ để bắt giữ theo thời gian so sánh đối với vật tải đổi điện $K2$ trong chu kỳ $(n+1)$ -th $Q0(n+1)$.

(b-2) Phân giải thích quá trình vận hành của ví dụ so sánh.

Tiếp theo, để so sánh với kỹ thuật được mô tả trên Fig.4, phần mô tả sẽ được thực hiện để điều khiển, như trong Tài liệu sáng chế 3 và Tài liệu phi sáng chế 3, để chia một chu kỳ để điều khiển bộ biến đổi 21 thành hai phần tại thời gian khi bộ biến đổi 21 đảo mạch và để điều khiển bộ đổi điện 22

trong mỗi phần này (sau đây, việc điều khiển này sẽ được dùng để chỉ “điều khiển hai phần”).

Fig.6 là biểu đồ thời gian thể hiện quá trình vận hành của bộ điều khiển biến đổi 11, bộ điều khiển đổi điện 12 và bộ xử lý số học 10 khi vật tải đổi điện K2 sử dụng sóng hình tam giác có cùng một chu kỳ như chu kỳ của vật tải biến đổi K1. Cần phải lưu ý rằng, trong bản mô tả này, lệnh gián đoạn R1[k] từ bộ điều khiển biến đổi 11 và lệnh gián đoạn R2[k] từ bộ điều khiển đổi điện 12 xuất hiện tại cùng một thời điểm.

Vật tải đổi điện K2 và vật tải biến đổi K1 bắt đầu đồng bộ với nhau và trị số ngưỡng đổi điện $D_{pwm}[k]$ được chia thành hai nhóm ở thời gian khi vật tải biến đổi K1 có trị số ngưỡng biến đổi C_{cnv} , do đó các tín hiệu PWM của bộ đổi điện 22 và bộ biến đổi 21 đồng bộ với nhau.

Như được mô tả trên đây, việc điều khiển hai phần có thể được thực hiện bằng máy vi tính một chip thay thế cho việc sử dụng mạch tích hợp logic như CPLD và FPGA.

Thực vậy, Tài liệu phi sáng chế 3 có khả năng áp dụng máy vi tính cho bộ biến đổi điện trực tiếp và mô tả rằng cấu hình sẵn có bằng việc so sánh sóng mong nguồn điện áp chính pha và logic đa năng. Theo chế độ này, để thực hiện việc điều biến PWM bởi một sóng mang hình tam giác, hai bộ định thời PWM bù được áp dụng và bộ định thời đa năng được sử dụng cho ba pha, tiếp theo quá trình đồng bộ hoá điều biến PWM có thể được thực hiện bằng cách bắt đầu các sóng mang trong quá trình đồng bộ hoá với nhau.

Tuy nhiên, khi dòng điện xoay chiều đa pha Iv có ba pha, cần phải có bốn đến sáu trị số ngưỡng đổi điện $D_{pwm}[k]$. Tín hiệu chuyển mạch đổi điện S_{inv} bao gồm một cặp công tắc, trong đó bộ đổi điện 22 vận hành theo

cách bổ sung, theo số lượng pha. Do đó, để thu được tín hiệu chuyển mạch đổi điện S_{inv} , cần phải có bộ điều biến PWM bù đáp ứng với số lượng pha (ví dụ, ba pha).

Mặt khác, trong bộ định thời xung đa chức năng, mỗi bộ trong số các bộ này có khả năng làm bộ điều biến PWM bù thực hiện việc so sánh giữa đến ba trị số ngưỡng và dạng sóng mang. Do đó, khi việc điều khiển hai phần được thực hiện, hai bộ chỉ được chiếm giữ bằng cách điều khiển bộ đổi điện 22.

Nói chung, liên quan đến bộ xung định thời đa chức năng trong máy vi tính một chip được chọn cho người tiêu dùng sử dụng, chủ yếu là, hai bộ như vậy được bố trí. Do đó, khi có các tổ hợp của bộ đổi điện 22 và tải 3, ví dụ, khi động cơ máy nén và động cơ quạt được điều khiển PWM một cách riêng rẽ như tải 3 trong máy điều hoà không khí, tiếp theo có khả năng là cả hai động cơ này không thể được điều khiển bởi cùng một máy vi tính một chip.

Do đó, phần mô tả sẽ được đưa ra dưới đây về quá trình vận hành mà trong đó việc điều khiển hai phần được thực hiện đối với bộ đổi điện 22 chỉ bằng một bộ điều biến PWM bù theo phương án này. Cụ thể là, việc điều khiển được giải thích trên Fig.4 sẽ được mô tả chi tiết hơn.

(b-3) Phương pháp thứ nhất của phương án này

Fig.7 và Fig.8 là các biểu đồ thời gian thể hiện quá trình vận hành của phương pháp thứ nhất của phương án này. Trong cả hai hình vẽ, vật tải biến đổi K1 và vật tải đổi điện K2, mà được thể hiện trên Fig.4, được thể hiện. Tuy nhiên, theo cách tương tự với (b-1) được mô tả ở trên, ký hiệu [k] được kèm theo ký hiệu thể hiện các lượng trong chu kỳ k-th.

Tuy nhiên, để ngăn ngừa sự phức tạp, việc kèm theo ký hiệu [k] được bỏ

qua đối với lệnh gián đoạn R2. Như được hiểu dựa vào Fig.2 và Fig.4, việc định thời mà ở đó lệnh gián đoạn R2 xuất hiện theo phương án này là việc định thời mà ở đó bộ định thời 121 đếm xuôi (gián đoạn phần lốm sóng), mà là điểm biên thời gian được mô tả có dựa vào Fig.4.

Cần phải lưu ý rằng, trong số các điểm biên thời gian, thời điểm điều hợp tương ứng với thời gian t_{20} trên Fig.4, tức là, điểm biên thời gian mà ở đó vật tải biến đổi K1 có trị số ngưỡng biến đổi C_{cnv} được kèm theo với ký hiệu $J[k]$.

Fig.7 minh họa trường hợp mà ở đó việc xử lý số học để thu được dữ liệu thứ nhất Data1 và dữ liệu thứ hai Data2 dài hơn khoảng thời gian của giai đoạn thứ hai Q1 (mà tương ứng với khoảng thời gian thứ hai T_{inv1} trên Fig.4), và Fig.8 minh họa trường hợp mà trong đó việc xử lý số học ngắn hơn so với khoảng thời gian của giai đoạn thứ hai Q1. Tuy nhiên, sẽ không rõ ràng trước xem liệu thời gian cần để xử lý số học có dài hơn hoặc ngắn hơn so với giai đoạn thứ hai Q1 hay không.

Do đó, để giải quyết cả hai trường hợp, quyền ưu tiên được đưa ra để xử lý gián đoạn lý dựa vào các lệnh gián đoạn R1 và R2. Cụ thể là, việc xử lý gián đoạn bởi lệnh gián đoạn R1 được xem là quá trình xử lý cao hơn (dưới đây, được dùng để chỉ "xử lý gián đoạn cao hơn") và việc xử lý gián đoạn bởi lệnh gián đoạn R2 được xem là quá trình xử lý gián đoạn thấp hơn (dưới đây, được dùng để chỉ "xử lý gián đoạn thấp hơn").

Fig.9 là lưu đồ thể hiện quá trình vận hành xử lý gián đoạn cao hơn trong phương pháp thứ nhất và các quá trình vận hành như vậy được thực hiện bởi bộ xử lý số học 10. Cần phải lưu ý rằng quá trình xử lý gián đoạn thấp là việc ghi dữ liệu thứ nhất Data1 vào trong thanh ghi trung gian BuffReg.

Trong thực tế, việc xử lý gián đoạn thấp được phụ thuộc vào việc xử lý gián đoạn cao hơn (việc xử lý gián đoạn cao hơn được xử lý theo cách ưu tiên so với xử lý gián đoạn thấp) dựa vào quyền ưu tiên được thiết lập trong phần mềm. Hơn nữa, chính việc xử lý gián đoạn thấp được thực hiện bởi phần cứng trong máy vi tính một chip.

Vật tải biến đổi K1 và vật tải đổi điện K2 đồng bộ với nhau và lệnh gián đoạn R2 cũng xuất hiện (tương ứng với thời gian t10 trên Fig.4) đồng thời với việc định thời khi lệnh gián đoạn R1[k] xuất hiện và việc truyền từ thanh ghi trung gian BuffReg đến thanh ghi so sánh CompReg cũng được thực hiện. Ví dụ, dữ liệu thứ nhất Data1[n] và Data1[n+1] được truyền từ thanh ghi trung gian BuffReg đến thanh ghi so sánh CompReg khi định thời mà ở đó lệnh gián đoạn R1[n] và R1[n+1] lần lượt xuất hiện trên Fig.7 và Fig.8.

Trên Fig.9, khi việc xử lý gián đoạn bởi lệnh gián đoạn R1[k] (việc xử lý này là việc xử lý gián đoạn cao hơn) được bắt đầu, ở bước S101, lệnh gián đoạn R2 mà xảy ra đồng thời với lệnh gián đoạn R1[k] được giải phóng. Thời điểm xảy ra lệnh gián đoạn R1[k] là điểm bắt đầu của giai đoạn thứ nhất P[k] của chu kỳ k-th và cả điểm kết thúc của giai đoạn thứ nhất P[k-1] của chu kỳ (k-1)-th.

Trong bản mô tả này, việc giải phóng lệnh gián đoạn R2 có nghĩa là lệnh gián đoạn R2 được xem xét khi không có mặt. Vì lý do này, không cần phải giải phóng như vậy, việc ghi cho thanh ghi trung gian BuffReg được thực hiện lại một lần nữa bằng việc xử lý gián đoạn thấp sau khi xử lý gián đoạn cao bao gồm việc ghi cho thanh ghi trung gian BuffReg kết thúc. Điểm này cũng sẽ được nêu dưới đây.

Sau đây, theo bước S102, dữ liệu thứ hai Data2[k] được ghi vào trong

thanh ghi trung gian BuffReg. Tuy nhiên, việc ghi này là việc xử lý được thực hiện khi nhận được lệnh gián đoạn R1[k], và việc ghi này được thực hiện sau khi truyền dữ liệu thứ nhất Data1[k] từ thanh ghi trung gian BuffReg đến thanh ghi so sánh CompReg (việc truyền này được thực hiện đồng thời khi xuất hiện lệnh gián đoạn R1[k]). Tức là, dữ liệu thứ hai Data2[k] được ghi vào trong thanh ghi trung gian BuffReg sau khi dữ liệu thứ nhất Data1[k] được lưu trữ trong đó được cấp cho thanh ghi so sánh CompReg.

Tiếp theo, ở bước S103, bằng cách sử dụng giá trị số Ddc thu được từ bộ biến đổi AD 13, việc xử lý số học dựa vào điện áp một chiều Vdc và dòng điện một chiều Idc1 và Idc2 được thực hiện và dữ liệu thứ nhất Data1[k+1] và dữ liệu thứ hai Data2[k+1] được tính toán. Giai đoạn thứ nhất P[k+1] có mặt ngay sau giai đoạn thứ nhất P[k]. Việc xử lý số học được mô tả trên đây được thực hiện trong mỗi giai đoạn thứ nhất và dữ liệu thứ nhất Data1[k+1] và dữ liệu thứ hai Data2[k+1], mà thu được trong giai đoạn thứ nhất P[k], được chấp nhận để điều khiển bộ đổi điện 22 trong một cặp giai đoạn thứ hai Q1[k+1] và Q2[k+1] trong giai đoạn thứ nhất P[k+1].

Ví dụ so sánh nêu trên tương ứng với việc điều khiển PWM được thực hiện đối với bộ đổi điện 22 dựa vào cả dữ liệu thứ nhất Data1[k+1] và dữ liệu thứ hai Data2[k+1], và cần phải có hai bộ vận hành PWM bù.

Do đó, theo phương án này, việc định thời ghi dữ liệu thứ nhất Data1[k+1] vào trong thanh ghi trung gian BuffReg và việc định thời ghi dữ liệu thứ hai Data2[k+1] trong đó được dịch chuyển với nhau, do đó các đoạn thời gian mà ở đó được truyền từ thanh ghi trung gian BuffReg đến thanh ghi so sánh CompReg được dịch chuyển với nhau và do đó, số lượng bộ vận hành PWM bù cần phải có cho bộ điều khiển đổi điện 12 được ghi là

một. Cụ thể là, dữ liệu thứ hai $Data2[k+1]$ theo kết quả xử lý số học được mô tả trên đây được giữ như khả năng biến đổi theo các bước S104 và S105.

Tiếp theo, ở bước S106, xác định được xem liệu có lệnh gián đoạn R2 mới trong quá trình xử lý số học để thu được dữ liệu thứ nhất $Data1[k+1]$ và dữ liệu thứ hai $Data2[k+1]$ hay không. Trong bản mô tả này, “mới” có nghĩa là "xuất hiện sau khi lệnh gián đoạn R2" được giải phóng ở bước S101.

Có thể thực hiện việc xác định như vậy bằng cách chấp nhận cờ gián đoạn đối với lệnh gián đoạn R2. Cờ gián đoạn như vậy được thiết lập theo sự xuất hiện của lệnh gián đoạn R2, và được thiết lập lại khi kết thúc việc xử lý gián đoạn thấp hoặc quá trình vận hành bằng cách xử lý gián đoạn cao hơn.

Cụ thể là, việc giải phóng lệnh gián đoạn R2 ở bước S101 có thể được thực hiện bằng cách thiết lập lại cờ gián đoạn được thiết lập theo sự xuất hiện của lệnh gián đoạn R2. Do đó, kết quả xác định ở bước S106 lần lượt trở về kết quả xác định dương hoặc kết quả xác định âm phụ thuộc vào xem liệu cờ gián đoạn được thiết lập hoặc được thiết lập lại hay không.

Trường hợp mà trong đó kết quả xác định ở bước S106 là âm, tức là, trường hợp mà trong đó lệnh gián đoạn R2 không có mặt sau khi lệnh gián đoạn R2 xuất hiện đồng thời với lệnh gián đoạn R1[k] trong quá trình xử lý số học trong giai đoạn thứ nhất P[k] là trường hợp mà trong đó việc xử lý số học ngắn hơn khoảng thời gian của giai đoạn thứ hai Q1[k]. Do đó, Fig.8 tương ứng với trường hợp này.

Trong trường hợp này, việc xử lý gián đoạn cao hơn kết thúc và việc xử lý bộ xử lý số học 10 trở về đường chính.

Khi lệnh gián đoạn R2 xuất hiện lần đầu tiên sau khi việc xử lý số học trong giai đoạn thứ nhất P[k] kết thúc, như việc xử lý gián đoạn thấp, việc ghi dữ liệu thứ nhất Data1 [k+1] cho thanh ghi trung gian BuffReg được thực hiện. Tuy nhiên, do Fig.9 là lưu đồ để xử lý gián đoạn cao hơn, việc xử lý gián đoạn thấp như vậy không được thể hiện.

Cần phải có thời gian để ghi dữ liệu thứ nhất Data1[k+1] vào trong thanh ghi trung gian BuffReg bằng cách xử lý gián đoạn thấp này. Cụ thể là, cần phải có thời gian để phân nhánh từ đường chính để xử lý gián đoạn thấp và ghi cho thanh ghi trung gian BuffReg. Do đó, việc ghi bị trễ từ khi xuất hiện lệnh gián đoạn R2. Trên Fig.8, việc xử lý gián đoạn thấp được thể hiện ở phía trên của hình vẽ khác với việc xử lý được thực hiện ở bước S102. Trong bản mô tả này, các mũi tên về phía bên phải thể hiện rằng việc ghi dữ liệu thứ nhất Data1[k+1] vào trong thanh ghi trung gian BuffReg được thực hiện muộn hơn so với sự xuất hiện của lệnh gián đoạn R2.

Do đó, sau khi truyền dữ liệu thứ hai Data2[k] từ thanh ghi trung gian BuffReg đến thanh ghi so sánh CompReg, việc truyền được thực hiện đồng thời như sự xuất hiện lệnh gián đoạn R2, việc ghi dữ liệu thứ nhất Data1[k+1] cho thanh ghi trung gian BuffReg được thực hiện. Theo cách này, sau khi dữ liệu thứ hai Data2[k] cần được so sánh với vật tải đối diện K2 trong giai đoạn thứ hai Q2[k] được lưu trữ trong thanh ghi so sánh CompReg, dữ liệu thứ nhất Data1[k+1] cần được so sánh với vật tải đối diện K2 trong giai đoạn thứ hai Q1[k+1] được lưu trữ trong thanh ghi trung gian BuffReg.

Do đó, thậm chí nếu việc xử lý số học theo việc xử lý cao kết thúc sớm hơn khi bắt đầu giai đoạn thứ hai Q2[k], có thể tránh được trường hợp như vậy trong đó dữ liệu thứ nhất Data1[k+1] là kết quả của quá trình vận hành

số học so với vật tải đổi điện K2 trong giai đoạn thứ hai Q2[k].

Trường hợp mà trong đó kết quả xác định ở bước S106 là dương, là trường hợp mà trong đó việc xử lý số học xảy ra dài hơn so với khoảng thời gian của giai đoạn thứ hai Q1[k]. Do đó, Fig.7 tương ứng với trường hợp này. Trong trường hợp này, lệnh gián đoạn R2 được giải phóng (cờ gián đoạn được thiết lập lại) theo bước S107, và dữ liệu thứ nhất Data1[k+1] được ghi vào trong thanh ghi trung gian BuffReg trong khi xử lý gián đoạn cao hơn theo bước S108.

Lý do để thực hiện bước S107 sẽ được mô tả. Nếu lệnh gián đoạn R2 không được giải phóng theo bước S107, thì vẫn cần phải xử lý gián đoạn thấp mà ghi dữ liệu thứ nhất Data1[k+1] vào trong thanh ghi trung gian BuffReg, mà được thực hiện dựa vào lệnh gián đoạn R2. Nếu việc này được thực hiện, tiếp theo, sau khi dữ liệu thứ nhất Data1[k+1] được ghi vào trong thanh ghi trung gian BuffReg ở bước S108, và việc xử lý gián đoạn cao kết thúc, dữ liệu thứ nhất Data1[k+1] được ghi vào trong thanh ghi trung gian BuffReg nhờ việc xử lý gián đoạn thấp nhiều hơn một lần và việc xử lý trở nên bị dư thừa. Do đó, bước S107 được thực hiện.

Tiếp theo, lý do để thực hiện bước S101 sẽ được mô tả. Nếu bước S101 không được thực hiện, thì cờ gián đoạn được thiết lập do lệnh gián đoạn R2 xuất hiện khi bắt đầu xử lý gián đoạn cao. Nếu việc này không được xem xét, việc xác định ở bước S106 thường là dương. Theo cách như vậy, các bước S107 và S108 được thực hiện thậm chí khi không có lệnh gián đoạn R2 mới trong khi xử lý số học trong việc xử lý cao.

Ví dụ, trên Fig.8, dữ liệu thứ nhất Data1[n+1] được ghi vào trong thanh ghi trung gian BuffReg trước khi định thời mà ở đó lệnh gián đoạn R2 “mới” xuất hiện. Tiếp theo, khi truyền từ thanh ghi trung gian BuffReg đến

thanh ghi so sánh CompReg, việc truyền được thực hiện ở thời điểm điều hợp $J[n]$ tiếp theo, dữ liệu thứ nhất $Data1[n+1]$ được truyền qua dữ liệu thứ hai $Data2[n]$ được chấp nhận trong giai đoạn thứ hai $Q2[n]$ sẽ được truyền. Trong trường hợp này, bộ đổi điện 22 không thể được vận hành thích hợp trong giai đoạn thứ hai $Q2[n]$. Như được nêu trên đây, sẽ không rõ ràng trước xem liệu thời gian cần để xử lý số học có dài hơn hoặc ngắn hơn so với giai đoạn thứ hai $Q1$ hay không và do đó, bước S101 được thực hiện để đảm bảo quá trình vận hành thích hợp của bộ đổi điện 22 trong giai đoạn thứ hai $Q2[n]$.

Như được mô tả trên đây, trong phương pháp thứ nhất, dữ liệu thứ nhất $Data1[k+1]$

(a) vào lúc và sau khi thời gian kết thúc việc xử lý số học trong giai đoạn thứ nhất $P[k]$ (xem bước S108) khi điểm biên thời gian có mặt sau khi bắt đầu xử lý số học và trước khi việc xử lý số học kết thúc (khi điểm biên thời gian là thời điểm điều hợp $J[k]$, và việc xử lý số học kết thúc sau thời gian này: xem Fig.7),

(b) khi điểm biên thời gian không có mặt (tức là, khi việc xử lý số học kết thúc sớm hơn so với thời điểm điều hợp $J[k]$: xem Fig.8), bằng việc xử lý gián đoạn thấp theo lệnh gián đoạn R2 xảy ra ở điểm biên thời gian thứ nhất sau khi kết thúc xử lý số học, được lưu trữ trong thanh ghi trung gian BuffReg trong các trường hợp riêng rẽ như vậy.

Cụ thể hơn là, trong phương pháp thứ nhất, dữ liệu thứ nhất $Data1[k+1]$

(a1) được lưu trữ trong thanh ghi trung gian BuffReg tại thời điểm khi việc xử lý số học trong giai đoạn thứ nhất $P[k]$ kết thúc khi thời điểm điều hợp $J[k]$ có mặt sau khi bắt đầu xử lý số học và trước khi kết thúc xử lý số học.

Tiếp theo, bằng cách chấp nhận phương pháp thứ nhất, trong số dữ liệu thu được bằng việc xử lý số học trong giai đoạn thứ nhất $P[k]$, dữ liệu thứ nhất $Data1[k+1]$ được lưu trữ trước khi bắt đầu giai đoạn thứ nhất $P[k+1]$, và dữ liệu thứ hai $Data2[k+1]$ được lưu trữ trong thanh ghi trung gian BuffReg khi bắt đầu giai đoạn thứ nhất $P[k+1]$.

Do đó, trong giai đoạn thứ nhất $P[k]$, dữ liệu thứ nhất $Data1$ và dữ liệu thứ hai $Data2$ theo cách khác, được cấp cho bộ điều khiển đổi điện 12.

Như được nêu trên đây, nội dung được lưu trữ trong thanh ghi trung gian BuffReg ở điểm biên thời gian được cấp cho thanh ghi so sánh CompReg. Tiếp theo, nội dung được lưu trữ trong thanh ghi so sánh CompReg, cụ thể hơn là, trị số ngưỡng đổi điện $Dpwm1$ và khoảng thời gian thứ hai $Tinv1$ (hoặc trị số ngưỡng đổi điện $Dpwm2$ và khoảng thời gian thứ hai $Tinv2$ và tín hiệu định thời mẫu Tad), và vật tải đổi điện $K2$ được so sánh với nhau. Do đó, vật tải đổi điện $K2$ và nội dung được lưu trữ trong thanh ghi so sánh CompReg được so sánh thích hợp với nhau và việc điều khiển hai phần có thể được thực hiện bởi một bộ điều biến PWM bù.

Do đó, việc điều biến PWM đồng bộ có thể được thực hiện bằng cách sử dụng một bộ định thời PWM bù và bộ định thời PWM đa năng và mạch tích hợp logic nhw CPLD và FPGA là không cần thiết.

Ngoài ra, hệ thống điều khiển với chu kỳ điều khiển không đổi có thể được cấu tạo một cách dễ dàng mà không phụ thuộc vào thời gian xử lý cần để xử lý số học.

(b-4) Phương pháp thứ hai của phương án thứ nhất

Fig.10 và Fig.11 là các biểu đồ thời gian thể hiện quá trình vận hành của phương pháp thứ hai của phương án này, trong đó cùng các ký hiệu như trong (b-3) được mô tả trên đây được chấp nhận.

Fig.10 tương ứng với Fig.7 và minh hoạ trường hợp mà trong đó việc xử lý số học để thu được dữ liệu thứ nhất Data1 và dữ liệu thứ hai Data2 dài hơn so với khoảng thời gian củ giai đoạn thứ hai Q1, và Fig.11 tương ứng với Fig.8, và minh hoạ trường hợp mà trong đó việc xử lý số học để thu được dữ liệu thứ nhất Data1 và dữ liệu thứ hai Data2 ngắn hơn so với khoảng thời gian của giai đoạn thứ hai Q1.

Fig.12 là lưu đồ thể hiện quá trình vận hành xử lý gián đoạn cao trong phương pháp thứ hai và quá trình vận hành như vậy được thực hiện bởi bộ xử lý số học 10. Cần phải lưu ý rằng việc xử lý gián đoạn thấp để ghi dữ liệu thứ nhất Data1 vào trong thanh ghi trung gian BuffReg theo cách tương tự với phương pháp thứ nhất.

Phương pháp thứ hai được thể hiện bởi lưu đồ mà trên đó các bước S106 đến S108 trong phương pháp thứ nhất được loại bỏ. Tức là, sau khi bước S101 đến S105 kết thúc, việc xử lý gián đoạn cao được kết thúc và việc xử lý bộ xử lý số học 10 trở về đường chính.

Khi lệnh gián đoạn R2 mới xuất hiện sau khi bắt đầu vận hành số học ("mới" được nêu trong bản mô tả này có nghĩa là "xảy ra sau khi lệnh gián đoạn R2" được giải phóng ở bước S101 theo cách tương tự với "mới" trong phương pháp thứ nhất), dữ liệu thứ nhất Data1 được ghi vào trong thanh ghi trung gian BuffReg khi việc xử lý gián đoạn thấp được thực hiện theo cách đó. Cách ghi như vậy được thể hiện là dữ liệu thứ nhất Data1[n+1] và Data1[n+2] trên cả Fig.10 và Fig.11.

Bất kể xem liệu lệnh gián đoạn R2 “mới” xuất hiện trong quá trình xử lý số học của việc xử lý gián đoạn cao hay không, việc xử lý gián đoạn cao được thực hiện theo cách ưu tiên và việc xử lý gián đoạn thấp bởi lệnh gián đoạn R2 không được thực hiện. Do đó, như được thể hiện trên Fig.11, thậm

chỉ nếu việc xử lý số học trong giai đoạn thứ nhất $P[k]$ được kết thúc sớm hơn so với thời điểm điều hợp $J[k]$, dữ liệu thứ nhất $Data1[k+1]$ được ghi vào trong thanh ghi trung gian BuffReg sau khi định thời thời điểm điều hợp $J[k]$ mà ở đó lệnh gián đoạn R2 “mới” xuất hiện. Do đó, theo cách tương tự với phương pháp thứ nhất, quá trình vận hành thích hợp của bộ đổi điện 22 trong giai đoạn thứ hai $Q2[n]$ được đảm bảo.

Cần phải lưu ý rằng, không giống như phương pháp thứ nhất, trong phương pháp thứ hai, việc ghi vào thanh ghi trung gian BuffReg (bước S108 trên Fig.9) không được thực hiện trong quá trình xử lý gián đoạn cao. Do đó, như trong bước S107, việc xử lý như vậy để ngăn ngừa việc ghi dư thừa là cũng không cần thiết. Trái lại, bước S101 cũng được thực hiện trong phương pháp thứ hai vì cùng một lý do như được giải thích trong phương pháp thứ nhất.

Cần phải lưu ý rằng việc chấp nhận bước S108 trong phương pháp thứ nhất là có thể mong muốn theo quan điểm rút ngắn thời gian cần để xử lý gián đoạn. Cụ thể là, để làm giảm việc mất bộ đổi điện 22 khi tải rất nhẹ, có thể mong muốn chấp nhận việc điều khiển không phải hai giai đoạn nhưng việc điều khiển để điều khiển bộ đổi điện 22 trong một chu kỳ của bộ biến đổi 21 (trong bản mô tả này, việc điều khiển này được dùng để chỉ "điều khiển không theo giai đoạn"). Tiếp theo, nếu việc điều khiển không theo giai đoạn và việc điều khiển hai giai đoạn được sử dụng kết hợp với nhau, khi việc điều khiển không theo giai đoạn được thực hiện, việc xử lý gián đoạn thấp không xảy ra và đạt được việc rút ngắn thời gian cần để xử lý gián đoạn.

Hơn nữa, như được thể hiện trên Fig.10, việc định thời mà ở đó dữ liệu thứ nhất $Data1[k+1]$ được ghi vào trong thanh ghi trung gian BuffReg

được dịch chuyển phía sau tương tự với việc định thời được thể hiện trên Fig.7.

Như được mô tả trên đây, cũng trong phương pháp thứ hai, dữ liệu thứ nhất $Data1[k+1]$ được lưu trữ trong thanh ghi trung gian BuffReg theo mục (a) và (b) được mô tả trên đây.

Cụ thể hơn là, trong phương pháp thứ hai, dữ liệu thứ nhất $Data1[k+1]$

(a2) khi điểm biên thời gian là thời điểm điều hợp $J[k]$ có mặt sau khi bắt đầu việc xử lý số học và trước khi kết thúc việc xử lý số học, được lưu trữ trong thanh ghi trung gian BuffReg bằng cách xử lý gián đoạn thấp bởi lệnh gián đoạn R2 xuất hiện ở điểm biên thời gian thứ nhất sau khi kết thúc xử lý số học.

Và, bằng cách chấp nhận phương pháp thứ hai, theo cách tương tự với phương pháp thứ nhất, dữ liệu thứ nhất $Data1[k+1]$ được lưu trữ trong thanh ghi đệm BuffReg trước khi bắt đầu giai đoạn thứ nhất $P[k+1]$, và dữ liệu thứ hai $Data2[k+1]$ được lưu trữ trong thanh ghi trung gian BuffReg khi bắt đầu giai đoạn thứ nhất $P[k+1]$.

Do đó, trong giai đoạn thứ nhất $P[k]$, dữ liệu thứ nhất $Data1$ và dữ liệu thứ hai $Data2$ theo cách khác được cấp cho bộ điều khiển đổi điện 12. Do đó, theo cách tương tự với phương pháp thứ nhất, việc điều khiển hai giai đoạn có thể được thực hiện bởi một bộ điều biến PWM bù.

Cần phải lưu ý rằng, trong cả phương pháp thứ nhất và phương pháp thứ hai, thời gian cần để xử lý gián đoạn thấp được thực hiện bởi lệnh gián đoạn R2 xuất hiện ở thời điểm điều hợp $J[k]$ phải ngắn hơn khoảng thời gian của giai đoạn thứ hai $Q2[k+1]$. Mặt khác, việc xử lý gián đoạn thấp sẽ không giữ thời gian truyền từ thanh ghi trung gian BuffReg đến thanh ghi so sánh CompReg, việc truyền này được thực hiện ở thời điểm khi lệnh

gián đoạn $R1[k+1]$ xuất hiện.

Nói cách khác, khoảng thời gian của giai đoạn thứ hai $Q2[k+1]$ không thể được thiết lập nhỏ hơn thời gian cần để xử lý gián đoạn thấp. Tuy nhiên, thời gian này là ngắn hơn so với thời gian trễ khi biến đổi của bộ đổi điện 22 (thời gian trễ thường theo thứ tự vài micro giây). Tiếp theo, khoảng thời gian của giai đoạn thứ hai $Q2[k+1]$ không được rút ngắn đến thời gian trễ hoặc ngắn hơn. Lý do này là vì giai đoạn thứ hai $Q2[k+1]$ có khoảng thời gian như vậy không tác động đến dòng điện xoay chiều đa pha Iv được phát ra bởi bộ đổi điện 22.

Do có mối quan hệ như vậy liên quan đến khoảng thời gian, không có ý nghĩa thực tế thiết lập khoảng thời gian của giai đoạn thứ hai $Q2[k+1]$ đối với thời gian cần để xử lý gián đoạn thấp hoặc thấp hơn. Tức là, trị số tối thiểu về khoảng thời gian của giai đoạn thứ hai $Q2[k+1]$ chỉ cần được giới hạn ở thời gian yêu cầu hoặc nhiều hơn.

<Phương án thứ hai>

Fig.13 là sơ đồ khối minh họa một phần kết cấu của bộ điều khiển đổi điện 12 theo phương án này. Kết cấu này khác với kết cấu của bộ điều khiển đổi điện 12 theo phương án thứ nhất ở chỗ trị số được phát ra đến bộ so sánh 122d khiến cho khác nhau và mà không chỉ việc kích hoạt đầu ra của bộ so sánh 122d mà còn kích hoạt cả bộ so sánh 122a được sử dụng làm bộ khởi động để truyền từ thanh ghi trung gian BuffReg đến thanh ghi so sánh CompReg. Hơn nữa, cổng OR 129 cũng được bổ sung vào.

Tức là, bộ so sánh 122d so sánh trị số đếm của bộ định thời 121 với trị số (mà không phải là trị số tối thiểu cố định như theo phương án thứ nhất) được lưu trữ trong thanh ghi so sánh 123a, và khiến cho bộ định thời 121 đếm xuôi khi cả hai trong số chúng phù hợp với nhau. Mặt khác, theo cách

tương tự với phương án thứ nhất, bộ so sánh 122a so sánh trị số đếm của bộ định thời 121 với trị số được lưu trữ trong thanh ghi so sánh 123a, và khiến cho bộ định thời 121 đếm ngược khi cả hai trong số chúng phù hợp với nhau.

Tiếp theo, cổng OR 129 khiến cho lệnh gián đoạn R2 xuất hiện khi một trong số hai bộ so sánh 122a và 122d được kích hoạt. Tức là, theo phương án này, lệnh gián đoạn R2 là gián đoạn đỉnh sóng và gián đoạn phân lõm sóng.

Tuy nhiên, cổng OR 129 được thể hiện là tiện lợi cho việc giải thích trên hình vẽ và không nhất thiết phải bố trí cổng OR 129 như phần tử thực.

Hơn nữa, bộ so sánh 122d có thể được tích hợp với bộ so sánh 122a, và đầu ra của nó có thể được sử dụng làm lệnh gián đoạn R2 và lệnh truyền để truyền từ thanh ghi trung gian 124a, 124b và 124c đến thanh ghi so sánh 123a, 123b và 123c. Bộ định thời 121 trong trường hợp này có chức năng theo cách khác đếm xuôi/đếm ngược mỗi lần khi đầu ra của bộ so sánh tích hợp 122a được kích hoạt.

Fig.14 là sơ đồ khối minh họa một phần kết cấu của bộ điều khiển biến đổi 11 theo phương án này. Kết cấu này khác với kết cấu của bộ điều khiển biến đổi 11 theo phương án thứ nhất chỉ ở chỗ cổng OR 119 và bộ so sánh 112d được bổ sung vào đó và bộ định thời 111 đó dùng làm bộ đếm xuôi/đếm ngược.

Tức là, bộ so sánh 112d so sánh trị số đếm của bộ định thời 111 với trị số tối thiểu cố định (ví dụ, 0), và khiến cho bộ định thời 121 đếm xuôi khi cả hai trong số chúng phù hợp với nhau. Mặt khác, theo cách tương tự với phương án thứ nhất, bộ so sánh 112a so sánh trị số đếm của bộ định thời 111 với trị số (khoảng thời gian thứ nhất T_{cnv}) được lưu trữ trong thanh

ghi so sánh 113a, và khiến cho bộ định thời 111 đếm ngược khi cả hai trong số chúng phù hợp với nhau.

Cổng OR 119 khiến cho lệnh gián đoạn R1 xuất hiện khi một trong số các bộ so sánh 112a và 112d được kích hoạt. Tức là, theo phương án này, lệnh gián đoạn R1 có thể cả gián đoạn đỉnh sóng và gián đoạn phần lõm sóng khi lệnh gián đoạn R1 được thể hiện theo cách tương tự với sự biểu hiện được sử dụng cho lệnh gián đoạn R2.

Cần phải lưu ý rằng cổng OR 119 được thể hiện để tiện lợi cho việc giải thích trên hình vẽ và không nhất thiết phải bố trí cổng OR 119 như thành phần thực.

Cần phải lưu ý rằng việc truyền định thời từ thanh ghi trung gian 114a và 114c đến thanh ghi so sánh 113a và 113c là giống như sự xuất hiện của lệnh gián đoạn R1 theo cách tương tự với phương án thứ nhất. Tuy nhiên, không giống như phương án thứ nhất, đầu ra của bộ so sánh 112a không dùng trực tiếp làm lệnh gián đoạn R1. Trong bản mô tả này, trường hợp mà trong đó lệnh gián đoạn R1 được chấp nhận là lệnh truyền để truyền từ thanh ghi trung gian 114a và 114c đến thanh ghi so sánh 113a và 113c được minh họa.

Bộ điều khiển biến đổi 11 và bộ điều khiển đổi điện 12, mà như được mô tả trên đây, có thể được thực hiện bởi cấu hình đã biết thường được gọi là bộ xung định thời đa chức năng theo cách tương tự với cách theo phương án thứ nhất.

Với kết cấu được mô tả trên đây, lệnh gián đoạn R1 trở thành gián đoạn đỉnh sóng và gián đoạn phần lõm sóng, mà được dựa vào vật tải biến đổi K1, và lệnh gián đoạn R2 trở thành gián đoạn đỉnh sóng và gián đoạn phần lõm sóng, mà được dựa vào vật tải đổi điện K2.

Fig.15 là biểu đồ thời gian thể hiện quá trình vận hành theo phương án này. Cũng trên Fig.15, theo cách tương tự với các hình vẽ Fig.7 và Fig.8, ký hiệu $[k]$ được kèm các ký hiệu thể hiện các lượng trong chu kỳ k -th.

Trong bản mô tả này, nhằm mục đích đơn giản, phần mô tả sẽ được đưa ra trong khi xem xét một ví dụ trường hợp mà ở đó việc xử lý số học trong giai đoạn thứ nhất $P[k]$, mà thu được từ dữ liệu thứ nhất $Data1[k+1]$ và dữ liệu thứ hai $Data2[k+1]$, dài hơn so với giai đoạn thứ hai $Q1[k]$, và về bản chất ngắn hơn so với giai đoạn thứ nhất $P[k]$. Tuy nhiên, xem xét rằng việc xử lý số học trong giai đoạn thứ nhất $P[k]$ có thể ngắn hơn so với giai đoạn thứ hai $Q1[k]$, có thể mong muốn là phương pháp thứ nhất và phương pháp thứ hai, mà được mô tả theo phương án thứ nhất, được chấp nhận.

Cũng theo phương án này, bộ định thời 111 và 121 vận hành đồng bộ với nhau và vật tải biến đổi $K1$ và vật tải đổi điện $K2$ đồng bộ với nhau.

Do bộ định thời 111 dùng làm bộ đếm xuôi/ngược, vật tải biến đổi $K1$ thể hiện không rõ ràng sóng hình răng cưa nhưng thể hiện sóng hình tam giác.

Trên Fig.15, dữ liệu thứ hai $Data2[n]$, mà đã thu được trong giai đoạn thứ nhất $P[n-1]$ và chờ theo sự thay đổi bởi lệnh gián đoạn $R1[n]$ dùng làm gián đoạn đỉnh sóng đối với vật tải biến đổi $K1$, được ghi vào trong thanh ghi trung gian BuffReg. Tuy nhiên, trước khi ghi, dữ liệu thứ nhất $Data1[n]$ được truyền từ thanh ghi trung gian BuffReg đến thanh ghi so sánh CompReg tại cùng một thời điểm như sự xuất hiện của lệnh gián đoạn $R1[n]$. Theo cách này, từ khi bắt đầu giai đoạn thứ hai $Q1[n]$, các lượng (không được thể hiện trên hình vẽ) có trong dữ liệu thứ nhất $Data1[n]$ được so với vật tải đổi điện $K2$ trong giai đoạn thứ hai $Q1[n]$.

Tại cùng một thời điểm như sự xuất hiện lệnh gián đoạn $R1[n]$, vật tải

biến đổi K1 bắt đầu tăng và giai đoạn thứ nhất $P[n]$ bắt đầu.

Khoảng thời gian thứ hai $T_{inv1}[n]$ (không được thể hiện trên hình vẽ) có trong dữ liệu thứ nhất $Data1[n]$ xác định trị số tối thiểu của vật tải đổi điện K2. Do vật tải đổi điện K2 nằm trong giai đoạn thứ hai $Q1[n]$, thời gian kết thúc giai đoạn thứ hai $Q1[n]$ được xác định theo khoảng thời gian thứ hai $T_{inv1}[n]$. Đối với khoảng thời gian thứ hai $T_{inv1}[n]$, trị số tương ứng với thời gian cho đến khi vật tải biến đổi K1 đạt đến trị số ngưỡng biến đổi C_{cnv} từ trị số tối thiểu (ví dụ, 0) được thiết lập và tại thời điểm điều hợp $J[n]$, vật tải đổi điện K2 bắt đầu tăng.

Giai đoạn thứ hai $Q2[n]$ bắt đầu từ thời điểm điều hợp $J[n]$. Dữ liệu thứ hai $Data2[n]$ được truyền từ thanh ghi trung gian $BuffReg$ đến thanh ghi so sánh $CompReg$ tại thời điểm điều hợp $J[n]$, và do đó, từ khi bắt đầu giai đoạn thứ hai $Q2[n]$, các lượng (không được thể hiện trên hình vẽ) có trong dữ liệu thứ hai $Data2[n]$ được so với vật tải đổi điện K2 trong giai đoạn thứ hai $Q2[n]$.

Khoảng thời gian thứ hai $T_{inv2}[n]$ (không được thể hiện trên hình vẽ) có trong dữ liệu thứ hai $Data2[n]$ xác định trị số tối đa của vật tải đổi điện K2. Do vật tải đổi điện K2 tăng trong giai đoạn thứ hai $Q2[n]$, thời gian kết thúc giai đoạn thứ hai $Q2[n]$ được xác định theo khoảng thời gian thứ hai $T_{inv2}[n]$.

Đối với khoảng thời gian thứ hai $T_{inv2}[n]$, trị số tương ứng với thời gian cho đến khi vật tải biến đổi K1 đạt đến trị số tối đa (việc này tương ứng với khoảng thời gian thứ nhất T_{cnv}) từ trị số ngưỡng biến đổi C_{cnv} được thiết lập và thời gian kết thúc giai đoạn thứ hai $Q2[n]$ phù hợp với thời điểm khi vật tải biến đổi K1 đạt đến trị số tối đa. Tại thời điểm này, vật tải biến đổi K1 bắt đầu hạ xuống, giai đoạn thứ nhất $P[n]$ kết thúc và giai

đoạn thứ nhất $P[n+1]$ bắt đầu.

Như được mô tả trên đây, giai đoạn thứ nhất $P[n]$ được chia thành hai theo giai đoạn thứ hai $Q1[n]$ và $Q2[n]$. Theo cách tương tự với giai đoạn thứ nhất $P[n]$, giai đoạn thứ nhất $P[n+1]$ cũng được chia thành hai theo giai đoạn thứ hai $Q1[n+1]$ và $Q2[n+1]$. Như được mô tả trên đây, có thể thực hiện được việc điều khiển hai giai đoạn cũng theo phương án này.

Không giống như phương án thứ nhất, vật tải biến đổi $K1$ tăng trong giai đoạn thứ nhất $P[n]$, và hạ xuống trong giai đoạn thứ nhất $P[n+1]$. Tiếp theo, có thể hiểu được rằng, trong mỗi giai đoạn thứ hai $Q1[k]$ và $Q2[k]$, mà chia một giai đoạn thứ nhất $P[k]$ thành hai, vật tải đổi điện $K2$ không phải là sóng hình tam giác nhưng là sóng hình răng cưa đơn. Tức là, vật tải biến đổi $K1$ theo cách khác lặp lại sự gia tăng đơn điệu và sự giảm đơn điệu mỗi giai đoạn thứ nhất $P[k]$, và vật tải đổi điện $K2$ theo cách khác lặp lại sự gia tăng đơn điệu và sự giảm đơn điệu mỗi giai đoạn thứ hai $Q1[k]$ và $Q2[k]$.

Tiếp theo, dữ liệu thứ hai $Data2[k]$ cần được so sánh với vật tải đổi điện $K2$ trong giai đoạn thứ hai $Q2[k]$ được lưu trữ trong thanh ghi trung gian $BuffReg$ khi bắt đầu giai đoạn thứ hai có ngay trước $Q1[k]$ và được cấp cho thanh ghi so sánh $CompReg$ khi bắt đầu giai đoạn thứ hai $Q2[k]$. Do đó, thu được tín hiệu chuyển mạch đổi điện $Sinv$ trong giai đoạn thứ hai $Q2[k]$ một cách thích hợp.

Theo cách tương tự, dữ liệu thứ nhất $Data1[k+1]$ cần được so sánh với vật tải đổi điện $K2$ trong giai đoạn thứ hai $Q1[k+1]$ được lưu trữ trong thanh ghi trung gian $BuffReg$ khi kết thúc giai đoạn thứ hai có ngay trước $Q2[k]$ và được cấp cho thanh ghi so sánh $CompReg$ khi bắt đầu giai đoạn thứ hai $Q1[k+1]$. Do đó, thu được tín hiệu chuyển mạch đổi điện $Sinv$ trong

giai đoạn thứ hai $Q1[k+1]$ một cách thích hợp.

Như được mô tả trên đây, theo cách tương tự với phương án thứ nhất, cũng theo phương án này, nội dung được lưu trữ trong thanh ghi trung gian BuffReg ở điểm biên thời gian được cấp cho thanh ghi so sánh CompReg. Tiếp theo, nội dung được lưu trữ trong thanh ghi so sánh CompReg, cụ thể hơn là, trị số ngưỡng đổi điện Dpwm1 và khoảng thời gian thứ hai Tinv1 (hoặc trị số ngưỡng đổi điện Dpwm2 và khoảng thời gian thứ hai Tinv2 và tín hiệu định thời mẫu Tad), và vật tải đổi điện K2 được so sánh với nhau. Do đó, đạt được việc điều khiển hai giai đoạn bởi một bộ điều biến PWM bù.

So với phương án thứ nhất, theo phương án này, nếu thời gian cần để xử lý số học cao là ngắn, số lần xử lý này có thể được tăng gấp đôi. Do đó, số lần mà tín hiệu chuyển mạch đổi điện Sinv được cập nhật có thể được tăng gấp đôi và việc đáp lại dòng điện xoay chiều đa pha Iv được cải thiện.

<Phương án thứ ba>

Theo phương án này, đối với kết cấu của bộ điều khiển biến đổi 11, kết cấu (Fig.3) được chấp nhận theo phương án thứ nhất được chấp nhận và đối với kết cấu của bộ điều khiển đổi điện 12, kết cấu (được minh họa trên Fig.13) được chấp nhận theo phương án thứ hai được chấp nhận.

Theo cách này, vật tải biến đổi K1 thể hiện sóng hình răng cưa có khoảng thời gian thứ nhất Tcnv là một chu kỳ và vật tải đổi điện K2 theo cách khác lặp lại sự gia tăng đơn điệu và sự giảm đơn điệu mỗi giai đoạn thứ hai $Q1[k]$ và $Q2[k]$.

Fig.16 là biểu đồ thời gian thể hiện quá trình vận hành theo phương án này. Cũng trên Fig.16, theo cách tương tự với các hình vẽ Fig.7 và Fig.8, ký hiệu $[k]$ được kèm theo ký hiệu thể hiện các lượng trong chu kỳ k-th.

Theo cách tương tự với phương án thứ hai, cũng theo phương án này, nhằm mục đích đơn giản, phần mô tả sẽ được đưa ra trong khi xem xét một ví dụ trường hợp mà trong đó việc xử lý số học trong giai đoạn thứ nhất $P[k]$, mà để thu được dữ liệu thứ nhất $Data1[k+1]$ và dữ liệu thứ hai $Data2[k+1]$, dài hơn so với giai đoạn thứ hai $Q1[k]$, và về bản chất ngắn hơn so với giai đoạn thứ nhất $P[k]$. Tuy nhiên, xét thấy rằng việc xử lý số học trong giai đoạn thứ nhất $P[k]$ có thể ngắn hơn so với giai đoạn thứ hai $Q1[k]$, mong muốn rằng phương pháp thứ nhất và phương pháp thứ hai, mà được mô tả theo phương án thứ nhất, được chấp nhận theo cách tương tự với phương án thứ hai.

Cũng theo phương án này, bộ định thời 111 và 121 vận hành đồng bộ với nhau và vật tải biến đổi $K1$ và vật tải đổi điện $K2$ đồng bộ với nhau.

Trên Fig.16, trong giai đoạn thứ nhất $P[n-1]$ và $P[n+1]$, vật tải biến đổi $K1$ tăng không giống như Fig.15 được thể hiện theo phương án thứ hai. Mặt khác, dạng sóng của vật tải đổi điện $K2$ tương tự với dạng sóng của phương án thứ hai và giai đoạn thứ hai, mà thuộc về các giai đoạn thứ nhất khác nhau và liên kết với nhau, ví dụ, giai đoạn thứ hai $Q2[n-1]$ và $Q1[n]$ trở thành đối xứng đường thẳng trên trục thời gian tương đối với, như một trục, điểm biên thời gian giữa hai trong số chúng. Giai đoạn thứ hai $Q2[n]$ và $Q1[n+1]$ cũng có tính đối xứng tương tự.

Theo phương án thứ hai, tính đối xứng như vậy được duy trì bởi thực tế rằng vật tải biến đổi $K1$ là sóng hình tam giác đối xứng rõ ràng. Do đó, để thu được tính đối xứng như vậy cũng theo phương án này, trị số ngưỡng biến đổi C_{cnvB} được chấp nhận ngoài trị số ngưỡng biến đổi C_{cnv} .

Cụ thể là, trị số như vậy thu được là $C_{cnvB} = 1 - C_{cnv}$ khi trị số tối đa của vật tải biến đổi $K1$ được thiết lập đến 1 (ví dụ, việc này được nhận thấy

rõ bằng cách thiết lập khoảng thời gian thứ nhất là $T_{cnv} = 1$), và trị số tối thiểu của nó được thiết lập đến 0 (ví dụ, việc này được nhận thấy rõ bằng cách thiết lập đến 0, trị số đếm của bộ định thời 111 khi bộ định thời 111 được thiết lập lại bởi bộ so sánh 112a). Việc tính toán như vậy được thực hiện, ví dụ, bởi bộ xử lý số học 10. Tiếp theo, trị số ngưỡng biến đổi C_{cnvB} và C_{cnv} chỉ cần được nhập theo cách khác vào thanh ghi trung gian 114c (xem Fig.3).

Như được mô tả trên đây, theo cách tương tự với phương án thứ hai, nội dung được lưu trữ trong thanh ghi trung gian BuffReg ở điểm biên thời gian được cấp cho thanh ghi so sánh CompReg. Tiếp theo, nội dung được lưu trữ trong thanh ghi so sánh CompReg, cụ thể hơn là, trị số ngưỡng đổi điện D_{pwm1} và khoảng thời gian thứ hai T_{inv1} (hoặc trị số ngưỡng đổi điện D_{pwm2} và khoảng thời gian thứ hai T_{inv2} và tín hiệu định thời mẫu T_{ad}), và vật tải đổi điện $K2$ được so sánh với nhau. Do đó, đạt được việc điều khiển hai giai đoạn bởi một bộ điều biến PWM bù.

Ngoài ra, sẽ đủ nếu bộ định thời 111 có chức năng chung mà là bộ đếm xuôi và do đó, khoảng lựa chọn để chọn bộ định thời PWM đa năng được chấp nhận để thực hiện phương án này được mở rộng. Việc này là có lợi trong đó các tài nguyên của máy vi tính một chip được chấp nhận theo phương án này có thể được sử dụng một cách có hiệu quả.

<Phương án thứ tư>

Theo phương án thứ tư, phần mô tả được đưa ra về trường hợp trong đó bộ biến đổi 21 biến đổi điện áp xoay chiều ba pha thành điện áp một chiều V_{dc} .

Fig.17 là sơ đồ khối minh họa cấu hình của bộ biến đổi điện 2 được chấp nhận theo phương án này. Trong bộ biến đổi điện 2, bộ biến đổi

nguồn điện được chấp nhận là bộ biến đổi 21, và bộ biến đổi nguồn điện áp được chấp nhận là bộ đổi điện 22. Chính kết cấu như vậy là đã biết trong Tài liệu phi sáng chế 3 và Tài liệu sáng chế 3.

Bộ biến đổi 21 và bộ đổi điện 22 được nối với nhau bởi các đường cáp điện một chiều LH và LL. Đường cáp điện một chiều LH có điện thế cao hơn so với đường cáp điện một chiều LL bởi điện áp một chiều Vdc.

Giữa các đường cáp điện một chiều LH và LL, mạch kẹp, mà tụ điện không thẳng như được minh họa trong Tài liệu phi sáng chế 4 được áp dụng, có thể được bố trí. Trong cách điều khiển không theo giai đoạn, công tắc được nối nối tiếp với tụ điện trong mạch kẹp là dẫn điện.

Bộ biến đổi 21 có các đầu nạp Pr, Ps và Pt, mà được nối với nguồn điện xoay chiều ba pha 83 và thu điện áp xoay chiều ba pha Vr, Vs và Vt trong mỗi pha. Nguồn điện xoay chiều ba pha 83 có thể được hiểu là một ví dụ về nguồn điện xoay chiều 8 trên Fig.1.

Bộ biến đổi 21 đảo mạch dòng điện Ir, Is và It, mà được cấp từ các đầu nạp Pr, Ps và Pt trong một chu kỳ được chia thành giai đoạn thứ nhất và giai đoạn thứ hai và nhập dòng điện một chiều Idc giữa đường cáp điện một chiều LH và LL.

Giai đoạn thứ nhất là giai đoạn trong khi dòng điện chạy qua một cặp đầu nạp Pr, Ps và Pt, một cặp này cấp điện áp xoay chiều thể hiện pha tối đa và điện áp xoay chiều thể hiện pha tối thiểu, được cấp như dòng điện một chiều Idc giữa các đường cáp điện một chiều LH và LL.

Giai đoạn thứ hai là giai đoạn trong khi dòng điện chạy qua một cặp đầu nạp Pr, Ps và Pt, cặp này cấp điện áp xoay chiều thể hiện pha trung gian và điện áp xoay chiều thể hiện pha tối thiểu, được cấp như dòng điện một chiều Idc giữa đường cáp điện một chiều LH và LL.

Bộ biến đổi 21 bao gồm các công tắc Qxp và Qxn (trong đó x là r, s và t, điều này cũng được áp dụng dưới đây). Mỗi công tắc trong số các công tắc Qxp được bố trí giữa đầu vào Px và đường cấp điện một chiều LH. Mỗi công tắc trong số các công tắc Qxn được bố trí giữa đầu vào Px và đường cấp điện một chiều LL.

Cả hai công tắc Qxp và Qxn có khả năng chặn ngược và được minh họa như RB-IGBT (Reverse Blocking IGBTs) trên FIG.17.

Các tín hiệu chuyển mạch Sxp và Sxn lần lượt được nhập vào công tắc Qxp và Qxn. Mỗi công tắc trong số các công tắc Qxp là dẫn điện/không dẫn điện đáp lại kích hoạt/không kích hoạt tín hiệu chuyển mạch Sxp, và mỗi công tắc trong số các công tắc Qxn là dẫn điện/không dẫn điện đáp lại kích hoạt/không kích hoạt tín hiệu chuyển mạch Sxn. Do đó, các tín hiệu chuyển mạch Sxp và Sxn gồm có tín hiệu chuyển mạch biến đổi Scnv.

Bộ đổi điện 22 có các điểm nối Pu, Pv và Pw. Bộ đổi điện 22 thực hiện việc chuyển mạch điện áp một chiều Vdc bằng cách chuyển mạch mẫu hình mà dựa vào quá trình điều biến chiều rộng xung và phát ra dòng điện xoay chiều đa pha (ba pha) Iv từ các điểm nối Pu, Pv và Pw.

Bộ đổi điện 22 bao gồm ba đường dòng điện được nối song song với đường khác giữa đường cấp điện một chiều LH và LL với điện áp một chiều Vdc mà được cấp.

Bộ đổi điện 22 bao gồm các công tắc Qyp và Qyn (trong đó y là u, v và w, điều này cũng áp dụng đây). Các đường dòng điện bao gồm điểm nối Py, công tắc phía trên Qyp và công tắc phía dưới Qyn. Các diot Dyp và Dyn lần lượt được nối đối song với các công tắc Qyp và Qyn. Trong bản mô tả này, "đối song" thể hiện rằng hai phần tử được nối song song với nhau và hướng dẫn điện của hai phần tử này là đối diện với nhau.

Các tín hiệu chuyển mạch Syp và Syn lần lượt được nhập vào các công tắc Qyp và Qyn. Mỗi công tắc trong số các công tắc Qyp là dẫn điện/không dẫn điện đáp lại kích hoạt/không kích hoạt tín hiệu chuyển mạch Syp và mỗi công tắc trong số các công tắc Qyn là dẫn điện/không dẫn điện đáp lại kích hoạt/không kích hoạt tín hiệu chuyển mạch Syn. Do đó, các tín hiệu chuyển mạch Syp và Syn gồm có tín hiệu chuyển mạch biến đổi Scnv.

Chính các quá trình vận hành như vậy của bộ biến đổi 21 và bộ đổi điện 22, mà được dựa vào các tín hiệu chuyển mạch Sxp, Sxn, Syp và Syn, là đã biết, ví dụ, bởi Tài liệu sáng chế 3 và Tài liệu phi sáng chế 1 đến 3 và do đó, phần mô tả chi tiết của nó sẽ được bỏ qua. Tuy nhiên, phần mô tả vẫn tất sẽ được thực hiện về các phần dùng làm giả thuyết mô tả theo phương án này.

Bây giờ, giả định rằng điện áp V_t là pha tối thiểu và điện áp V_r và V_s lần lượt trở thành pha tối đa và pha trung gian. Do sự đối xứng dạng sóng điện áp pha, việc giả định này không làm mất nguyên tắc chung bằng cách trao đổi trình tự pha và bằng cách trao đổi các pha của công tắc Qxp và Qxn.

Tiếp theo, khi việc giả định như vậy được thực hiện, cả các điện áp đường dây-đường dây (V_r-V_t) và (V_s-V_t) là dương và phát ra có lựa chọn như điện áp một chiều V_{dc} . Việc phát ra lựa chọn như vậy được thực hiện theo cách mà được chọn: trạng thái thứ nhất mà trong đó các công tắc Qrp và Qtn bật và công tắc Qrn và Qtp không hoạt động; và trạng thái thứ hai mà trong đó các công tắc Qtn và Qrp bật và công tắc Qtp và Qsn không hoạt động. Giai đoạn trong khi trạng thái thứ nhất được duy trì là giai đoạn thứ nhất được nêu trên đây và giai đoạn trong khi trạng thái thứ hai được duy trì là giai đoạn thứ hai được nêu trên đây. Tiếp theo, việc chuyển mạch giữa trạng thái thứ nhất và trạng thái thứ hai được hiểu là sự đổi chiều của bộ biến đổi 21, mà kèm theo sự trao đổi pha tối đa, pha trung gian và pha

tối thiểu trong số các điện áp V_r , V_s và V_t .

Fig.18 là sơ đồ thể hiện quá trình vận hành của bộ biến đổi điện 2 khi kỹ thuật đã biết từ Tài liệu sáng chế 3 và Tài liệu phi sáng chế 3 được chấp nhận và được thể hiện để so sánh với phương án này. Thời gian đổi pha của bộ biến đổi 21 có thể được xác định bởi sóng hình tam giác đối xứng C1 và các tỷ lệ dòng D6 và D4 ($= 1-D6$). Khi chu kỳ của dạng sóng hình tam giác đối xứng là t_s , trị số tối đa của nó là 1 và trị số tối thiểu của nó là 0, tiếp theo giai đoạn thứ nhất có mặt liên tục theo khoảng $D6 \cdot t_s$, và giai đoạn thứ hai có mặt liên tục theo khoảng $D4 \cdot t_s$.

Sóng hình thang nguồn điện áp là đối với các sóng tín hiệu V_r^* , V_s^* và V_t^* , do đó việc đổi chiều của bộ biến đổi 21 được thực hiện trên cơ sở hai vectơ điện áp. Do đó, bộ biến đổi 21 đảo mạch ở thời điểm khi sóng hình tam giác đối xứng C1 trở nên bằng với một trong số các tỷ lệ dòng, ví dụ tỷ lệ dòng D4. Như được thể hiện trong Tài liệu sáng chế 3, việc đổi chiều như vậy của bộ biến đổi 21, được thực hiện bằng cách chuyển mạch mẫu hình bộ biến đổi 21, mà thu được bằng cách thực hiện việc biến đổi công nguồn điện.

Đã biết cách mong muốn chọn tỷ lệ dòng D4 và D6 và do đó, được bỏ qua trong bản mô tả này. Tuy nhiên, khoảng thời gian thứ nhất T_{cnv} , vật tải biến đổi K1, và trị số ngưỡng biến đổi C_{cnv} , mà được mô tả trong phần "(b-2) Giải thích quá trình vận hành của ví dụ so sánh" được mô tả trên đây, lần lượt tương ứng với chu kỳ t_s , sóng hình tam giác đối xứng C1, và tỷ lệ dòng D4 (xem Fig.6).

Trên Fig.18, sóng hình tam giác đối xứng C2 có trị số tối thiểu 0 và trị số tối đa 1. Sóng hình tam giác đối xứng C2 được so với trị số lệnh điện áp $D4(1-d_0-d_4)$, $D4(1-d_0)$, $D4+D6 \cdot d_0$ và $D4+D6(d_0+d_4)$. Các trị số d_0 , d_4 và

d_6 là các sóng tín hiệu đối với quá trình vận hành của bộ đổi điện 22, và thể hiện tỷ lệ thời gian trong khi các vectơ điện áp V_0 , V_4 và V_6 lần lượt được chấp nhận trong sóng hình tam giác đối xứng $C1$. Trong bản mô tả này, có minh họa trường hợp mà trong đó $d_0+d_4+d_6 = 1$ được thiết lập và trong đó quá trình điều biến hai pha được chấp nhận.

Vật tải đổi điện $K2$ và trị số ngưỡng biến đổi D_{pwm} , mà được mô tả trong phần "(b-2) Giải thích quá trình vận hành của ví dụ so sánh" được mô tả trên đây, lần lượt tương ứng với sóng hình tam giác đối xứng $C2$ và các trị số lệnh điện áp (xem Fig.6). Khi quá trình điều biến hai pha không được chấp nhận, các trị số lệnh điện áp $D4(1-d_0-d_4-d_6)$ và $D4+D6(d_0+d_4+d_6)$ còn được chấp nhận để được so sánh với sóng hình tam giác đối xứng $C2$.

Đối với tỷ lệ dòng $D4$, các trị số lệnh điện áp $D4(1-d_0)$ và $D4+D6 \cdot d_0$ lần lượt nhỏ hơn trị số $D4 \cdot d_0$ và lớn hơn trị số $D6 \cdot d_0$. Hơn nữa, tương đối với tỷ lệ dòng $D4$, trị số lệnh điện áp $D4(1-d_0-d_4)$ và $D4+D6(d_0+d_4)$ lần lượt nhỏ hơn trị số $D4(d_0+d_4)$ và lớn hơn trị số $D6(d_0+d_4)$.

Do đó, các trị số lệnh điện áp này được sử dụng, nhờ đó bộ đổi điện 22 vận hành trên cơ sở vectơ điện áp V_0 , V_4 và V_6 , mà được chấp nhận trong các giai đoạn mà có tỷ lệ $d_0: d_4: (1-d_0-d_4)$, cả giai đoạn thứ nhất và giai đoạn thứ hai, mà chia chu kỳ ts thành hai. Tiếp theo, vectơ điện áp V_0 được chấp nhận trong một giai đoạn bao gồm thời gian mà ở đó bộ biến đổi 21 đảo mạch, nhờ đó bộ biến đổi 21 đảo mạch ở trạng thái mà trong đó dòng điện một chiều I_{dc} không chạy. Việc này có thể mong muốn dựa trên quan điểm giảm thất thoát trong quá trình đổi chiều của bộ biến đổi 21.

Cần phải lưu ý rằng các vùng mà trong đó dòng điện một chiều I_{dc} và dòng điện trên đường dẫn I_r , I_s và I_t không chạy theo quá trình vận hành ở phía bộ đổi điện 22 được gạch chéo trên Fig.18.

Hơn nữa, liên quan đến các tín hiệu chuyển mạch Sup, Svp và Swp, ON/OFF của nó được thể hiện riêng rẽ bởi cao/thấp trên sơ đồ. Cần phải lưu ý rằng các tín hiệu chuyển mạch Sun, Svn và Swn được bỏ qua do các tín hiệu chuyển mạch này là on/off lần lượt bổ sung với các tín hiệu chuyển mạch Sup, Svp và Swp (ngoại trừ đối với thời gian chết).

Như được mô tả trên đây, Fig.18 thể hiện quá trình vận hành theo sự điều khiển hai giai đoạn nêu trên. Cần phải lưu ý rằng thời gian mà ở đó lệnh gián đoạn R2 được thể hiện trên Fig.6 xảy ra được thể hiện là giảm tín hiệu được ký hiệu bởi ký hiệu int trên Fig.18.

Fig.19 là sơ đồ thể hiện quá trình vận hành của bộ biến đổi điện 2 khi việc điều khiển được thể hiện theo phương án thứ nhất được áp dụng theo phương án này.

Vật tải biến đổi K1 được so sánh với tỷ lệ dòng D6 tương ứng với trị số ngưỡng biến đổi Ccnv được nêu theo phương án thứ nhất và việc đổi chiều được thực hiện. Vật tải biến đổi K1 thể hiện sóng hình răng cưa được lặp lại trong chu kỳ ts tương ứng với khoảng thời gian thứ nhất Tcnv, và do đó, sóng hình răng cưa nghiêng hướng lên được mô tả.

Giai đoạn thứ nhất và khoảng $D6 \cdot ts$ của nó lần lượt tương ứng với giai đoạn thứ hai Q1 và khoảng thời gian thứ hai Tinv1. Giai đoạn thứ hai và khoảng $D4 \cdot ts$ của nó lần lượt tương ứng với giai đoạn thứ hai Q2 và khoảng thời gian thứ hai Tinv2.

Các sóng tín hiệu V_r^* , V_s^* và V_t^* là các sóng hình thang nguồn điện áp và do đó, sự đổi chiều của bộ biến đổi 21 được thực hiện bởi cùng một vectơ điện áp như trong trường hợp được thể hiện trên Fig.18, và mẫu chuyển mạch của bộ biến đổi 21 cũng trở nên giống như chuyển mạch của ví dụ so sánh được thể hiện trên Fig.18. Do đó, như dòng điện đường

truyền I_r , I_s và I_t thu được theo phương án này, thu được cùng một dòng điện như dòng điện trong ví dụ so sánh được thể hiện trên Fig.18.

Trong giai đoạn thứ nhất tương ứng với giai đoạn thứ hai Q1, vật tải đổi điện K2 được so sánh với trị số lệnh điện áp $D6 \cdot d0$, $D6(d0+d4)$ và $D6$, mà tương ứng với các trị số ngưỡng đổi điện D_{pwm} được nêu theo phương án thứ nhất. Tuy nhiên, do khoảng thời gian của giai đoạn thứ hai Q1 được xác định là khoảng thời gian thứ hai T_{inv1} , vật tải đổi điện K2 có trị số lệnh điện áp $D6$ là trị số tối đa trong giai đoạn thứ nhất. Tiếp theo, do quá trình điều biến hai pha được chấp nhận trong bản mô tả này, trị số lệnh điện áp $D6(d0+d4+d6) = D6$ là đối tượng so sánh của vật tải đổi điện K2 có thể được bỏ qua. Xem liệu việc bỏ qua như vậy có tương ứng với thực tế là có trường hợp mà trong đó có ba loại trị số ngưỡng đổi điện D_{pwm} , và trường hợp mà trong đó có hai loại của nó hay không.

Vật tải đổi điện K2 được so sánh với trị số lệnh điện áp $D4 \cdot d0$, $D4(d0+d4)$ và $D6$, mà tương ứng với trị số ngưỡng đổi điện D_{pwm} được nêu theo phương án thứ nhất, trong giai đoạn thứ hai tương ứng với giai đoạn thứ hai Q2. Tuy nhiên, do giai đoạn thứ hai Q2 được xác định bởi khoảng thời gian thứ hai T_{inv2} , vật tải đổi điện K2 có trị số lệnh điện áp $D4$ là trị số tối đa trong giai đoạn thứ hai. Do đó, trị số lệnh điện áp $D4 = D4(d0+d4+d6)$ là đối tượng so sánh của vật tải đổi điện K2 có thể được bỏ qua. Ngoài ra, xem liệu việc bỏ qua như vậy có tương ứng với thực tế là có trường hợp mà trong đó ba loại trị số ngưỡng đổi điện D_{pwm} , và trường hợp mà trong đó có hai loại của nó hay không.

Hiển nhiên là các giai đoạn mà trong đó các vectơ điện áp $V0$, $V4$ và $V6$ được chấp nhận, các giai đoạn thu được như được mô tả trên đây, thu được theo cùng một cách như trường hợp được thể hiện trên Fig.18 miễn là tỷ lệ

dòng D4 và D6 và các trị số d_0 , d_4 và d_6 không bị thay đổi. Cần phải lưu ý rằng thời gian mà ở đó lệnh gián đoạn R2 được thể hiện trên Fig.7 xuất hiện được thể hiện giảm tín hiệu được ký hiệu bởi ký hiệu int trên Fig.19.

Cần phải hiểu rằng phương án thứ nhất có thể áp dụng được khi, như được mô tả trên đây, bộ biến đổi 21 biến đổi các điện áp xoay chiều ba pha V_r , V_s và V_t thành điện áp một chiều V_{dc} , và bộ đổi điện 22 phát ra dòng điện xoay chiều đa pha Iv.

Theo cách này, sẽ đủ nếu số lượng bộ điều biến PWM bù cần cho tín hiệu chuyển mạch đổi điện S_{inv} là một. Hơn nữa, không giống như trường hợp được thể hiện trong Tài liệu sáng chế 3, theo cách này, không nhất thiết phải tổng hợp tín hiệu chuyển mạch đổi điện S_{inv} trong giai đoạn thứ nhất và tín hiệu chuyển mạch đổi điện S_{inv} trong giai đoạn thứ hai với nhau.

Hơn nữa, hiển nhiên là, trên sơ đồ được thể hiện trên Fig.19, thu được cùng một kết quả thậm chí khi độ nghiêng vật tải biến đổi K1 được đảo ngược, tức là, được nghiêng xuống. Do đó, hiển nhiên là phương án thứ hai mà trong đó vật tải biến đổi K1 trở thành sóng hình tam giác cũng có thể được áp dụng cho phương án này.

Tất nhiên là, phương án thứ ba cũng có thể được áp dụng cho phương án này. Tuy nhiên, trong trường hợp này, theo cách tương tự với trị số ngưỡng biến đổi C_{cnv} và C_{cnvB} , mà được mô tả theo phương án thứ ba, sau đó vật tải biến đổi K1 theo cách khác được so sánh với tỷ lệ dòng D6 và D4.

<Phương án thứ năm>

Theo phương án thứ năm, phần mô tả sẽ được đưa ra về trường hợp mà trong đó bộ biến đổi 21 biến đổi điện áp xoay chiều một pha thành điện áp một chiều V_{dc} .

Fig.20 là sơ đồ khối minh họa cấu hình của bộ biến đổi điện 2 được

chấp nhận theo phương án này. Trong bộ biến đổi điện 2, mạch chỉnh lưu gồm có cầu diot chỉnh lưu toàn sóng được chấp nhận làm bộ biến đổi 21 và bộ biến đổi nguồn điện áp được chấp nhận là bộ đổi điện 22. Bộ biến đổi điện 2 còn bao gồm mạch đệm điện 4. Chính cấu hình như vậy là đã biết bởi Tài liệu sáng chế 4 và các tài liệu tương tự.

Bộ biến đổi 21 nối với nguồn điện xoay chiều một pha 81. Nguồn điện xoay chiều một pha 81 có thể được hiểu là một ví dụ về nguồn điện xoay chiều 8 trên Fig.1.

Bộ biến đổi 21 và mạch đệm điện 4 được nối với bộ đổi điện 22 song song với nhau bởi đường cáp điện một chiều LH và LL. Điện thế cao hơn so với đường cáp điện một chiều LL được cấp cho đường cáp điện một chiều LH.

Bộ biến đổi 21 bao gồm các diot D31 đến D34, mà bao gồm mạch cầu. Bộ biến đổi 21 thực hiện việc chỉnh lưu toàn sóng một pha đối với điện áp xoay chiều một pha Vin được cấp từ nguồn điện xoay chiều một pha 81, biến đổi điện áp xoay chiều một pha Vin thành điện áp chỉnh lưu Vrec(=|Vin|), và phát ra điện áp chỉnh lưu Vrec đến đường cáp điện một chiều LH và LL. Bộ biến đổi 21 thu dòng điện irec từ nguồn điện xoay chiều một pha 81.

Mạch đệm điện 4 bao gồm mạch phóng điện 4a và mạch nạp điện 4b và trao đổi điện với đường cáp điện một chiều LH và LL. Mạch phóng điện 4a bao gồm tụ điện C4 và mạch nạp điện 4b tăng áp điện áp chỉnh lưu Vrec và nạp điện cho tụ điện C4.

Mạch phóng điện 4a còn bao gồm tranzito (trong bản mô tả này, tranzito hai cực công cách điện: dưới đây được viết tắt là "IGBT") Sc nối đối song với diot D42. Tranzito Sc được nối nối tiếp với tụ điện C4 giữa

đường cấp điện một chiều LH và LL ở phía đường cấp điện một chiều LH. Tranzito Sc và diot D42 có thể được gọi chung là một công tắc Sc. Nhờ quá trình thực hiện của công tắc Sc, tụ điện C4 được phóng điện và thu được dòng điện giữa đường cấp điện một chiều LH và LL. Việc mở và đóng công tắc Sc được điều khiển bằng tín hiệu SSc từ thiết bị điều khiển bộ biến đổi điện 1. Cần phải lưu ý rằng công tắc Sc là dẫn điện trong quá trình điều khiển không theo giai đoạn.

Ví dụ, mạch nạp điện 4b bao gồm diot D40, bình phản ứng L4 và tranzito (trong bản mô tả này, IGBT) S1. Diot D40 bao gồm cathot và anot và cathot được nối giữa công tắc thứ nhất và tụ điện C4. Kết cấu như vậy đã biết là bộ lưu rung tăng áp. Diot D41 được nối đối song với tranzito S1 và cả hai trong số chúng có thể được gọi chung là một công tắc S1.

Tụ điện C4 được nạp điện bởi mạch nạp điện 4b và điện áp hai đầu V_c cao hơn so với điện áp chỉnh lưu V_{rec} được tạo ra trong tụ điện C4. Tức là, mạch đệm điện 4 dùng làm mạch tăng áp, và xem liệu mạch đệm điện 4 có góp phần vào điện áp một chiều V_{dc} được xác định bởi công tắc Sc hay không. Bằng cách mở và đóng công tắc Sc, việc chuyển mạch được thực hiện để xem liệu dòng điện một chiều I_{dc} có chạy qua đường cấp điện một chiều LH và LL là để chạy từ mạch đệm điện 4 hoặc để chạy từ cầu diot chỉnh lưu toàn sóng hay không.

Do đầu ra của mạch đệm điện 4 cũng là điện áp một chiều, mạch đệm điện 4 cũng có thể được xem là có trong bộ biến đổi 21. Trong trường hợp này, có thể hiểu được rằng bộ biến đổi 21 đảo mạch dòng điện một chiều I_{dc} bằng cách mở và đóng công tắc Sc.

Do cấu hình và quá trình vận hành của bộ đổi điện 22 giống như cấu hình và quá trình vận hành trong phương án thứ tư, phần mô tả của nó sẽ

được bỏ qua trong bản mô tả này.

Fig.21 là sơ đồ mạch thể hiện mạch tương đương của mạch được thể hiện trên Fig.20. Theo mạch tương đương, irecl dòng điện được thể hiện theo cách tương đương như irecl dòng điện chạy qua công tắc Srec khi công tắc Srec dẫn điện. Theo cách tương tự, ic dòng điện phóng ra được thể hiện theo cách tương đương với ic dòng điện đi qua công tắc Sc khi công tắc Sc dẫn điện.

Hơn nữa, dòng điện chạy từ tải 3 thông qua bộ đổi điện 22 khi các điểm nối Pu, Pv và Pw trong bộ đổi điện 22 được nối chung với một trong số đường cấp điện một chiều LH và LL cũng được thể hiện theo cách tương đương như dòng điện pha zero chạy qua công tắc Sz. Hơn nữa, trên Fig.21, bộ điện kháng L4, diot D40 và công tắc Sl, mà bao gồm mạch nạp điện 4b, được thể hiện và il dòng điện chạy qua bộ điện kháng L4 còn được ghi tiếp.

Trong mạch tương đương thu được theo cách này, drec hoạt động, dc và dz, mà với các công tắc Srec, Sc và Sz dẫn điện, được đưa vào và $drec+dc+dz = 1$ được thiết lập. Trong bản mô tả này, $0 \leq drec \leq 1$, $0 \leq dc \leq 1$, và $0 \leq dz \leq 1$ đứng yên.

Dòng điện một chiều Idc là tổng của irecl, ic và iz dòng điện, mà lần lượt khiến cho các công tắc Srec, Sc và Sz dẫn điện. Hơn nữa, do irecl, ic và iz dòng điện thu được bằng cách nhân dòng điện một chiều Idc lần lượt với drec, dc và dz hoạt động, các irecl, ic và iz dòng điện là các trị số trung bình trong chu kỳ chuyển mạch của các công tắc Srec, Sc và Sz.

drec hoạt động là hoạt động mà thiết lập một giai đoạn trong khi bộ biến đổi 21 có khả năng chạy dòng điện đến bộ đổi điện 22, và do đó, được dùng để chỉ drec hoạt động chính lưu. Hơn nữa, dc hoạt động là hoạt động với tụ điện C4 mà được phóng điện và do đó được dùng để chỉ dc công suất

phóng điện. Hơn nữa, dz hoạt động là hoạt động với dòng điện pha zero iz mà thường chạy trong bộ đổi điện 22 bắt chấp điện áp được phóng ra từ đó và do đó, được dùng để chỉ dz hoạt động zero.

Một ví dụ về quá trình vận hành của bộ biến đổi điện 2 có cấu hình như vậy được mô tả chi tiết trong Tài liệu sáng chế 4, và do đó được bỏ qua trong bản mô tả này. Để so sánh với phương án này, sơ đồ thể hiện quá trình vận hành của ví dụ này chỉ được thể hiện trên Fig.22.

Tức là, Fig.22 là sơ đồ thể hiện quá trình vận hành của bộ biến đổi điện 2 để so sánh với phương án này. Trạng thái ON/OFF của các công tắc Srec, Sc và Sz được thể hiện theo cách riêng rẽ bởi cao/thấp trên sơ đồ. Chu kỳ ts của sóng hình tam giác đối xứng C1 được chia theo tỷ lệ drec hoạt động chỉnh lưu, dc công suất phóng điện và dz hoạt động zero.

dz hoạt động zero phụ thuộc vào quá trình vận hành của bộ đổi điện 22. Hơn nữa, do cầu diot chỉnh lưu toàn sóng được chấp nhận đối với bộ biến đổi 21, drec hoạt động chỉnh lưu được xác định một cách tích cực bởi dc công suất phóng điện và dz hoạt động zero. Tức là, dc công suất phóng điện mà được điều khiển trong bộ biến đổi 21. Do đó, là đối tượng so sánh của sóng hình tam giác đối xứng C1, trị số thu được bằng cách lấy 1 trừ đi dc công suất phóng điện được dùng để chỉ $(1-dc)$ công suất bù phóng điện và việc này được chấp nhận.

Không giống với phương án thứ tư, chu kỳ ts cũng được chia theo hai giai đoạn $t_{z/2}(= dz \cdot ts/2)$ cũng như các giai đoạn $t_c(= dc \cdot ts)$ và $t_{rec}(= drec \cdot ts)$. Tức là, một giai đoạn mà trong đó sóng hình tam giác đối xứng C1 trở nên bằng hoặc lớn hơn so với $(1-dc)$ công suất bù phóng điện là giai đoạn t_c , một giai đoạn mà trong đó sóng hình tam giác đối xứng C1 trở nên bằng hoặc nhỏ hơn so với drec hoạt động chỉnh lưu là giai đoạn t_{rec} và giai

đoạn mà trong đó sóng hình tam giác đối xứng C1 trở nên bằng hoặc lớn hơn so với drec hoạt động chỉnh lưu và bằng hoặc nhỏ hơn $(1-dc)$ công suất bù phóng điện thể hiện là hai giai đoạn $tz/2$.

Cần phải lưu ý rằng cách mong muốn chọn dc công suất phóng điện là đã biết và do đó được bỏ qua trong bản mô tả này. Tuy nhiên, khoảng thời gian thứ nhất T_{cnv} , vật tải biến đổi K1, và trị số ngưỡng biến đổi C_{cnv} , mà được mô tả trong phần "(b-2) Giải thích quá trình vận hành của ví dụ so sánh" được mô tả trên đây, lần lượt tương ứng với chu kỳ ts , sóng hình tam giác đối xứng C1, và $(1-dc)$ công suất bù phóng điện (xem Fig.6).

Trên Fig.22, sóng hình tam giác đối xứng C2 có trị số tối thiểu 0 và trị số tối đa 1. Sóng hình tam giác đối xứng C2 được so với trị số lệnh điện áp $drec \cdot Vw^*$, $drec \cdot Vv^*$, $drec \cdot Vu^*$, $drec+dz$, $drec+dz+dc(1-Vu^*)$, $drec+dz+dc(1-Vv^*)$, và $drec+dz+dc(1-Vw^*)$. Vật tải đổi điện K2 và trị số ngưỡng đổi điện $Dpwm$, mà được mô tả trong phần "(b-2) Giải thích quá trình vận hành của ví dụ so sánh" được mô tả trên đây, lần lượt tương ứng với sóng hình tam giác đối xứng C2 và trị số lệnh điện áp (xem Fig.6).

Fig.22 thể hiện trường hợp mà trong đó quá trình điều biến hai pha được thực hiện, trong đó $Vw^* = 0$ được chấp nhận. Trong trường hợp này, trị số lệnh điện áp $drec \cdot Vw^*$ và $drec+dz+dc(1-Vw^*)$ lần lượt trở nên 0 và 1, mà lần lượt phù hợp với trị số tối thiểu và trị số tối đa của sóng hình tam giác đối xứng C2. Do đó, khi quá trình điều biến hai pha được thực hiện, trị số lệnh điện áp $drec \cdot Vw^*$ và $drec+dz+dc(1-Vw^*)$ có thể được bỏ qua.

Trị số lệnh điện áp $drec \cdot Vy^*$ nhỏ hơn so với drec hoạt động chỉnh lưu với trị số $drec(1-Vy^*)$, và trị số lệnh điện áp $drec+dz+dc(1-Vy^*)$ nhỏ hơn so với $(1-dc)$ ($= drec+dz$) công suất bù phóng điện với trị số $dc(1-Vy^*)$ (như được nêu trên đây, ký hiệu y thể hiện các ký hiệu u, v và w).

Tín hiệu chuyển mạch Sup, Svp và Swp được minh hoạ theo cách tương tự với phương án thứ tư, và tín hiệu chuyển mạch Sun, Svn và Swn được bỏ qua.

Do đó, bằng cách sử dụng các trị số lệnh điện áp này, bộ đổi điện 22 vận hành trên cơ sở vectơ điện áp V_0 , V_4 và V_6 , mà được chấp nhận trong các giai đoạn ở tỷ lệ $(1-V_u^*) : (V_u^*-V_v^*) : (V_v^*-V_w^*)$ trong cả giai đoạn tc và trec trong chu kỳ ts và vectơ điện áp V_0 được chấp nhận trong các giai đoạn bao gồm thời gian mà ở đó bộ biến đổi đảo mạch (các giai đoạn này cũng bao gồm giai đoạn $t_z/2$), do đó bộ biến đổi đảo mạch ở trạng thái mà trong đó dòng điện một chiều I_{dc} không chạy.

Do đó, nếu một cặp giai đoạn $t_z/2$ và giai đoạn trec được xem xét chung là giai đoạn trec', Fig.22 thể hiện việc điều khiển hai pha nêu trên. Cần phải lưu ý rằng việc giảm tín hiệu, mà được ký hiệu bởi ký hiệu int, thể hiện gián đoạn phần lổm sóng tương ứng với lệnh gián đoạn R2 được thể hiện trên Fig.6.

Fig.23 là sơ đồ thể hiện quá trình vận hành của bộ biến đổi điện 2 khi việc điều khiển được thể hiện theo phương án thứ nhất được áp dụng theo phương án này.

Vật tải biến đổi K1 được so sánh với dc công suất phóng điện tương ứng với trị số ngưỡng biến đổi C_{cnv} được nêu theo phương án thứ nhất. Vật tải biến đổi K1 thể hiện sóng hình răng cưa được lặp lại trong một chu kỳ ts tương ứng với khoảng thời gian thứ nhất T_{cnv} , và trong bản mô này, sóng hình răng cưa nghiêng lên được mô tả.

Giai đoạn tc và khoảng thời gian $dc \cdot ts$ của nó lần lượt tương ứng với giai đoạn thứ hai Q1 và khoảng thời gian thứ hai T_{inv1} . Giai đoạn trec' và khoảng thời gian $(1-dc) \cdot ts (= (t_z/2 + trec + t_z/2) \cdot ts)$ của nó lần lượt tương ứng

với giai đoạn thứ hai Q2 và khoảng thời gian thứ hai T_{inv2} .

Cụ thể là, giai đoạn trong khi vật tải biến đổi K1 trở nên bằng hoặc nhỏ hơn so với dc phóng điện là giai đoạn t_c và giai đoạn trong khi vật tải biến đổi K1 trở nên bằng hoặc lớn hơn so với dc công suất phóng điện là giai đoạn t_{rec} . Công tắc Sc được mở và đóng sao cho công tắc Sc dẫn điện khi vật tải biến đổi K1 bằng hoặc nhỏ hơn so với dc công suất phóng điện. Do đó, dc công suất phóng điện tương ứng với trị số ngưỡng biến đổi C_{cnv} , và tín hiệu SSc để điều khiển việc mở và đóng công tắc Sc tương ứng với tín hiệu chuyển mạch biến đổi Sc_{nv} .

Cần phải lưu ý rằng cũng được thể hiện: giai đoạn t_{rec} trong khi vật tải biến đổi K1 trở nên bằng hoặc lớn hơn trị số $(dc+dz/2)$ và bằng hoặc nhỏ hơn trị số $(d_{rec}+dc+dz/2)$; và hai giai đoạn $t_z/2$ trong khi vật tải biến đổi K1 trở nên bằng hoặc lớn hơn dc công suất phóng điện và bằng hoặc nhỏ hơn trị số $(dc+dz/2)$ hoặc trở nên bằng hoặc lớn hơn trị số $(d_{rec}+dc+dz/2)$ và trở nên bằng hoặc nhỏ hơn trị số 1 ($= d_{rec}+dc+dz$).

Trong giai đoạn t_c tương ứng với giai đoạn thứ hai Q1, vật tải đổi điện K2 được so sánh với trị số lệnh điện áp $dc(1-V_{u*})$, $dc(1-V_{v*})$ và $dc(1-V_{w*})$, mà tương ứng với trị số ngưỡng đổi điện D_{pwm} được nêu theo phương án thứ nhất.

Giai đoạn thứ hai Q1 được xác định theo khoảng thời gian thứ hai T_{inv1} , và vật tải đổi điện K2 có dc công suất phóng điện là trị số tối đa trong giai đoạn t_c . Trong bản mô tả này, quá trình điều biến hai pha được chấp nhận và trị số lệnh điện áp $dc(1-V_{w*})$ bằng với dc công suất phóng điện. Do đó, trị số lệnh điện áp $dc(1-V_{w*})$ là đối tượng so sánh của vật tải đổi điện K2 có thể được bỏ qua. Xem liệu việc bỏ qua như vậy có tương ứng với thực tế là có trường hợp mà trong đó có ba loại trị số ngưỡng đổi điện D_{pwm}

và trường hợp mà trong đó có hai loại của nó hay không.

Trong giai đoạn trec' tương ứng với giai đoạn thứ hai Q2, vật tải đổi điện K2 được so sánh với trị số lệnh điện áp $dz+drec(1-Vu^*)$, $dz+drec(1-Vv^*)$ và $dz+drec(1-Vw^*)$, mà tương ứng với trị số ngưỡng đổi điện Dpwm được nêu theo phương án thứ nhất.

Giai đoạn thứ hai Q2 được xác định theo khoảng thời gian thứ hai Tinv2, và vật tải đổi điện K2 có công suất bù phóng điện $(1-dc)(=dz+drec)$ là trị số tối đa trong giai đoạn trec'. Trong bản mô tả này, quá trình điều biến hai pha được chấp nhận và trị số lệnh điện áp $dz+drec(1-Vw^*)$ bằng với công suất bù phóng điện $(1-dc)$. Do đó, trị số lệnh điện áp $dz+drec(1-Vw^*)$ là đối tượng so sánh của vật tải đổi điện K2 có thể được bỏ qua. Xem liệu việc bỏ qua như vậy cũng tương ứng với thực tế là có trường hợp mà trong đó có ba loại trị số ngưỡng đổi điện Dpwm, và trường hợp mà trong đó có hai loại của nó hay không.

Sẽ hiển nhiên là các giai đoạn mà trong đó vector điện áp V0, V4 và V6 được chấp nhận, các giai đoạn thu được như được mô tả trên đây, thu được theo cùng một cách như trong trường hợp được thể hiện trên Fig.22. Cần phải lưu ý rằng thời gian mà ở đó lệnh gián đoạn R2 được thể hiện trên Fig.7 xuất hiện được thể hiện là giảm tín hiệu được ký hiệu bởi ký hiệu int trên Fig.23.

Cần phải hiểu rằng phương án thứ nhất có thể áp dụng được khi, như được mô tả trên đây, bộ biến đổi 21 và mạch đệm điện 4 biến đổi điện áp xoay chiều một pha Vin thành điện áp một chiều Vdc, và bộ đổi điện 22 phát ra dòng điện xoay chiều đa pha Iv.

Hơn nữa, hiển nhiên là, trên sơ đồ được thể hiện trên Fig.23, kết quả tương tự ó thể thu được thậm chí khi độ nghiêng của vật tải biến đổi K1

được đảo ngược, tức là, nghiêng xuống. Do đó, hiển nhiên là phương án thứ hai mà trong đó vật tải biến đổi K1 trở thành sóng hình tam giác cũng có thể được áp dụng cho phương án này.

Tất nhiên là, phương án thứ ba cũng có thể được áp dụng cho phương án này. Tuy nhiên, trong trường hợp này, theo cách tương tự với trị số ngưỡng biến đổi Ccnv và CcnvB, mà được mô tả theo phương án thứ ba, vật tải biến đổi K1 theo cách được so sánh với dc công suất phóng điện và (1-dc) công suất bù phóng điện.

Ví dụ thực hiện sáng chế

Phần mô tả sẽ được đưa ra đối với trường hợp mà trong đó máy vi tính một chip RX62T được sản xuất bởi Renesas Technology Corporation được sử dụng cho phương án thứ năm. Như được thể hiện trong Bảng 1, máy vi tính một chip RX62T có thể bao gồm hai bộ điều biến PWM bù bằng cách sử dụng, trong số các bộ xung định thời đa chức năng 8-Ch (dưới đây được viết tắt là, “MTU”), MTU 3 và 4 và MTU 6 và 7 (để xem phần mô tả chi tiết, xem Tài liệu phi sáng chế 4 và 5 chẳng hạn).

Trong bản mô tả này, đối với bộ điều biến PWM bù phía bộ đổi điện 22 bởi MTU 3 và 4, quá trình điều biến sóng hình răng cưa của công tắc Sc được sử dụng cùng với nhau bằng cách sử dụng MTU0, và đạt được sự đồng bộ bởi chức năng khởi đầu đồng bộ của bộ định thời.

[Bảng 1]

RX62T MTU3							
Bộ đếm	I/O	Tín hiệu phát ra	TGR	Thanh ghi	TGR/TBR	Bộ đếm	Chức năng
MTU0	MTIOC0A, B, C, D	SSc, -, -, -	TGRA, TGRB, TGRE	SSc*, carr, -	TGRC, TGRD, TGRF	SSc0*, carr0, -	Chế độ PWM 1

MTU1	MTIOC1A, B		TGRA, TGRB		-		
MTU2	MTIOC2A, B		TGRA, TGRB		-		
MTU3	MTIOC3A, B, C, D	Carr, U, -, X	TGRA, TGRB	carr + td, U*	TGRC, TGRD, TGRE	carr + td0, U0*, -	PWM bù
MTU4	MTIOC4A, B, C, D	V, W, Y, Z	TGRA, TGRB	V*, W*	TGRC, TGRD, TGRE, TGRF	V0*, W0*, -, -	PWM bù
MTU5	MTIC5U, V, W		TGRU, TGRV, TGRW		-		
MTU6	MTIOC6A, B, C, D		TGRA, TGRB		TGRC, TGRD, TGRE		
MTU7	MTIOC7A, B, C, D		TGRA, TGRB		TGRC, TGRD, TGRE, TGRF		

Cụ thể hơn là, trong MTU0, chế độ PWM 1 được chấp nhận và trị số SSc* và carr được lưu trữ trong thanh ghi so sánh TGRA và TGRB được truyền từ các trị số SSc0* và carr0 được ghi trong thanh ghi trung gian TGRC và TGRD, mà lần lượt tương ứng với trị số ngưỡng biến đổi Ccnv và khoảng thời gian thứ nhất Tcnv.

MTU0 phát ra tín hiệu SSc tương ứng với tín hiệu chuyển mạch biến đổi Scnv từ thiết bị đầu cuối đầu vào/đầu ra MTIOC0A, và điều khiển quá trình mở và đóng công tắc Sc theo phương án thứ năm. Cụ thể là, khi tín hiệu SSc là "H", công tắc Sc trở nên dẫn điện và khi tín hiệu SSc là "L", công tắc Sc trở nên không dẫn điện.

Trong MTU3 và MTU 4, chế độ PWM bù được chấp nhận. Các trị số U*, V* và W*, mà được lưu trữ trong thanh ghi so sánh TGRB của MTU3 và thanh ghi so sánh TGRA và TGRB của MTU4, các trị số được truyền từ

các trị số $U0^*$, $V0^*$ và $W0^*$, lần lượt được ghi trong thanh ghi trung gian TGRE của MTU3 và thanh ghi trung gian TGRC và TGRD của MTU4 và tương ứng với trị số ngưỡng đổi điện Dpwm. Trị số (carr+td) được lưu trữ trong thanh ghi so sánh TGRA của MTU 3 là trị số được truyền từ trị số (carr+td0) được lưu trữ trong thanh ghi trung gian TGRC của MTU3, và tương ứng với khoảng thời gian thứ hai Tinv.

Các tín hiệu U, X, V, W, Y và Z, mà tương ứng với các tín hiệu chuyển mạch Sup, Sun, Svp, Svn, Swp và Swn, lần lượt được phát ra từ các thiết bị đầu cuối đầu vào/đầu ra MTIOC3B và MTIOC3D của MTU3 và các thiết bị đầu cuối đầu vào/đầu ra MTIOC4A, MTIOC4B, MTIOC4C và MTIOC4D của MTU4. Từ thiết bị đầu cuối đầu vào/đầu ra MTIOC3A của MTU3, carr công suất đảo chiều đồng bộ với chu kỳ tương ứng với giai đoạn thứ hai Q1 và Q2 được phát ra.

Cần phải lưu ý rằng thanh ghi so sánh và thanh ghi trung gian nêu trên của MTU0, MTU3 và MTU4 tất cả được thực hiện bởi thanh ghi chung định thời (được ký hiệu bởi ký hiệu "TGR" trong bảng 1).

Fig.24 là sơ đồ thể hiện trạng thái của carr công suất đảo chiều và tín hiệu SSc, U, X, V, W, Y và Z khi giai đoạn (giai đoạn tc) trong khi mạch đệm điện 4 góp phần vào điện áp một chiều Vdc là 1/3 giai đoạn (giai đoạn trec') trong khi mạch đệm điện 4 không góp phần vào điện áp một chiều Vdc. Tất cả tín hiệu này là "H" hoạt động.

Trị số SSc0* được thiết lập đến 1/3 trị số carr0, và các trị số này được đưa ra đối với thanh ghi trung gian của MTU0. Trong MTU3 và MTU4, chu kỳ của vật tải đổi điện K2 được cập nhật khi tăng carr công suất đảo chiều tương ứng với phần lổm của vật tải đổi điện K2. Theo cách này, việc điều khiển PWM đồng bộ giữa bộ biến đổi 21 và bộ đổi điện 22 được thực

hiện.

Tiếp theo, trong giai đoạn (tương ứng với vector điện áp V_0) trong khi các tín hiệu U, V và W trở thành "H" và các tín hiệu X, Y và Z trở thành "L", carr công suất đảo chiều tăng và công tắc Sc chuyển mạch. Do đó, do công tắc Sc được mở và đóng ở thời điểm khi dòng điện một chiều I_{dc} không chạy, tổn thất trong quá trình mở và đóng được giảm.

Cần phải lưu ý rằng, trên Fig.24, việc xử lý của giai đoạn $t_z/2$ không được mô tả một cách rõ ràng. Tuy nhiên, xem xét đến dz công suất zero, ví dụ, dz công suất zero có thể được xem xét, ví dụ, bằng cách thiết lập, đến $dz \cdot ts$, phần tương ứng với trị số td_0 trong trị số $(carr+td_0)$ được lưu trữ trong thanh ghi trung gian TGRC của MTU3.

Hơn nữa, Fig.24 minh họa trường hợp mà trong đó bộ đổi điện 22 vận hành bởi các tín hiệu U, X, V, W, Y và Z dựa vào quá trình điều biến ba pha. Tuy nhiên, mong muốn chấp nhận quá trình điều biến hai pha từ quan điểm giảm thất thoát chuyển mạch của bộ đổi điện 22.

Các phương án được mô tả trên đây có thể được sửa đổi kết hợp với phương án khác miễn là các chức năng tương ứng của nó không bị phá vỡ. Các sửa đổi như vậy cũng được đưa vào trong sáng chế.

Hơn nữa, theo các phương án được mô tả trên đây và các sửa đổi của nó, chính thiết bị điều khiển bộ biến đổi điện 1 có thể được hiểu là sáng chế và ngoài ra, sáng chế cũng có thể được hiểu là phương pháp điều khiển để điều khiển thiết bị điều khiển bộ biến đổi điện 1 bao gồm bộ điều khiển biến đổi 11 và bộ điều khiển đổi điện 12.

Mặc dù sáng chế đã được mô tả chi tiết, theo tất cả các khía cạnh, phần mô tả nêu trên nhằm mục đích minh họa sáng chế và sáng chế không chỉ giới hạn ở các khía cạnh này. Cần phải hiểu rằng rất các ví dụ sửa đổi

không được minh hoạ trong bản mô tả này có thể được dự định mà không
chệch khỏi phạm vi bảo hộ của sáng chế.

YÊU CẦU BẢO HỘ

1. Thiết bị điều khiển bộ biến đổi điện để điều khiển bộ biến đổi điện có bộ biến đổi mà thực hiện quá trình biến đổi dòng điện xoay chiều-dòng điện một chiều và bộ đổi điện mà nhận điện áp một chiều từ bộ biến đổi này và cấp dòng điện xoay chiều đa pha, trong đó thiết bị điều khiển bộ biến đổi điện này bao gồm:

bộ điều khiển biến đổi mà tạo ra tín hiệu chuyển mạch biến đổi để xác định sự chuyển mạch của bộ biến đổi này dựa vào kết quả thực hiện việc so sánh giữa vật tải biến đổi và trị số ngưỡng biến đổi trong mỗi giai đoạn thứ nhất lặp lại trong khi có khoảng thời gian thứ nhất; và

bộ điều khiển đổi điện mà tạo ra tín hiệu chuyển mạch đổi điện để xác định sự chuyển mạch của bộ đổi điện này dựa vào kết quả thực hiện việc so sánh giữa vật tải đổi điện và trị số ngưỡng đổi điện trong mỗi giai đoạn thứ hai đồng bộ với vật tải biến đổi và lặp lại trong khi có khoảng thời gian thứ hai,

trong đó trong giai đoạn thứ nhất, dữ liệu thứ nhất và dữ liệu thứ hai luôn phiên được cấp cho bộ điều khiển đổi điện, dữ liệu thứ nhất bao gồm trị số thứ nhất thể hiện khoảng thời gian tính từ thời điểm bắt đầu giai đoạn thứ nhất đến thời điểm điều hợp là thời điểm khi vật tải biến đổi thu được trị số ngưỡng biến đổi và trị số ngưỡng đổi điện tương ứng với giai đoạn thứ hai có trị số thứ nhất là khoảng thời gian thứ hai, và dữ liệu thứ hai bao gồm trị số thứ hai thể hiện khoảng thời gian tính từ thời điểm điều hợp đến thời điểm kết thúc của giai đoạn thứ nhất và trị số ngưỡng đổi điện tương ứng với giai đoạn thứ hai có trị số thứ hai là khoảng thời gian thứ hai.

2. Thiết bị điều khiển bộ biến đổi điện theo điểm 1, trong đó thiết bị này

còn bao gồm:

bộ xử lý số học mà thực hiện việc xử lý số học để thu được dữ liệu thứ nhất và dữ liệu thứ hai trong một cặp giai đoạn thứ hai, việc xử lý số học được thực hiện trong mỗi giai đoạn thứ nhất này,

trong đó bộ điều khiển đổi điện này bao gồm:

bộ ghi trung gian mà lưu trữ trị số ngưỡng đổi điện và khoảng thời gian thứ hai này;

bộ ghi so sánh mà nội dung được lưu trữ bởi thanh ghi trung gian này được truyền ở điểm biên thời gian là thời điểm dùng làm biên giữa các giai đoạn thứ hai;

bộ định thời mà tạo ra trị số đếm mà được so với khoảng thời gian thứ hai được lưu trữ trong thanh ghi so sánh và trở thành vật tải đổi điện; và

bộ tạo ra tín hiệu chuyển mạch mà tạo ra tín hiệu chuyển mạch đổi điện trên cơ sở kết quả của việc so sánh giữa trị số ngưỡng đổi điện được lưu trữ trong thanh ghi so sánh và vật tải đổi điện, và

dữ liệu thứ nhất thu được nhờ việc xử lý số học trong một giai đoạn trong số các giai đoạn thứ nhất được lưu trữ trong thanh ghi trung gian trước khi bắt đầu giai đoạn khác trong số các giai đoạn thứ nhất này, dữ liệu thứ hai thu được nhờ việc xử lý số học trong một giai đoạn trong số các giai đoạn thứ nhất này được lưu trữ trong thanh ghi trung gian khi bắt đầu giai đoạn kia trong số các giai đoạn thứ nhất và giai đoạn khác trong số các giai đoạn thứ nhất này có mặt ngay sau một giai đoạn trong số các giai đoạn thứ nhất này.

3. Thiết bị điều khiển bộ biến đổi điện theo điểm 2,

trong đó dữ liệu thứ nhất:

(a) vào lúc và sau thời gian kết thúc việc xử lý số học khi điểm biên thời gian có mặt sau khi bắt đầu việc xử lý số học và trước khi kết thúc việc xử lý số học,

(b) khi điểm biên thời gian không có mặt sau khi bắt đầu việc xử lý số học và trước khi kết thúc việc xử lý số học, bằng cách xử lý bằng lệnh gián đoạn xảy ra ở điểm thứ nhất trong số các điểm biên thời gian sau khi kết thúc việc xử lý số học,

được lưu trữ trong thanh ghi trung gian trong các trường hợp riêng này.

4. Thiết bị điều khiển bộ biến đổi điện theo điểm 3,
trong đó dữ liệu thứ nhất:

(a1) được lưu trữ trong thanh ghi trung gian tại thời điểm khi việc xử lý số học kết thúc khi điểm biên thời gian có mặt sau khi bắt đầu việc xử lý số học và trước khi kết thúc việc xử lý số học.

5. Thiết bị điều khiển bộ biến đổi điện theo điểm 3,
trong đó dữ liệu thứ nhất:

(a2) khi điểm biên thời gian có mặt sau khi bắt đầu việc xử lý số học và trước khi kết thúc việc xử lý số học, được lưu trữ trong thanh ghi trung gian bằng cách xử lý gián đoạn bởi lệnh gián đoạn xảy ra ở điểm thứ nhất trong số các điểm biên thời gian sau khi kết thúc việc xử lý số học.

6. Thiết bị điều khiển bộ biến đổi điện theo điểm bất kỳ trong số các điểm từ 1 đến 5, trong đó vật tải đổi điện thể hiện sóng hình tam giác đơn trong mỗi giai đoạn trong số các giai đoạn thứ hai.

7. Thiết bị điều khiển bộ biến đổi điện theo điểm bất kỳ trong số các điểm từ 1 đến 5,

trong đó vật tải biến đổi lặp lại sự gia tăng đơn điệu và sự giảm đơn điệu mỗi giai đoạn thứ nhất, và

vật tải đổi điện lặp lại sự gia tăng đơn điệu và sự giảm đơn điệu trong mỗi giai đoạn thứ hai.

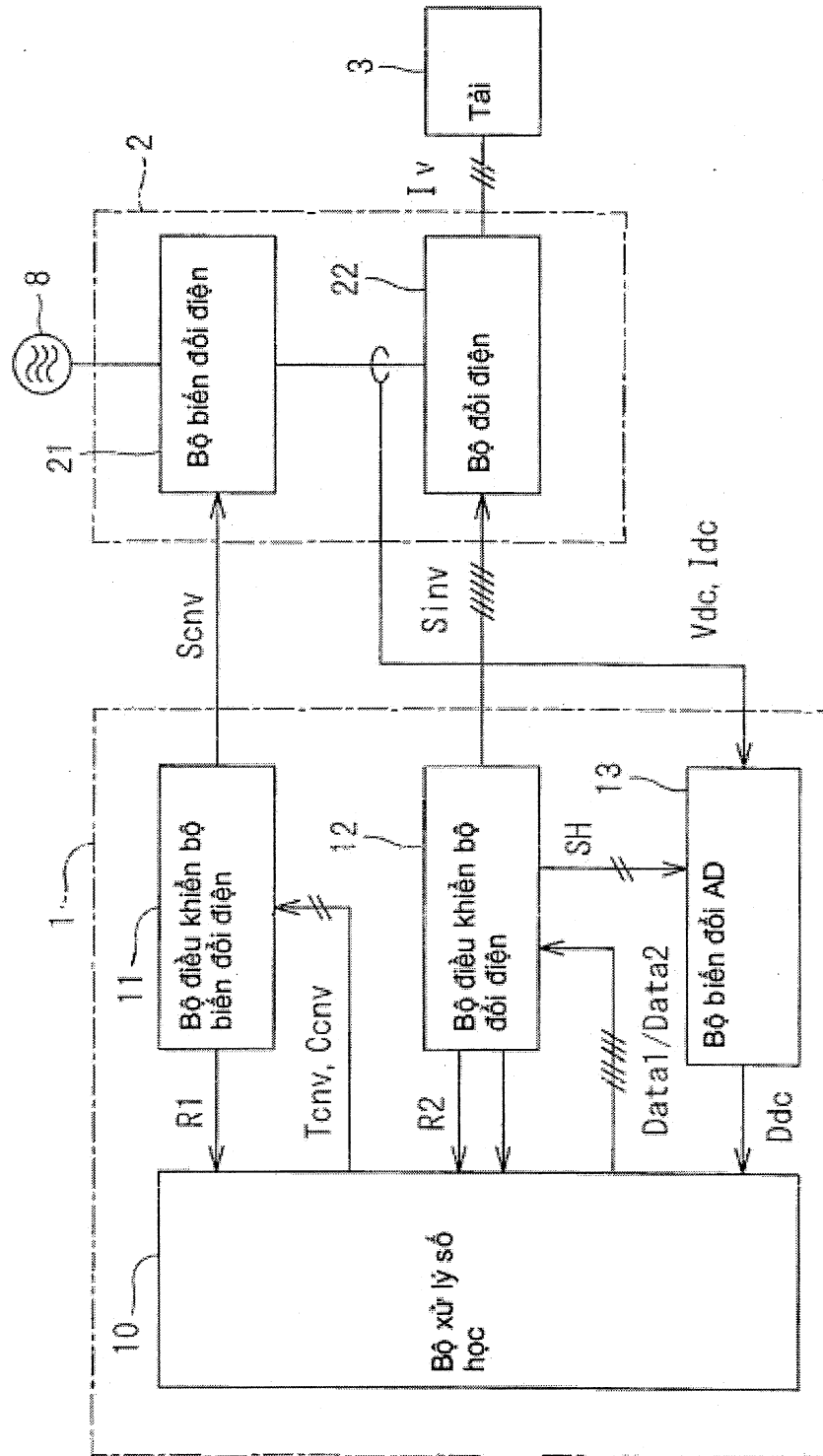
8. Thiết bị điều khiển bộ biến đổi điện theo điểm bất kỳ trong số các điểm từ 1 đến 5, trong đó vật tải biến đổi thể hiện sóng hình răng cưa có khoảng thời gian thứ nhất là một chu kỳ, và

vật tải đổi điện lặp lại sự gia tăng đơn điệu và sự giảm đơn điệu mỗi giai đoạn thứ hai.

9. Thiết bị điều khiển bộ biến đổi điện theo điểm bất kỳ trong số các điểm từ 1 đến 8, trong đó bộ biến đổi là bộ biến đổi nguồn điện, và đảo mạch ở thời điểm điều hợp theo tín hiệu chuyển mạch biến đổi.

10. Thiết bị điều khiển bộ biến đổi điện theo điểm bất kỳ trong số các điểm từ 1 đến 8, trong đó bộ biến đổi này bao gồm mạch chỉnh lưu và mạch tăng áp, và được xác định xem liệu mạch tăng áp có góp phần vào điện áp một chiều trên cơ sở tín hiệu chuyển mạch biến đổi hay không.

Fig.1



3/22

Fig.3

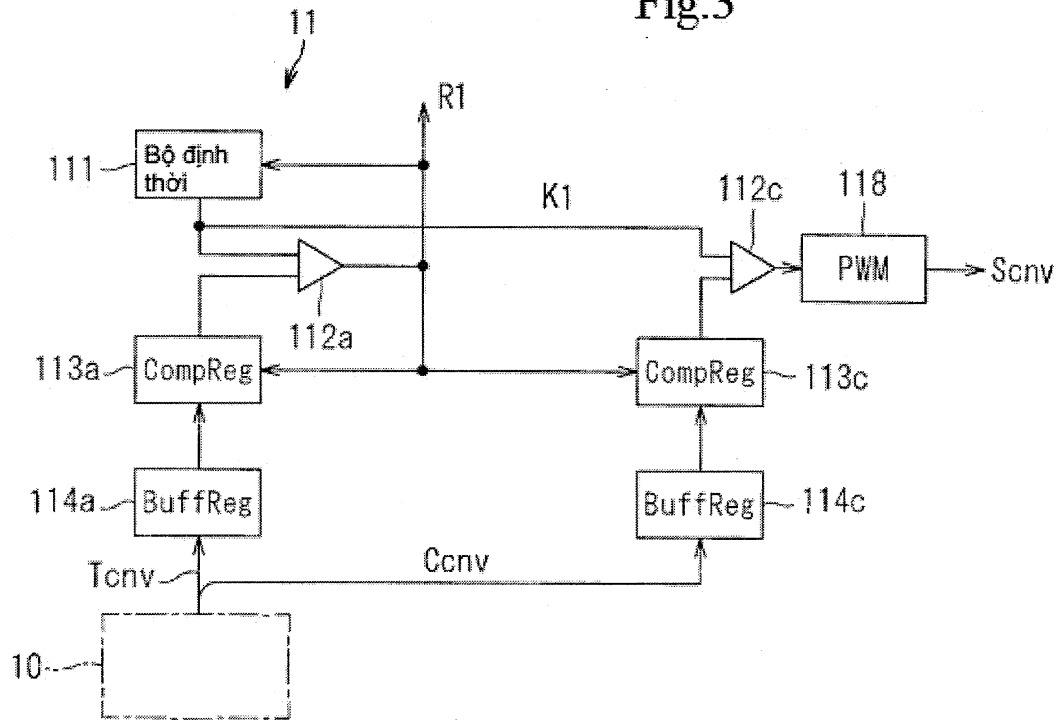
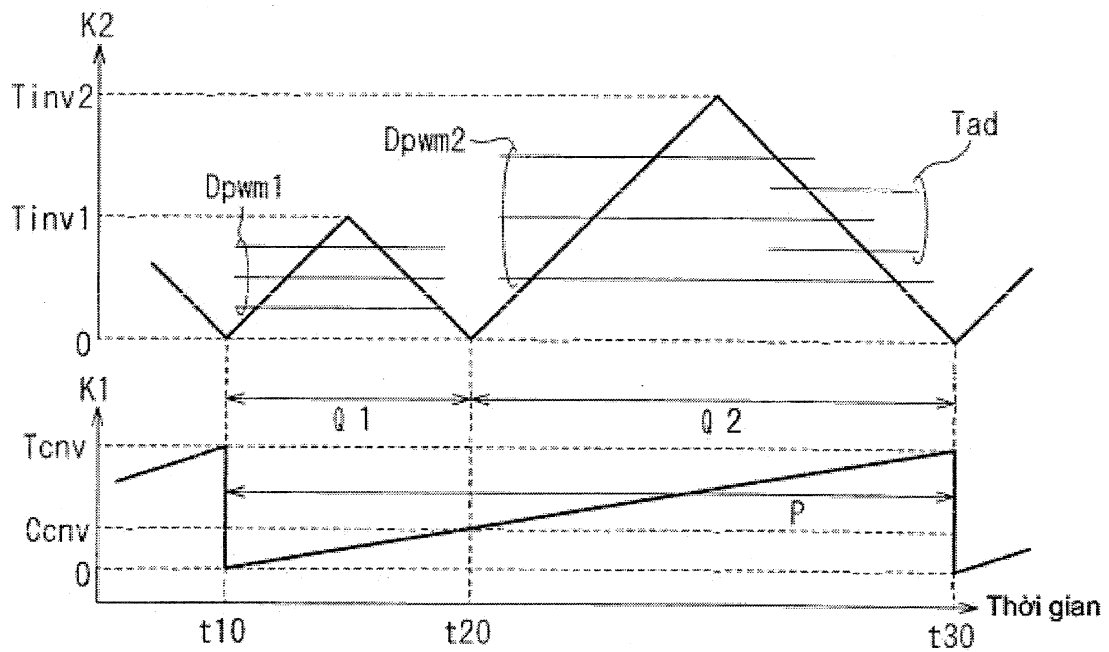


Fig.4



6/22

Fig.7

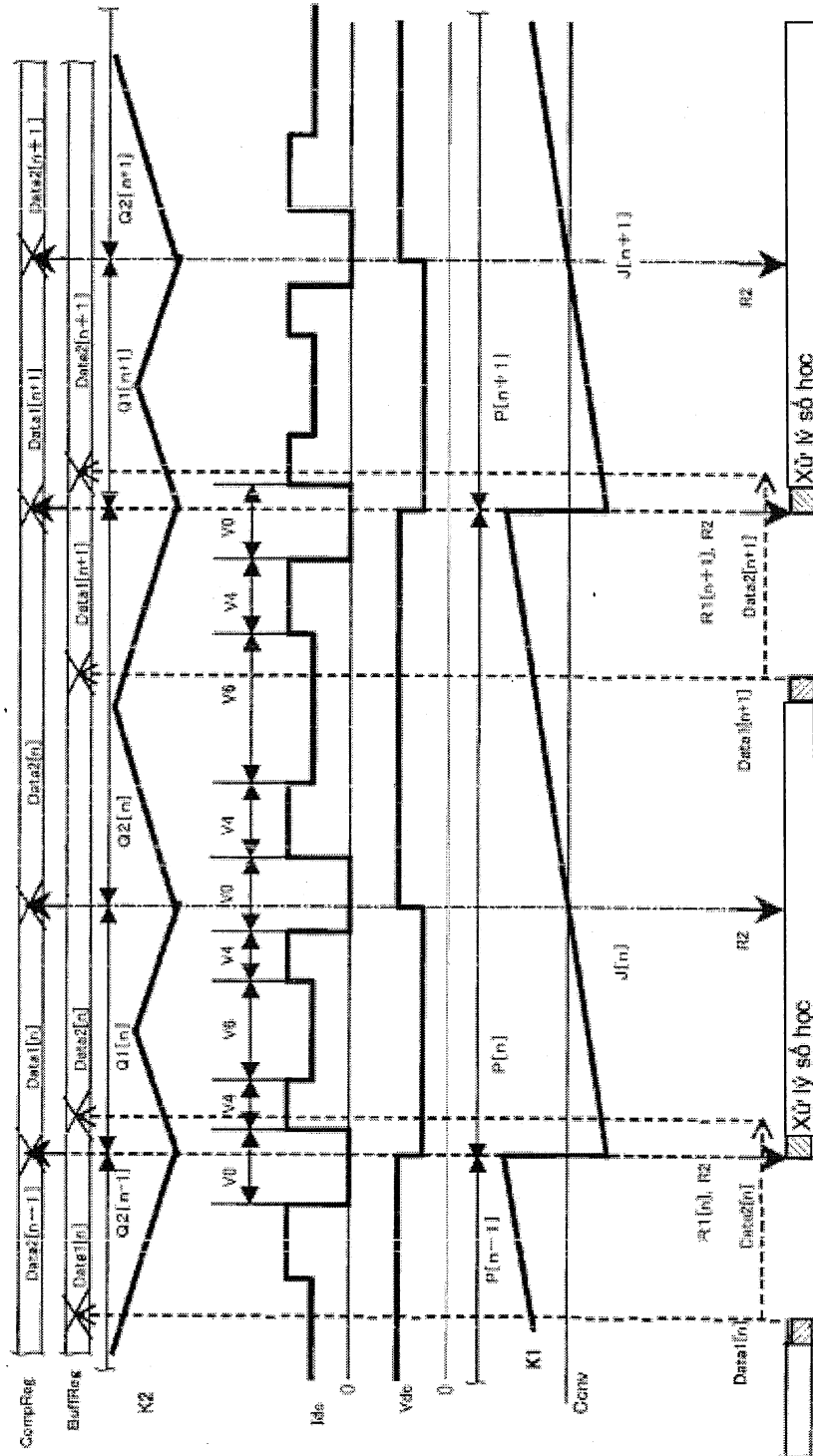
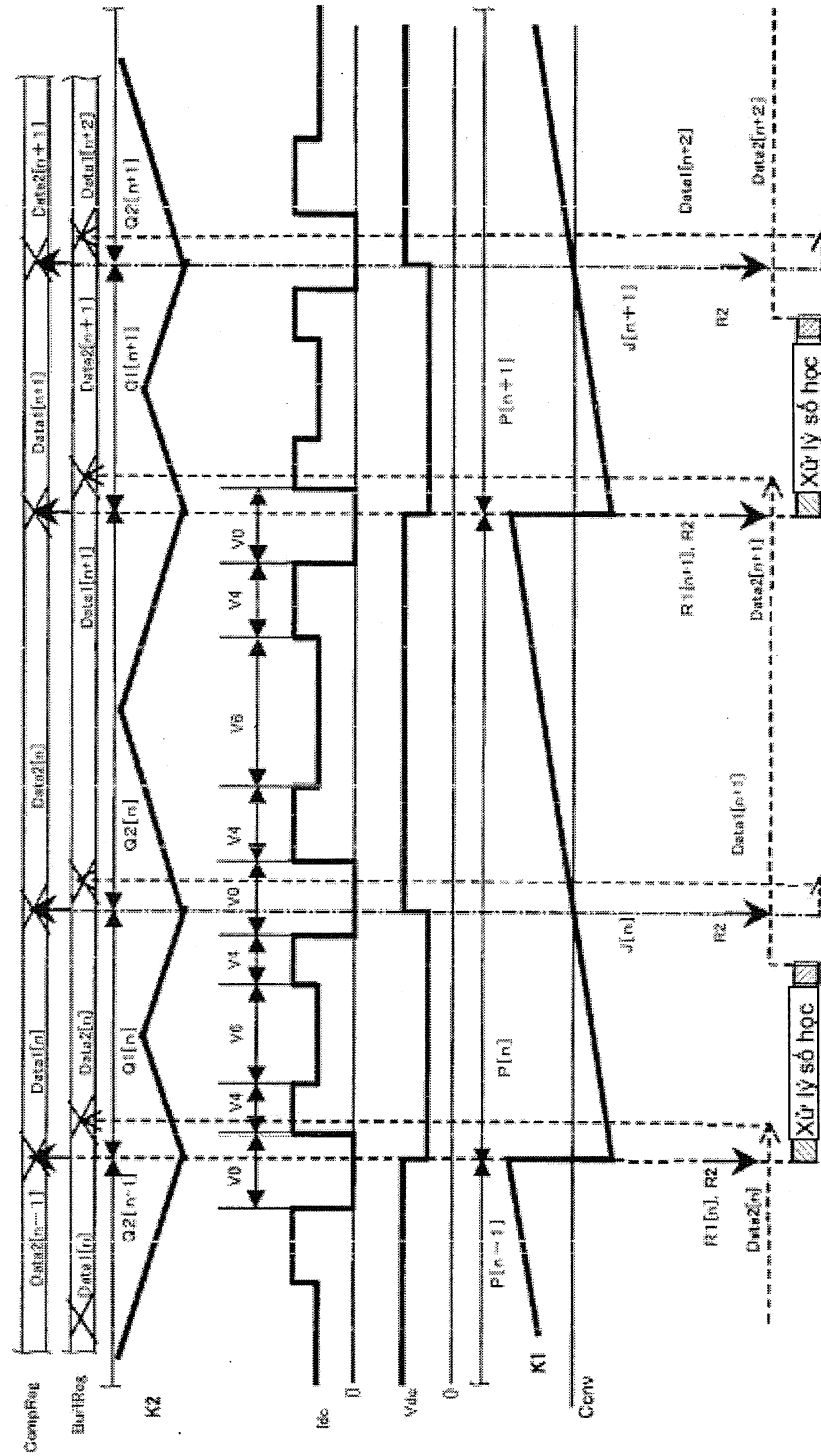
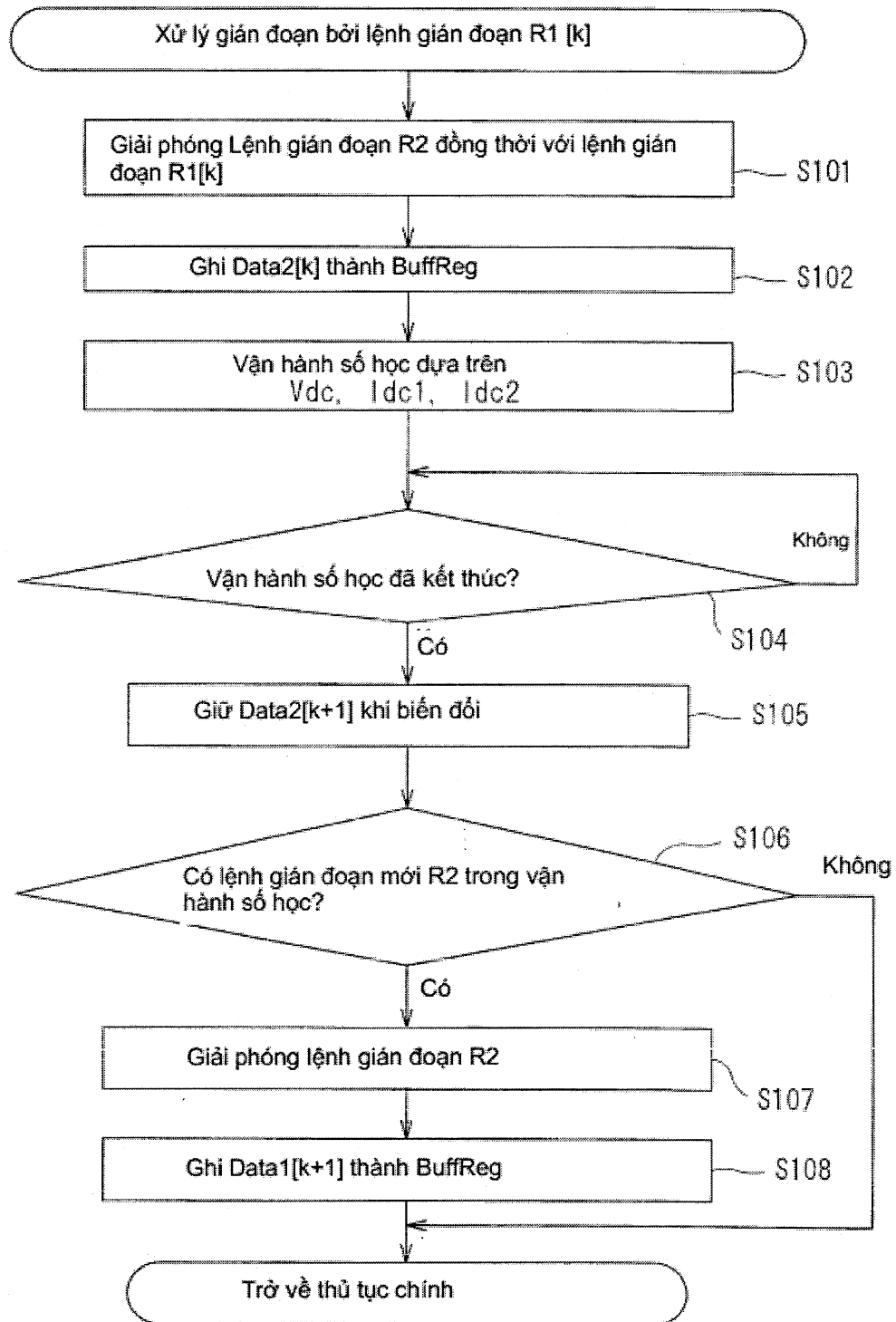


Fig.8



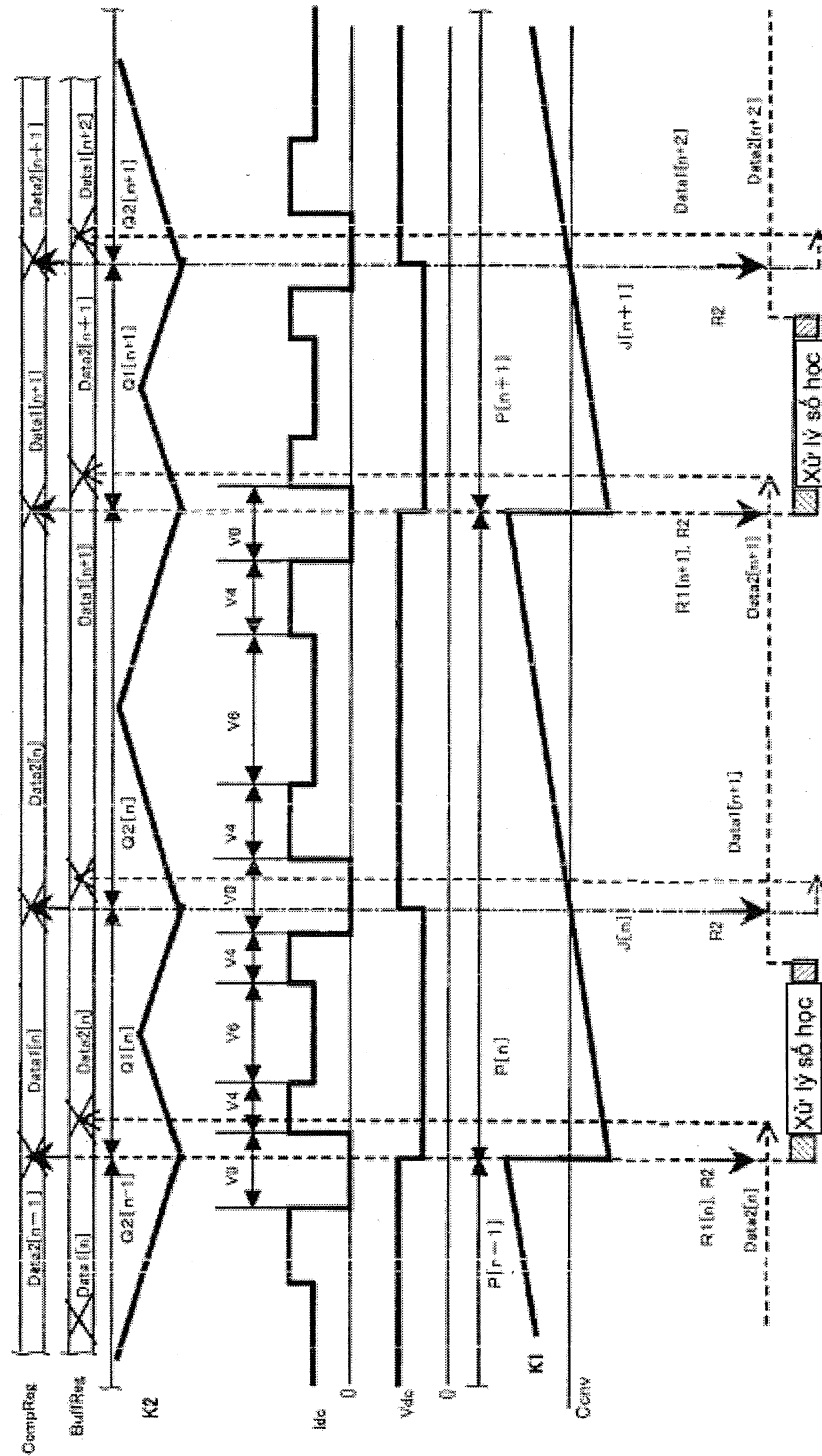
8/22

Fig.9



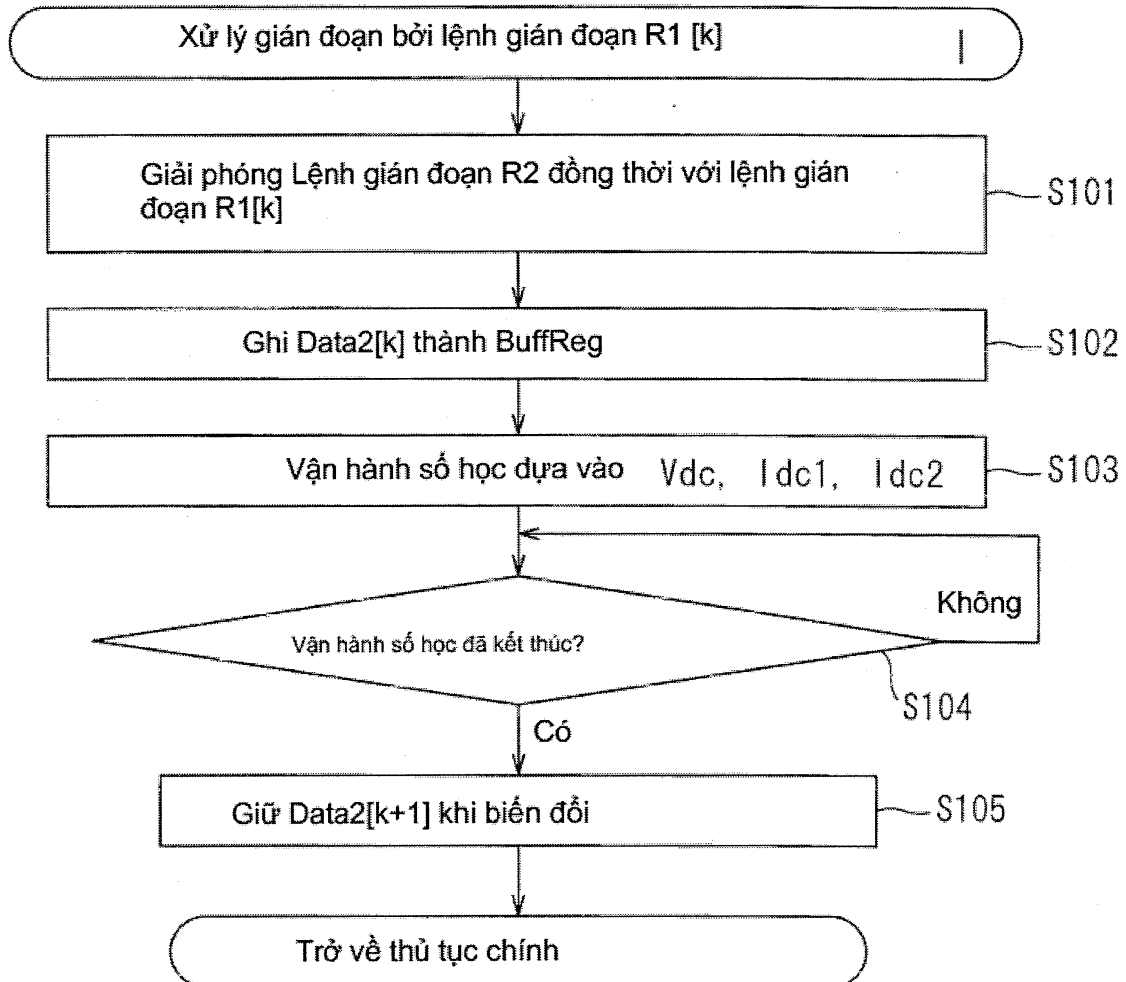
10/22

Fig.11



11/22

Fig.12



12/22

Fig.13

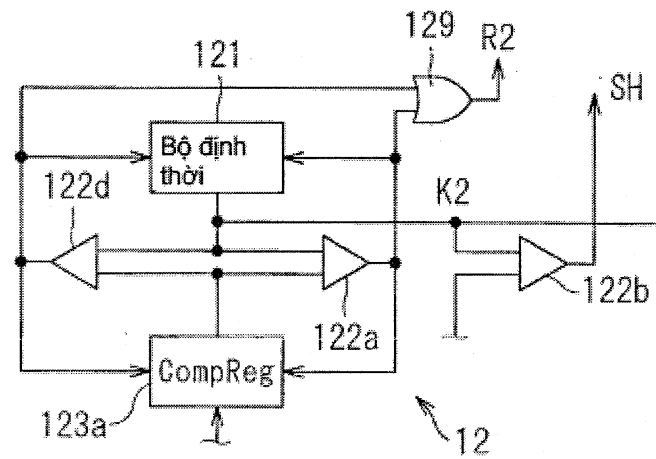


Fig.14

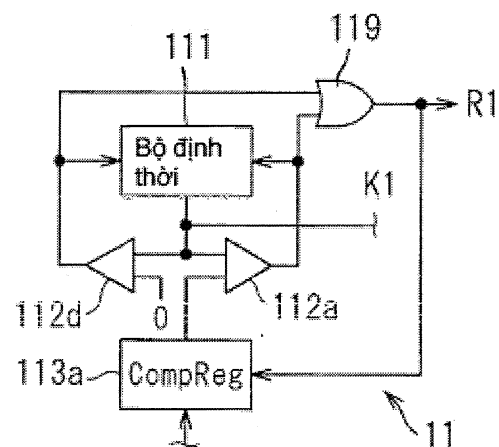


Fig.15

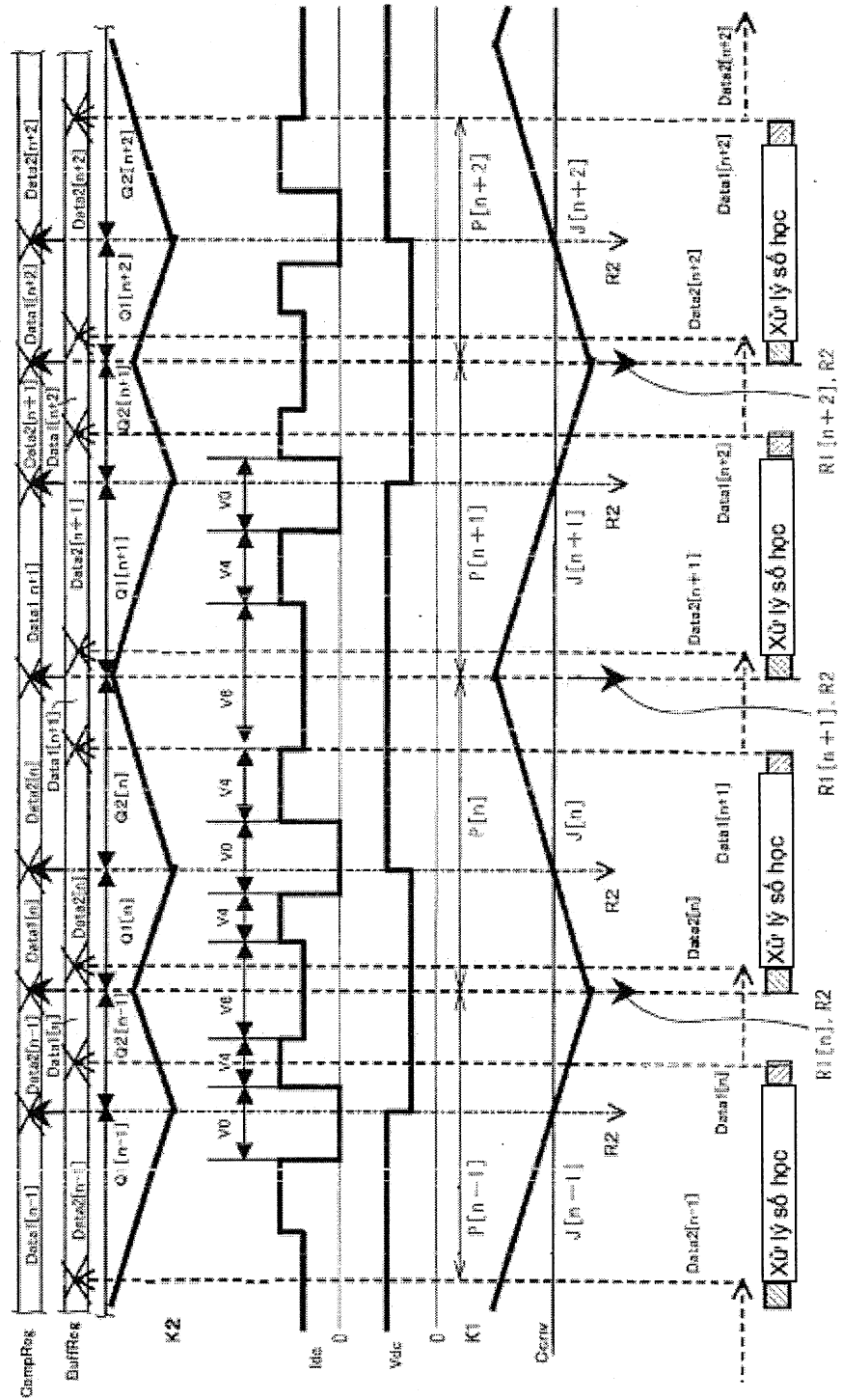


Fig.16

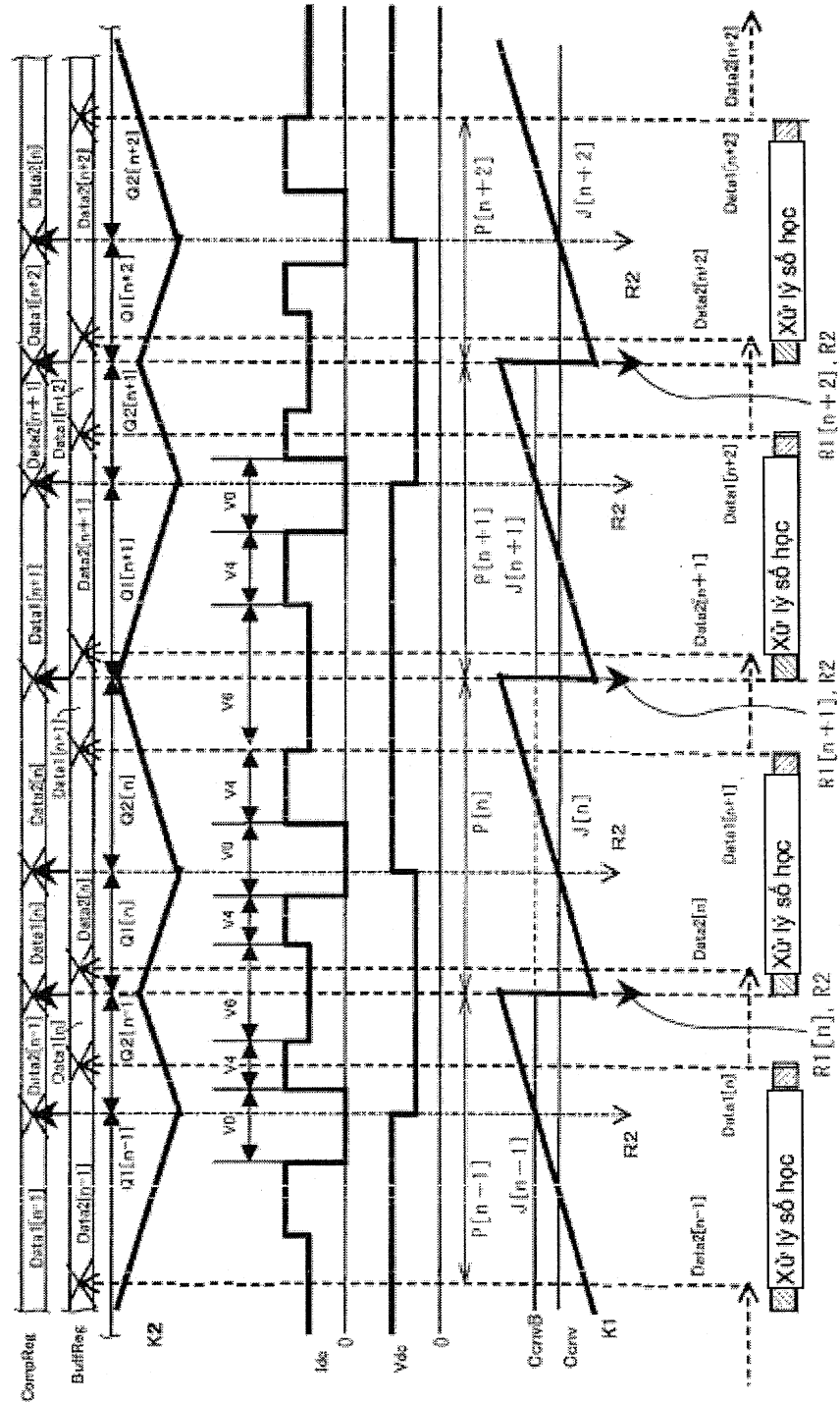


Fig. 17

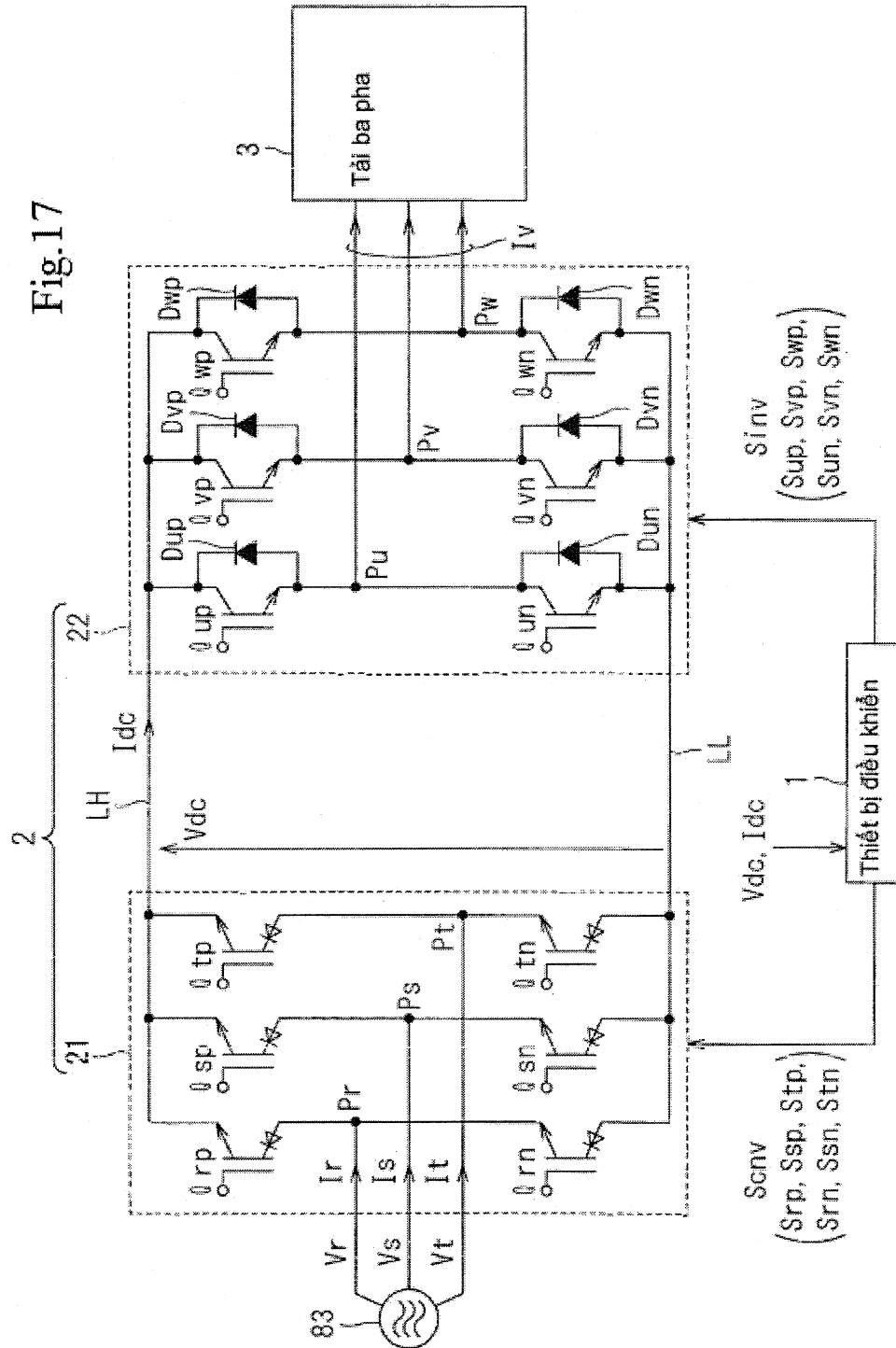


Fig.18

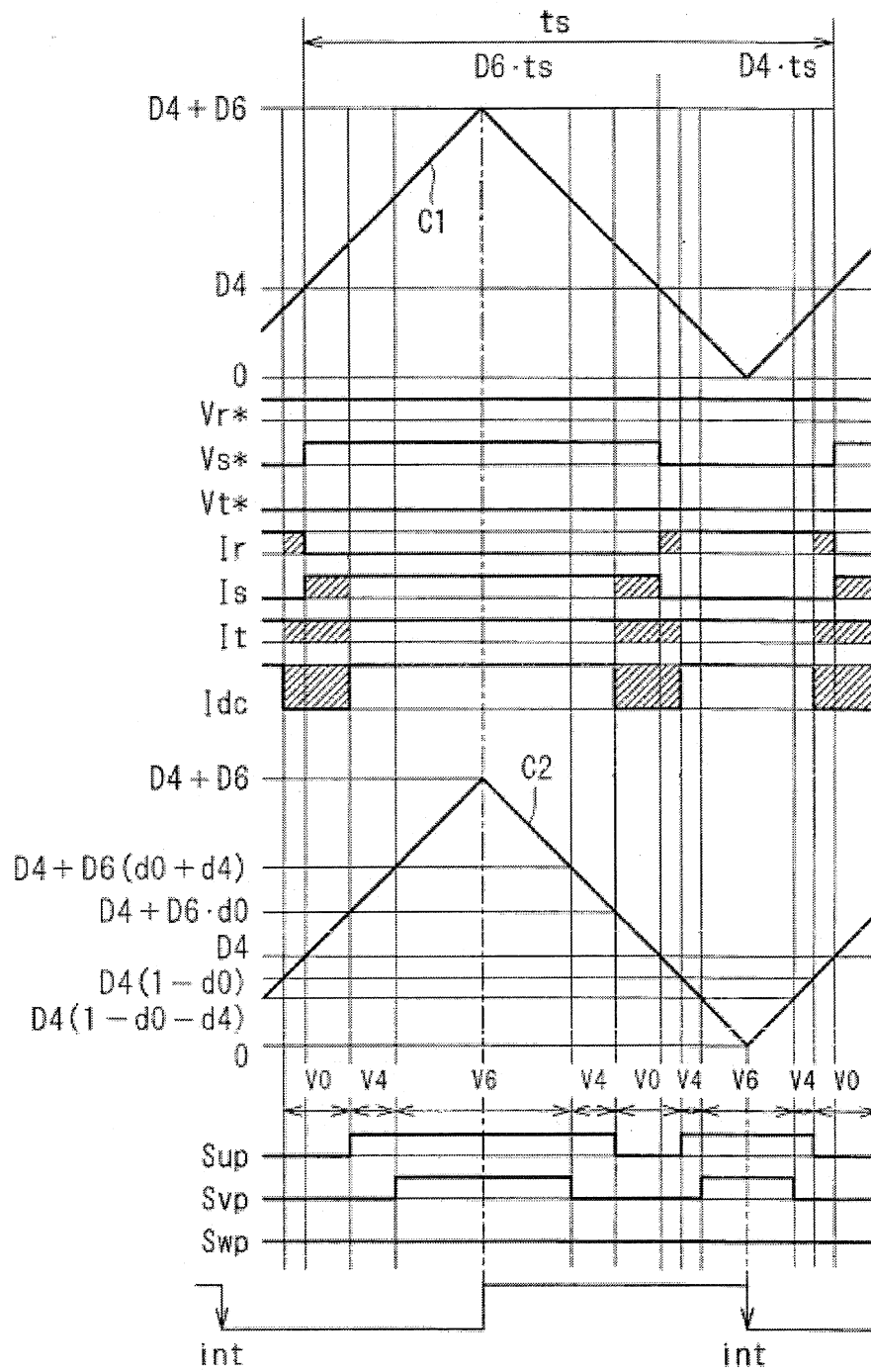


Fig.19

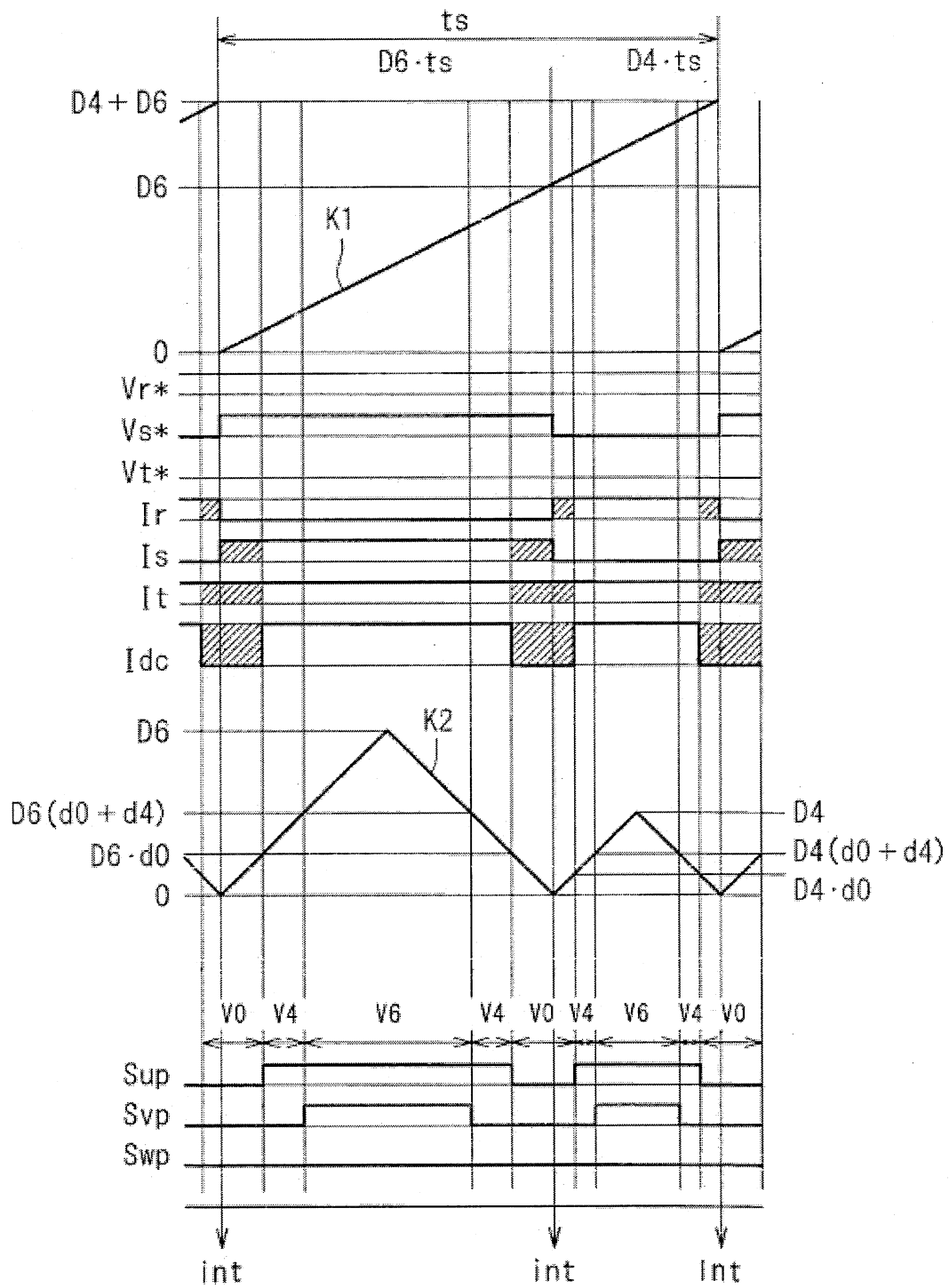


Fig. 20

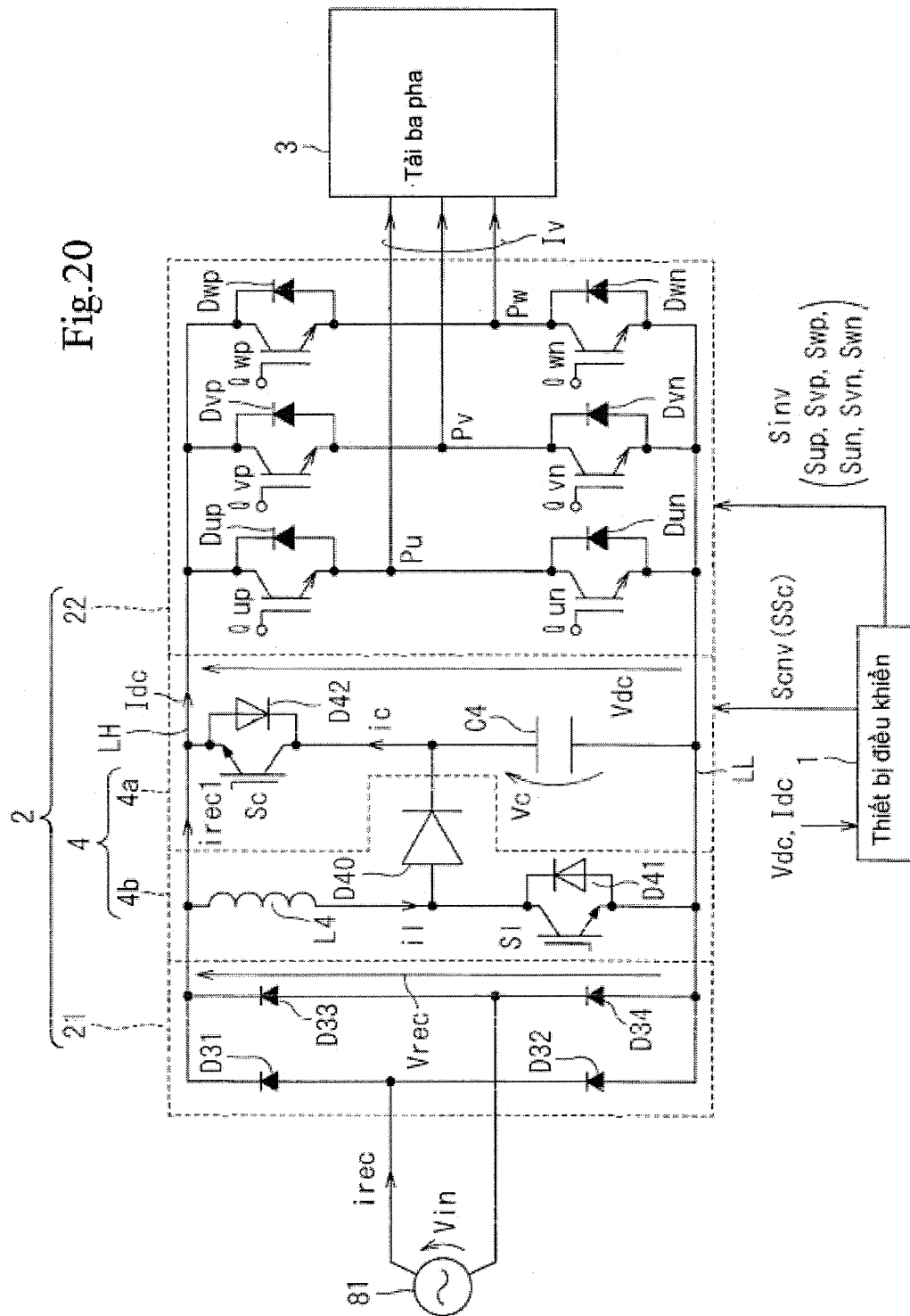
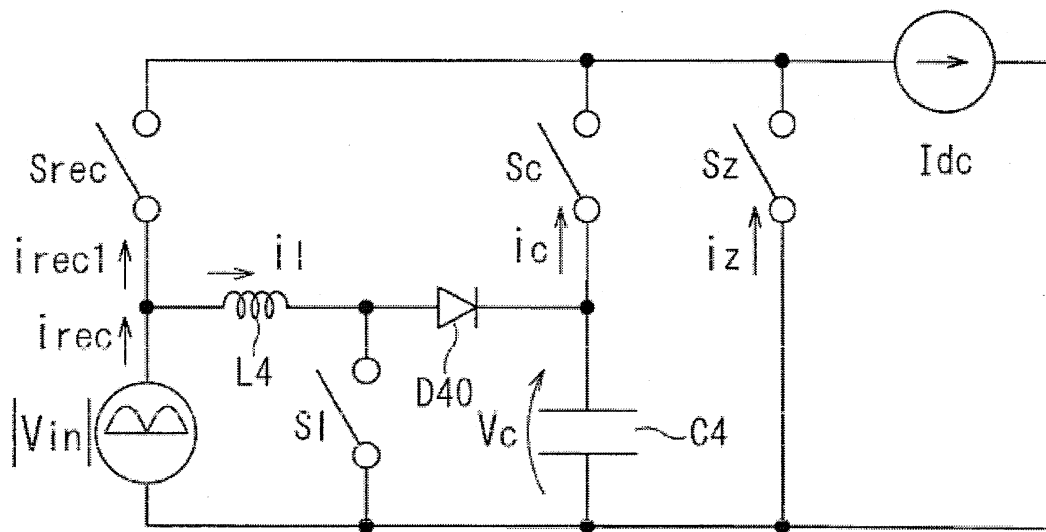


Fig.21



20/22

Fig.22

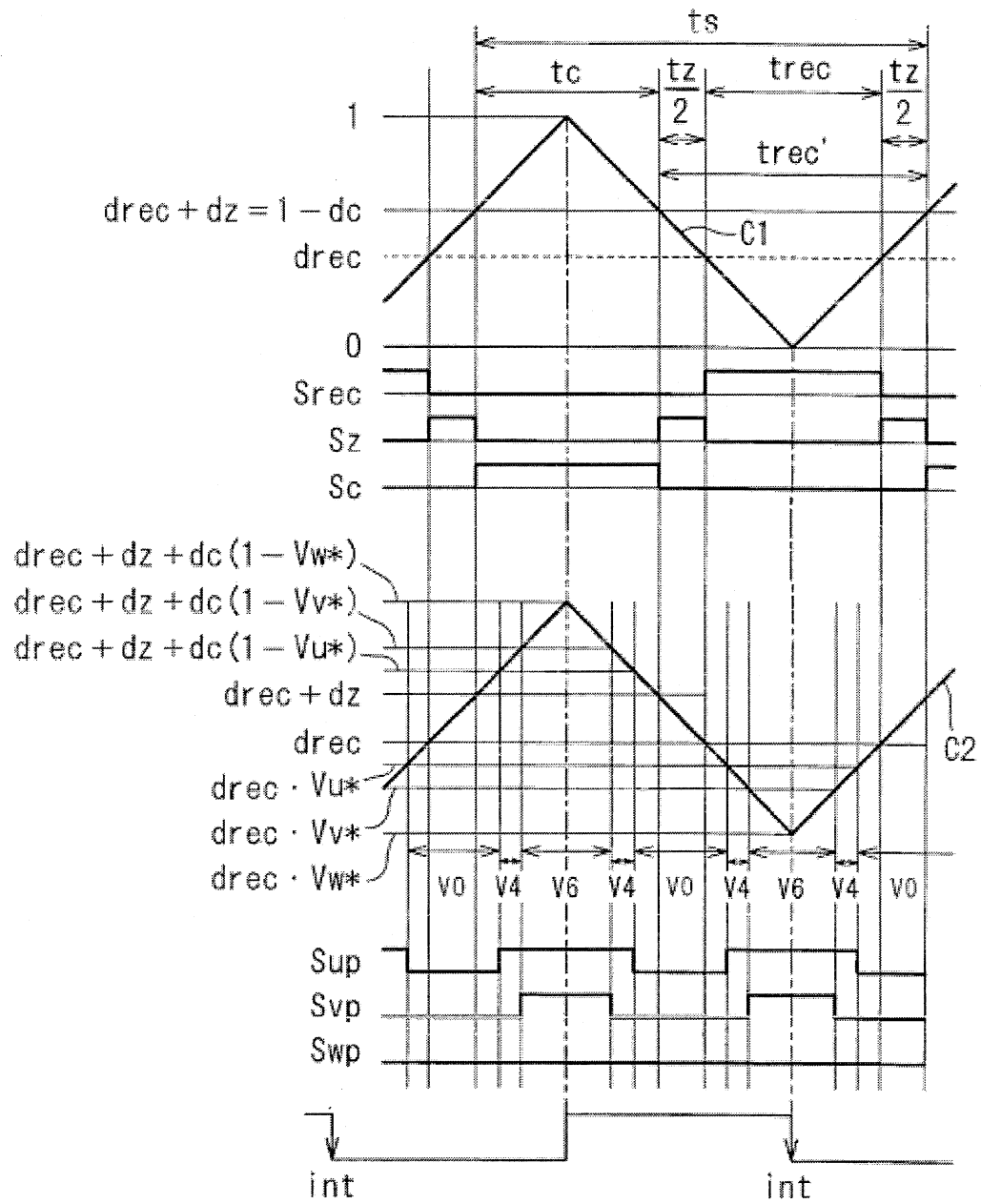


Fig.23

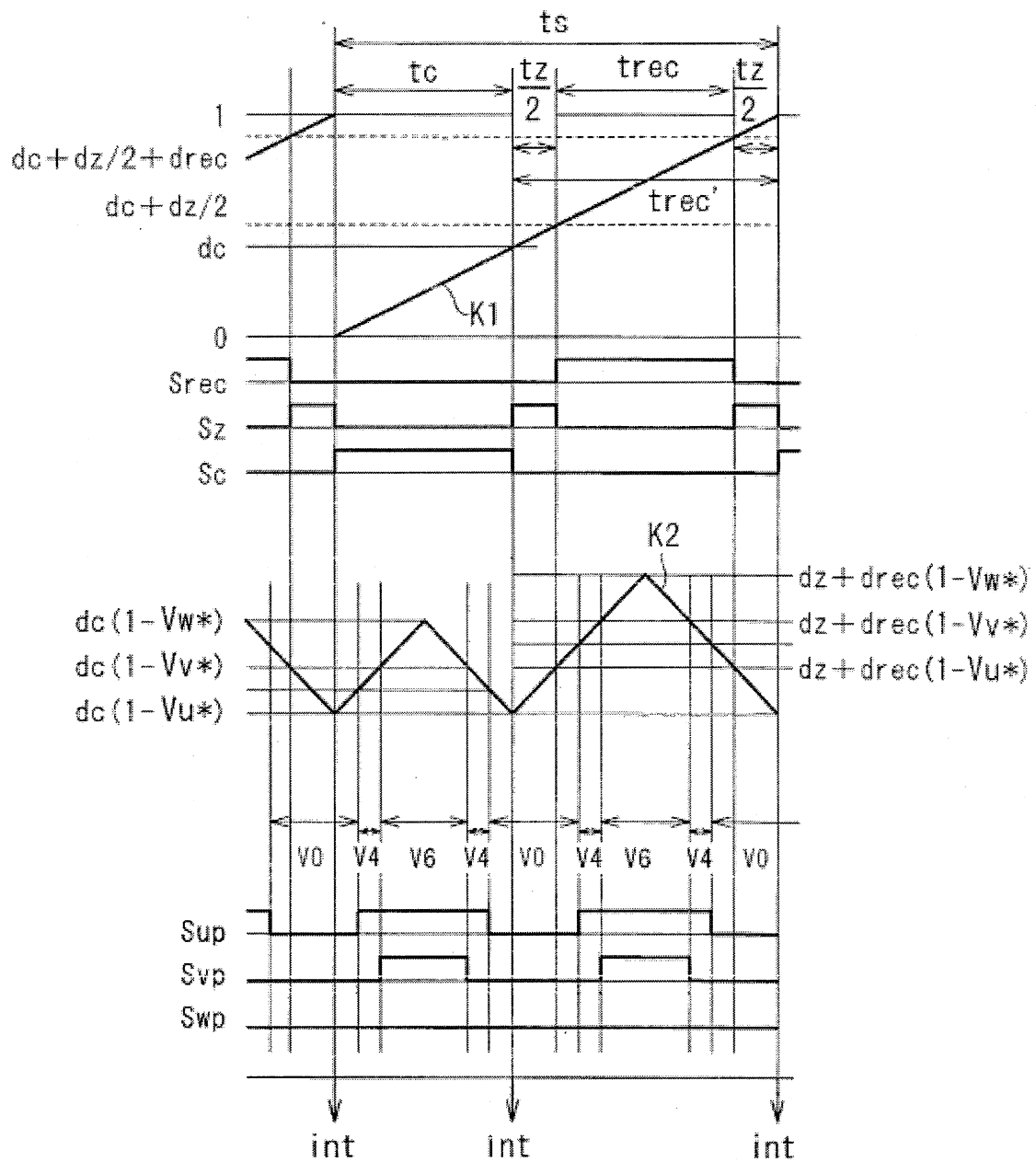


Fig.24

