



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẰNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0026868

(51)⁷ H04L 1/00; H04L 12/70

(13) B

(21) 1-2015-02282

(22) 18/12/2012

(86) PCT/CN2012/086824 18/12/2012

(87) WO2014/094227 26/06/2014

(45) 25/12/2020 393

(43) 25/11/2015 332A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

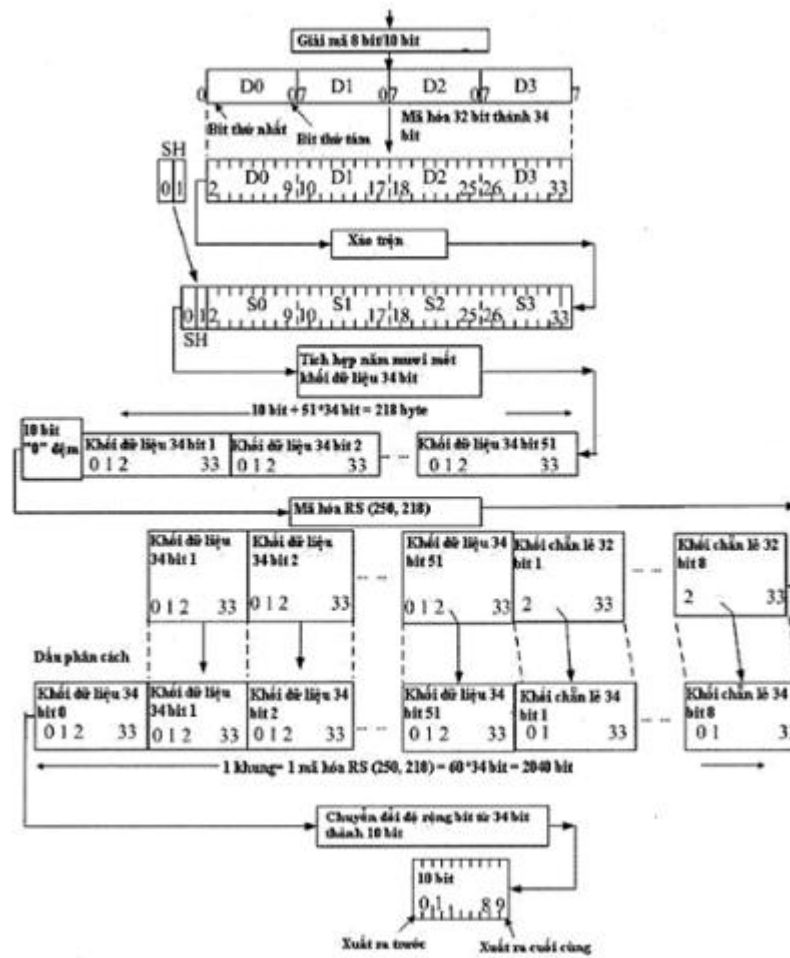
Huawei Administration Building, Bantian, Longgang, Shenzhen, Guangdong 518129, China

(72) NIE, Shiwei (CN); WANG, Zhenping (CN); XU, Zhiguang (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) PHƯƠNG PHÁP TRUYỀN THÔNG, THIẾT BỊ MẠNG QUANG VÀ HỆ THỐNG TRUYỀN THÔNG

(57) Sáng chế đề xuất phương pháp, hệ thống, và thiết bị để truyền thông dữ liệu trong hệ thống mạng quang học. Sơ đồ mã hóa mới được triển khai theo cách thức dưới đây: thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó giải mã 8 bit/10 bit đã được thực hiện, thực hiện mã hóa sửa lỗi trước trên dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện, và gửi dòng dữ liệu được mã hóa; hoặc thực hiện giải mã sửa lỗi trước trên dòng dữ liệu được tiếp nhận, và thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện. Theo cách này, tài nguyên băng thông của đường truyền được tiết kiệm; việc giám sát đường truyền có thể được triển khai mà không ngắt dịch vụ, vốn dễ triển khai và cải thiện đáng kể các loại hiệu năng hệ thống khác nhau.



Lĩnh vực kỹ thuật được đề cập

Sáng chế đề cập đến lĩnh vực công nghệ truyền thông, và cụ thể là, đến phương pháp truyền thông, hệ thống, và thiết bị cho hệ thống mạng quang học.

Tình trạng kỹ thuật của sáng chế

Công nghệ mạng quang học thụ động (Passive Optical Network, PON) là một trong các công nghệ cáp quang được nối đến tận nhà (Fiber To The Home, FTTH) hiện đang được sử dụng rộng rãi. Các PON hiện tại có thể được phân loại thành mạng quang học thụ động phân chia công suất và mạng quang học thụ động ghép kênh phân chia bước sóng (wavelength division multiplexing Passive Optical Network, WDMPON) theo cách thức phân phối tín hiệu. PON băng rộng hiện tại (Broadband Passive Optical Network, BPON), PON có khả năng gigabit (Gigabit-capable Passive Optical Network, GPON), PON Ethernet (Ethernet Passive Optical Network, EPON), và mạng tương tự là các PON phân chia công suất. WDMPON dựa trên công nghệ ghép kênh phân chia bước sóng triển khai truy nhập liên kết lên bằng cách sử dụng công nghệ ghép kênh phân chia bước sóng, có thể cung cấp băng thông hoạt động tương đối cao, và triển khai truy nhập băng rộng đối xứng.

Ở các hệ thống PON khác nhau, sơ đồ mã hóa 8b/10b chủ yếu được sử dụng; tuy nhiên, việc sử dụng sơ đồ mã hóa này có tổng chi phí băng thông lên đến 25%, và việc sử dụng sơ đồ mã hóa này không thể triển khai chức năng dò đường truyền cho dịch vụ trực tuyến. Do vậy, cách cải thiện sơ đồ mã hóa hiện tại để giảm tổng chi phí hệ thống và triển khai chức năng dò đường truyền trong hệ thống PON trở thành vấn đề cấp

thiết cần được giải quyết.

Bản chất kỹ thuật của sáng chế

Khi xem xét điều này, các phương án thực hiện sáng chế đề xuất phương pháp truyền thông cho hệ thống mạng quang học, và hệ thống và thiết bị mạng quang học, để giải quyết vấn đề trong đó tổng chi phí hệ thống là cao và đường truyền không thể được dò thấy do sơ đồ mã hóa hiện tại của hệ thống mạng quang học. Việc sử dụng sơ đồ mã hóa mới mà không thay đổi tốc độ đường truyền sẽ giảm tổng chi phí hệ thống và triển khai dò đường truyền, vốn dễ triển khai và cải thiện đáng kể các loại hiệu năng khác nhau của hệ thống.

Theo khía cạnh thứ nhất, sáng chế đề xuất phương pháp truyền thông cho hệ thống mạng quang học, trong đó phương pháp truyền thông gồm các bước: tiếp nhận dòng dữ liệu từ lớp gắn môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện; thực hiện giải mã 8 bit/10 bit trên dòng dữ liệu được tiếp nhận; thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó việc giải mã 8 bit/10 bit đã được thực hiện; thực hiện mã hóa sửa lỗi trước trên dòng dữ liệu trên đó việc mã hóa từ 32 bit đến 34 bit đã được thực hiện; thực hiện chuyển đổi độ rộng bit 34 bit/10 bit trên dòng dữ liệu trên đó việc mã hóa sửa lỗi trước đã được thực hiện; và gửi dòng dữ liệu trên đó việc chuyển đổi độ rộng bit đã được thực hiện đến lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền.

Theo cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, trước bước thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó việc giải mã 8 bit/10 bit đã được thực hiện, phương pháp truyền thông còn gồm các bước:

tuần tự và liên tục tiếp nhận dòng dữ liệu trên đó việc giải mã 8 bit/10 bit đã được thực hiện, để tạo bốn khối dữ liệu, trong đó khối bất kỳ trong

các khối dữ liệu là khối dữ liệu ký tự điều khiển thứ nhất hoặc khối ký tự dữ liệu, và khối dữ liệu ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit; và

xác định xem liệu khối ký tự điều khiển thứ nhất có tồn tại trong bốn khối dữ liệu hay không.

Theo khía cạnh thứ nhất hoặc cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ hai, việc thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó việc giải mã 8 bit/10 bit đã được thực hiện cụ thể gồm:

nếu khối ký tự điều khiển thứ nhất không tồn tại trong bốn khối dữ liệu, thì thêm đầu đồng bộ thứ nhất vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, và xuất ra các khối dữ liệu mà đầu đồng bộ thứ nhất được thêm vào, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, và định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu.

Theo khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, hoặc cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ ba,

việc thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó việc giải mã 8 bit/10 bit đã được thực hiện cụ thể gồm:

nếu ít nhất một khối ký tự điều khiển thứ nhất tồn tại trong bốn khối dữ liệu, thì thêm đầu đồng bộ thứ hai vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ nhất tồn tại trong các khối dữ liệu;

tạo, theo số lượng khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu và vị trí của khối điều khiển thứ nhất trong số các khối dữ liệu, mã

ánh xạ vị trí khối ký tự điều khiển 4 bit, và thiết lập mã ánh xạ vị trí khối ký tự điều khiển, ở vị trí sau đầu đồng bộ thứ hai và liền kề với đầu đồng bộ thứ hai;

chuyển đổi tương ứng khối ký tự điều khiển thứ nhất trong bốn khối dữ liệu thành khối ký tự điều khiển thứ hai 4 bit; và

xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, và khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, hoặc các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, và khối ký tự dữ liệu.

Theo khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, và cách thức triển khai khả thi thứ ba của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ tư, việc xuất ra các khối dữ liệu được xử lý cụ thể gồm:

nếu bốn khối dữ liệu còn gồm ít nhất một khối ký tự dữ liệu, không xử lý trên khối ký tự dữ liệu trong số bốn khối dữ liệu, và giữ lại khối ký tự dữ liệu này trong số các khối dữ liệu; và

xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý này gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, và khối dữ liệu của khối ký tự dữ liệu.

Theo khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, cách thức triển khai khả thi thứ ba của khía cạnh thứ nhất, và cách thức triển khai khả thi thứ tư của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ năm, phương pháp còn gồm: xác định xem liệu số lượng bit có trong các khối dữ liệu đầu ra được xử lý có bằng 34 hay không; và

nếu số lượng bit có trong các khối dữ liệu đầu ra được xử lý nhỏ hơn 34, thì thêm số ngẫu nhiên vào đuôi của khối dữ liệu cuối cùng trong số các khối dữ liệu đầu ra được xử lý cho đến khi số lượng bit của các khối dữ liệu đầu ra được xử lý bằng 34, trong đó số ngẫu nhiên là mã nhị phân được tạo ngẫu nhiên.

Theo khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, cách thức triển khai khả thi thứ ba của khía cạnh thứ nhất, cách thức triển khai khả thi thứ tư của khía cạnh thứ nhất, và cách thức triển khai khả thi thứ năm của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ sáu, sau bước tiếp nhận dòng dữ liệu từ lớp gắn môi trường vật lý ở tốc độ đường truyền, phương pháp truyền thông còn gồm bước: đồng bộ dòng dữ liệu trên đó bước mã hóa 8 bit/10 bit đã được thực hiện.

Theo khía cạnh thứ nhất, cách thức triển khai khả thi thứ nhất của khía cạnh thứ nhất, cách thức triển khai khả thi thứ hai của khía cạnh thứ nhất, cách thức triển khai khả thi thứ ba của khía cạnh thứ nhất, cách thức triển khai khả thi thứ tư của khía cạnh thứ nhất, cách thức triển khai khả thi thứ năm của khía cạnh thứ nhất, và cách thức triển khai khả thi thứ sáu của khía cạnh thứ nhất, theo cách thức triển khai khả thi thứ bảy, sau bước thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện, phương pháp truyền thông còn gồm:

xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai trong dòng dữ liệu trên đó bước mã hóa từ 32 bit đến 34 bit đã được thực hiện.

Theo khía cạnh thứ hai, sáng chế đề xuất phương pháp truyền thông cho hệ thống mạng quang học, trong đó phương pháp truyền thông gồm: tiếp nhận dòng dữ liệu từ lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện;

thực hiện chuyển đổi độ rộng bit 10 bit/34 bit trên dòng dữ liệu được tiếp nhận;

thực hiện giải mã sửa lỗi trước trên dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện;

thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện;

thực hiện mã hóa 8 bit/10 bit trên dòng dữ liệu trên đó bước giải mã từ 32 bit đến 34 bit đã được thực hiện; và

gửi dòng dữ liệu trên đó bước mã hóa 8 bit/10 bit đã được thực hiện đến lớp gắn môi trường vật lý.

Theo khía cạnh thứ hai, theo cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, trước bước thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện, phương pháp truyền thông còn gồm các bước:

phân tích cú pháp dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện, và xuất ra năm mươi một khối dữ liệu, trong đó khối bất kỳ trong các khối dữ liệu này là khối ký tự điều khiển thứ hai hoặc khối ký tự dữ liệu, khối ký tự điều khiển thứ hai bất kỳ là mã nhị phân 4 bit, và khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit;

phân tích cú pháp khối bất kỳ trong các khối dữ liệu này, và thu thập đầu đồng bộ của khối bất kỳ trong các khối dữ liệu, trong đó đầu đồng bộ gồm: đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai, đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu, đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ hai tồn tại trong các khối dữ liệu này; và

xác định xem liệu đầu đồng bộ của khối bất kỳ trong các khối dữ liệu là đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai.

Theo khía cạnh thứ hai hoặc cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, theo cách thức triển khai khả thi thứ hai, bước thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện cụ thể gồm:

nếu đầu đồng bộ là đầu đồng bộ thứ nhất, thì xóa đầu đồng bộ thứ nhất, và xuất ra các khối dữ liệu mà từ đó đầu đồng bộ thứ nhất bị xóa.

Theo khía cạnh thứ hai, cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, hoặc cách thức triển khai khả thi thứ hai của khía cạnh thứ hai, theo cách thức triển khai khả thi thứ ba, bước thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện cụ thể gồm:

nếu đầu đồng bộ là đầu đồng bộ thứ hai, thì phân tích cú pháp các khối dữ liệu, và thu thập mã ánh xạ vị trí khối ký tự điều khiển 4 bit;

thu thập số lượng khối ký tự điều khiển thứ hai trong số các khối dữ liệu này và vị trí của khối ký tự điều khiển thứ hai trong số các khối dữ liệu này theo mã ánh xạ vị trí khối ký tự điều khiển;

chuyển đổi tương ứng khối ký tự điều khiển thứ hai trong số các khối dữ liệu thành khối ký tự điều khiển thứ nhất 8 bit theo số lượng khối ký tự điều khiển thứ hai và vị trí của khối ký tự điều khiển thứ hai trong số các khối dữ liệu;

xóa đầu đồng bộ thứ hai và mã ánh xạ vị trí khối ký tự điều khiển từ các khối dữ liệu, trong đó mã ánh xạ vị trí khối ký tự điều khiển ở vị trí sau đầu đồng bộ thứ hai và liền kề với đầu đồng bộ thứ hai; và

xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý này gồm: khối ký tự điều khiển thứ nhất và/hoặc khối ký tự dữ liệu, và khối dữ liệu ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit.

Theo khía cạnh thứ hai, cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, cách thức triển khai khả thi thứ hai của khía cạnh thứ hai,

hoặc cách thức triển khai khả thi thứ ba của khía cạnh thứ hai, theo cách thức triển khai khả thi thứ tư, bước xuất ra các khối dữ liệu được xử lý cụ thể gồm:

nếu các khối dữ liệu còn gồm ít nhất một khối ký tự dữ liệu, không xử lý trên khối ký tự dữ liệu trong số các khối dữ liệu, và giữ lại khối ký tự dữ liệu; và

xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý này gồm: ký tự điều khiển thứ nhất và khối ký tự dữ liệu.

Theo khía cạnh thứ hai, cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, cách thức triển khai khả thi thứ hai của khía cạnh thứ hai, cách thức triển khai khả thi thứ ba của khía cạnh thứ hai, hoặc cách thức triển khai khả thi thứ tư của khía cạnh thứ hai, theo cách thức triển khai khả thi thứ năm, trước khi bước thực hiện chuyển đổi độ rộng bit 10 bit/34 bit trên dòng dữ liệu được tiếp nhận, phương pháp truyền thông còn gồm bước: đồng bộ dòng dữ liệu được tiếp nhận.

Theo khía cạnh thứ hai, cách thức triển khai khả thi thứ nhất của khía cạnh thứ hai, cách thức triển khai khả thi thứ hai của khía cạnh thứ hai, cách thức triển khai khả thi thứ ba của khía cạnh thứ hai, cách thức triển khai khả thi thứ tư của khía cạnh thứ hai, hoặc cách thức triển khai khả thi thứ năm của khía cạnh thứ hai, theo cách thức triển khai khả thi thứ sáu, trước khi bước thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện, phương pháp truyền thông còn gồm:

giải xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai ở dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện.

Theo khía cạnh thứ ba, sáng chế đề xuất thiết bị mạng quang học, trong đó thiết bị mạng quang học gồm:

khối giao diện thứ nhất, được cấu hình để tiếp nhận dòng dữ liệu từ

lớp gắn môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện, và thực hiện chuyển đổi nối tiếp thành song song trên dòng dữ liệu được tiếp nhận;

bộ giải mã 8 bit/10 bit, được cấu hình để thực hiện giải mã 8 bit/10 bit trên dòng dữ liệu được tiếp nhận, và xuất ra dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện;

bộ mã hóa 32 bit thành 34 bit, được cấu hình để thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu được xuất ra trên đó bước giải mã 8 bit/10 bit đã được thực hiện, và xuất ra dòng dữ liệu trên đó bước mã hóa từ 32 bit đến 34 bit đã được thực hiện;

bộ mã hóa sửa lỗi trước, được cấu hình để thực hiện mã hóa sửa lỗi trước trên dòng dữ liệu được xuất ra trên đó bước mã hóa từ 32 bit đến 34 bit đã được thực hiện, và xuất ra dòng dữ liệu trên đó bước mã hóa sửa lỗi trước đã được thực hiện;

bộ chuyển đổi độ rộng bit thứ nhất, được cấu hình để thực hiện chuyển đổi độ rộng bit 34 bit/10 bit trên dòng dữ liệu được xuất ra trên đó bước mã hóa sửa lỗi trước đã được thực hiện; và

khối giao diện thứ hai, được cấu hình để gửi dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện đến lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền.

Theo khía cạnh thứ ba, theo cách thức triển khai khả thi thứ nhất của khía cạnh thứ ba, bộ mã hóa 32 bit thành 34 bit còn gồm:

khối tiếp nhận thứ nhất, được cấu hình để tiếp nhận tuần tự và liên tục dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện, để tạo bốn khối dữ liệu, trong đó khối bất kỳ trong các khối dữ liệu là khối dữ liệu ký tự điều khiển thứ nhất hoặc khối ký tự dữ liệu, và khối dữ liệu ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit; và

khối xác định thứ nhất, được cấu hình để xác định xem liệu khối ký tự

điều khiển thứ nhất có tồn tại trong bốn khối dữ liệu hay không.

Theo khía cạnh thứ ba hoặc cách thức triển khai khả thi thứ nhất của khía cạnh thứ ba, theo cách thức triển khai khả thi thứ hai, bộ mã hóa 32 bit thành 34 bit còn gồm:

khối xử lý thứ nhất, được cấu hình để: nếu khối ký tự điều khiển thứ nhất không tồn tại trong bốn khối dữ liệu, thì thêm đầu đồng bộ thứ nhất vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, và xuất ra các khối dữ liệu mà đầu đồng bộ thứ nhất được thêm vào, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, và định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu.

Theo khía cạnh thứ ba, cách thức triển khai khả thi thứ nhất của khía cạnh thứ ba, hoặc cách thức triển khai khả thi thứ hai của khía cạnh thứ ba, theo cách thức triển khai khả thi thứ ba của khía cạnh thứ ba, bộ mã hóa 32 bit thành 34 bit còn gồm khối xử lý thứ hai, và khối xử lý thứ hai cụ thể gồm:

khối tạo đầu đồng bộ, được cấu hình để: nếu ít nhất một khối ký tự điều khiển thứ nhất có tồn tại trong bốn khối dữ liệu, thì thêm đầu đồng bộ thứ hai vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ nhất tồn tại trong các khối dữ liệu này;

khối tạo mã ánh xạ, được cấu hình để tạo, theo số lượng khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu và vị trí của khối điều khiển thứ nhất trong số các khối dữ liệu, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, và thiết lập mã ánh xạ vị trí khối ký tự điều khiển, ở vị trí sau đầu đồng bộ thứ hai và liền kề với đầu đồng bộ thứ hai;

khối chuyển đổi khối ký tự điều khiển thứ nhất, được cấu hình để chuyển đổi tương ứng khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu thành khối ký tự điều khiển thứ hai 4 bit; và

khối xuất ra thứ nhất, được cấu hình để xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, và khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, hoặc các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, và khối ký tự dữ liệu.

Theo khía cạnh thứ ba, cách thức triển khai khả thi thứ nhất của khía cạnh thứ ba, cách thức triển khai khả thi thứ hai của khía cạnh thứ ba, hoặc cách thức triển khai khả thi thứ ba của khía cạnh thứ ba, theo cách thức triển khai khả thi thứ tư của khía cạnh thứ ba, khối xuất ra thứ nhất được cấu hình cụ thể để: nếu bốn khối dữ liệu còn gồm ít nhất một khối ký tự dữ liệu, thì không xử lý trên khối ký tự dữ liệu trong số bốn khối dữ liệu này, và giữ lại khối ký tự dữ liệu trong số các khối dữ liệu này; và xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, và khối dữ liệu của khối ký tự dữ liệu.

Theo khía cạnh thứ ba, cách thức triển khai khả thi thứ nhất của khía cạnh thứ ba, cách thức triển khai khả thi thứ hai của khía cạnh thứ ba, cách thức triển khai khả thi thứ ba của khía cạnh thứ ba, hoặc cách thức triển khai khả thi thứ tư của khía cạnh thứ ba, theo cách thức triển khai khả thi thứ năm của khía cạnh thứ ba, khối xuất ra thứ nhất còn được cấu hình để xác định xem liệu số lượng bit có trong các khối dữ liệu đầu ra được xử lý có bằng 34 hay không; và nếu số lượng bit có trong các khối dữ liệu đầu ra được xử lý nhỏ hơn 34, thì thêm số ngẫu nhiên vào đuôi của các khối dữ liệu đầu ra được xử lý cho đến khi số lượng bit của các

khối dữ liệu đầu ra được xử lý bằng 34, trong đó số ngẫu nhiên là mã nhị phân được tạo ngẫu nhiên.

Theo khía cạnh thứ ba, cách thức triển khai khả thi thứ nhất của khía cạnh thứ ba, cách thức triển khai khả thi thứ hai của khía cạnh thứ ba, cách thức triển khai khả thi thứ ba của khía cạnh thứ ba, cách thức triển khai khả thi thứ tư của khía cạnh thứ ba, hoặc cách thức triển khai khả thi thứ năm của khía cạnh thứ ba, theo cách thức triển khai khả thi thứ sáu của khía cạnh thứ ba, thiết bị mạng quang học còn gồm:

khối đồng bộ thứ nhất, được cấu hình để đồng bộ dòng dữ liệu trên đó bước mã hóa 8 bit/10 bit đã được thực hiện.

Theo khía cạnh thứ ba, cách thức triển khai khả thi thứ nhất của khía cạnh thứ ba, cách thức triển khai khả thi thứ hai của khía cạnh thứ ba, cách thức triển khai khả thi thứ ba của khía cạnh thứ ba, cách thức triển khai khả thi thứ tư của khía cạnh thứ ba, cách thức triển khai khả thi thứ năm của khía cạnh thứ ba, hoặc cách thức triển khai khả thi thứ sáu của khía cạnh thứ ba, theo cách thức triển khai khả thi thứ bảy của khía cạnh thứ ba, thiết bị mạng quang học còn gồm: bộ xáo trộn, được cấu hình để xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai ở dòng dữ liệu trên đó bước mã hóa từ 32 bit đến 34 bit đã được thực hiện.

Theo khía cạnh thứ tư, sáng chế đề xuất thiết bị mạng quang học, trong đó thiết bị mạng quang học gồm:

khối giao diện thứ ba, được cấu hình để tiếp nhận dòng dữ liệu từ lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện;

bộ chuyển đổi độ rộng bit thứ hai, được cấu hình để thực hiện chuyển đổi độ rộng bit 10 bit/34 bit trên dòng dữ liệu được tiếp nhận;

bộ giải mã sửa lỗi trước, được cấu hình để thực hiện giải mã sửa lỗi trước trên dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực

hiện;

bộ giải mã từ 32 bit đến 34 bit, được cấu hình để thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện;

bộ tạo mã 8 bit/10 bit, được cấu hình để thực hiện mã hóa 8 bit/10 bit trên dòng dữ liệu mà trên đó bước giải mã từ 32 bit đến 34 bit đã được thực hiện; và

khối giao diện thứ tư, được cấu hình để gửi dòng dữ liệu trên đó bước mã hóa 8 bit/10 bit đã được thực hiện đến lớp gắn môi trường vật lý.

Theo khía cạnh thứ tư, theo cách thức triển khai khả thi thứ nhất của khía cạnh thứ tư, bộ giải mã từ 32 bit đến 34 bit gồm:

khối phân tích cú pháp thứ nhất, được cấu hình để phân tích cú pháp dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện, và xuất ra năm mươi một khối dữ liệu, trong đó khối bất kỳ trong các khối dữ liệu là khối ký tự điều khiển thứ hai hoặc khối ký tự dữ liệu, khối ký tự điều khiển thứ hai bất kỳ là mã nhị phân 4 bit, và khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit;

khối phân tích cú pháp thứ hai, được cấu hình để phân tích cú pháp khối bất kỳ trong các khối dữ liệu, và thu thập đầu đồng bộ của khối bất kỳ trong các khối dữ liệu, trong đó đầu đồng bộ gồm: đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai, đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu, đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ hai tồn tại trong các khối dữ liệu; và

khối xác định thứ hai, được cấu hình để xác định xem liệu đầu đồng bộ của khối bất kỳ trong các khối dữ liệu là đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai.

Theo khía cạnh thứ tư hoặc cách thức triển khai khả thi thứ nhất của

khía cạnh thứ tư, theo cách thức triển khai khả thi thứ hai, bộ giải mã từ 32 bit đến 34 bit còn gồm:

khối xử lý thứ ba, được cấu hình để: nếu đầu đồng bộ là đầu đồng bộ thứ nhất, thì xóa đầu đồng bộ thứ nhất, và xuất ra các khối dữ liệu từ đó đầu đồng bộ thứ nhất bị xóa.

Theo khía cạnh thứ tư, cách thức triển khai khả thi thứ nhất của khía cạnh thứ tư, hoặc cách thức triển khai khả thi thứ hai của khía cạnh thứ tư, theo cách thức triển khai khả thi thứ ba của khía cạnh thứ tư, bộ giải mã từ 32 bit đến 34 bit còn gồm khối xử lý thứ tư, và khối xử lý thứ tư cụ thể gồm:

khối phân tích cú pháp mã ánh xạ, được cấu hình để: nếu đầu đồng bộ là đầu đồng bộ thứ hai, thì phân tích cú pháp các khối dữ liệu, và thu thập mã ánh xạ vị trí khối ký tự điều khiển 4 bit;

khối chuyển đổi ký tự điều khiển thứ hai, được cấu hình để thu thập số lượng khối ký tự điều khiển thứ hai trong số các khối dữ liệu và vị trí của khối ký tự điều khiển thứ hai trong số các khối dữ liệu theo mã ánh xạ vị trí khối ký tự điều khiển; và chuyển đổi tương ứng khối ký tự điều khiển thứ hai trong số các khối dữ liệu thành khối ký tự điều khiển thứ nhất 8 bit theo số lượng khối ký tự điều khiển thứ hai và vị trí của khối ký tự điều khiển thứ hai trong số các khối dữ liệu;

khối xóa đầu đồng bộ, được cấu hình để xóa đầu đồng bộ thứ hai và mã ánh xạ vị trí khối ký tự điều khiển từ các khối dữ liệu, trong đó mã ánh xạ vị trí khối ký tự điều khiển ở vị trí sau đầu đồng bộ thứ hai và liền kề với đầu đồng bộ thứ hai; và

khối xuất ra thứ hai, được cấu hình để xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm: khối ký tự điều khiển thứ nhất và/hoặc khối ký tự dữ liệu, và khối dữ liệu ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit.

Theo khía cạnh thứ tư, cách thức triển khai khả thi thứ nhất của khía

cạnh thứ tư, cách thức triển khai khả thi thứ hai của khía cạnh thứ tư, hoặc cách thức triển khai khả thi thứ ba của khía cạnh thứ tư, theo cách thức triển khai khả thi thứ tư của khía cạnh thứ tư, khối xuất ra thứ hai được cấu hình cụ thể để: nếu các khối dữ liệu còn gồm ít nhất một khối ký tự dữ liệu, thì không xử lý trên khối ký tự dữ liệu trong số các khối dữ liệu, và giữ lại khối ký tự dữ liệu này; và xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm: ký tự điều khiển thứ nhất và khối ký tự dữ liệu.

Theo khía cạnh thứ tư, cách thức triển khai khả thi thứ nhất của khía cạnh thứ tư, cách thức triển khai khả thi thứ hai của khía cạnh thứ tư, cách thức triển khai khả thi thứ ba của khía cạnh thứ tư, hoặc cách thức triển khai khả thi thứ tư của khía cạnh thứ tư, theo cách thức triển khai khả thi thứ năm của khía cạnh thứ tư, thiết bị mạng quang học còn gồm:

khối đồng bộ thứ hai, được cấu hình để đồng bộ dòng dữ liệu được tiếp nhận.

Theo khía cạnh thứ tư, cách thức triển khai khả thi thứ nhất của khía cạnh thứ tư, cách thức triển khai khả thi thứ hai của khía cạnh thứ tư, cách thức triển khai khả thi thứ ba của khía cạnh thứ tư, cách thức triển khai khả thi thứ tư của khía cạnh thứ tư, hoặc cách thức triển khai khả thi thứ năm của khía cạnh thứ tư, theo cách thức triển khai khả thi thứ sáu của khía cạnh thứ tư, thiết bị mạng quang học còn gồm:

bộ giải xáo trộn, được cấu hình để giải xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai ở dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện.

Theo khía cạnh thứ năm, sáng chế đề xuất hệ thống mạng quang học, trong đó hệ thống mạng quang học gồm: thiết bị mạng quang học theo khía cạnh thứ ba và thiết bị mạng quang học theo khía cạnh thứ tư.

Theo khía cạnh thứ sáu, sáng chế đề xuất hệ thống mạng quang học, trong đó hệ thống mạng quang học gồm ít nhất: thiết bị đầu cuối đường

truyền quang học và khối mạng quang học, trong đó thiết bị đầu cuối đường truyền quang học gồm thiết bị mạng quang học theo khía cạnh thứ ba, và khối mạng quang học gồm thiết bị mạng quang học theo khía cạnh thứ tư; hoặc khối mạng quang học gồm thiết bị mạng quang học theo khía cạnh thứ ba, và thiết bị đầu cuối đường truyền quang học gồm thiết bị mạng quang học theo khía cạnh thứ tư.

Sơ đồ mã hóa mới được triển khai bằng cách sử dụng các giải pháp nêu trên: thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó giải mã 8 bit/10 bit đã được thực hiện, thực hiện mã hóa sửa lỗi trước trên dòng dữ liệu trên đó bước mã hóa từ 32 bit đến 34 bit đã được thực hiện, và gửi dòng dữ liệu được mã hóa; hoặc thực hiện giải mã sửa lỗi trước trên dòng dữ liệu được tiếp nhận, và thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện. Theo cách này, tài nguyên băng thông của đường truyền được tiết kiệm; việc giám sát đường truyền có thể được triển khai mà không ngắt dịch vụ, vốn dễ triển khai và cải thiện đáng kể các loại hiệu năng khác nhau của hệ thống.

Mô tả vắn tắt các hình vẽ

Để mô tả các giải pháp kỹ thuật theo các phương án thực hiện sáng chế rõ ràng hơn, phần dưới đây giới thiệu vắn tắt các hình vẽ đi kèm cần để mô tả các phương án thực hiện. Rõ ràng, các hình vẽ đi kèm trong phần mô tả dưới đây chỉ thể hiện một số phương án thực hiện sáng chế, và người có hiểu biết trung bình trong lĩnh vực vẫn có thể suy ra các hình vẽ đi kèm khác từ các hình vẽ đi kèm này mà không cần nỗ lực sáng tạo.

Fig.1 là lược đồ cấu trúc của các lớp giao thức của hệ thống truyền thông;

Fig.2 là lưu đồ của phương pháp truyền thông cho hệ thống mạng quang học;

Fig.3 là lược đồ của luật mã hóa từ 32 bit đến 34 bit;

Fig.4 là lược đồ của mã hóa cụ thể từ 32 bit đến 34 bit;

Fig.5 là lược đồ của bảng chuyển đổi khối ký tự điều khiển;

Fig.6 là lược đồ khác của mã hóa cụ thể từ 32 bit đến 34 bit;

Fig.7 là lược đồ khác của mã hóa cụ thể từ 32 bit đến 34 bit;

Fig.8 là lưu đồ cụ thể của phương pháp truyền thông cho hệ thống mạng quang học;

Fig.9 là lược đồ của mã hóa cụ thể của khối mã mới được thêm vào;

Fig.10 minh họa phương pháp truyền thông khác cho hệ thống mạng quang học;

Fig.11 là lược đồ của bước mã hóa cụ thể của bước giải mã từ 32 bit đến 34 bit;

Fig.12 là lược đồ cấu trúc của thiết bị mạng quang học;

Fig.13 là lược đồ cấu trúc của thành phần của bộ mã hóa 32 bit thành 34 bit;

Fig.14 là lược đồ cấu trúc của thành phần của thiết bị mạng quang học khác;

Fig.15 là lược đồ cấu trúc của thành phần của bộ giải mã từ 32 bit đến 34 bit;

Fig.16 là lược đồ cấu trúc của hệ thống mạng quang học;

Fig.17 là lược đồ cấu trúc của hệ thống máy tính; và

Fig.18 là lược đồ cấu trúc của hệ thống máy tính khác.

Mô tả chi tiết sáng chế

Phần dưới đây mô tả rõ ràng và đầy đủ các giải pháp kỹ thuật theo các phương án thực hiện sáng chế theo các hình vẽ đi kèm theo các phương án thực hiện sáng chế. Rõ ràng, các phương án thực hiện được mô tả chỉ là một số chứ không phải tất cả các phương án thực hiện sáng chế. Tất cả các phương án thực hiện khác thu được bởi người có hiểu biết trung bình

trong lĩnh vực dựa trên các phương án thực hiện sáng chế mà không cần nỗ lực sáng tạo sẽ nằm trong phạm vi bảo hộ của sáng chế.

Như được thể hiện trên Fig.1, Fig.1 là lược đồ cấu trúc của các lớp giao thức của hệ thống truyền thông theo phương án thực hiện sáng chế.

Trên Fig.1, lớp con mã hóa vật lý (physical coding sub-layer, PCS) 100 tiếp nhận dòng dữ liệu ở tốc độ cụ thể, thực hiện mã hóa 8B/10B trên dòng dữ liệu được tiếp nhận, và xuất ra dòng dữ liệu được mã hóa. Như được minh họa trên Fig.1, tốc độ có thể là 1Gbit/s mà ở đó thực hiện tiếp nhận từ lớp trên, và sau bước mã hóa 8B/10B, dòng dữ liệu được gửi tới lớp PMA 102 ở tốc độ 1,25Gbit/s. Tốc độ được thể hiện trên Fig.1 không bị giới hạn, và có thể là 1Gbit/s hoặc tốc độ khác.

Lớp gắn môi trường vật lý (physical medium attachment, PMA) 102 thực hiện chuyển đổi từ song song sang nối tiếp trên dòng dữ liệu được xuất ra bởi PCS 100, và gửi dòng dữ liệu chuyển đổi đến lớp mã hóa mới thêm vào 104.

Lớp phụ thuộc môi trường vật lý (physical medium dependent, PMD) 106 gửi dòng dữ liệu được tiếp nhận đến đường truyền vật lý ở tốc độ cụ thể.

Lớp mã hóa 104 mới được thêm vào giữa lớp PMA 102 và lớp PMD 106, và lớp mã hóa mới thêm vào 104 gồm: lớp PMA 1040, lớp PCS 1042, lớp mã hóa/giải mã 32b/34b 1044, lớp mã hóa/giải mã sửa lỗi trước (forward error correction, FEC) 1046, và lớp PMA 1048.

Các chức năng của các lớp của lớp mã hóa mới thêm vào 104 từ trên xuống dưới được mô tả như sau:

lớp PMA 1040 tiếp nhận dòng dữ liệu từ lớp PMA 102 ở tốc độ đường truyền, thực hiện chuyển đổi nối tiếp sang song song trên dòng dữ liệu được tiếp nhận, và xuất ra dòng dữ liệu chuyển đổi cho lớp PCS 1042 để xử lý, trong đó tốc độ đường truyền có thể bằng 1,25Gbit/s được minh họa trên Fig.1 hoặc tốc độ khác, vốn không bị giới hạn ở đây;

lớp PCS 1042 thực hiện giải mã 8 bit/10 bit trên dòng dữ liệu được tiếp nhận;

lớp mã hóa/giải mã 32B/34B 1044 thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước mã hóa 8 bit/10 bit đã được thực hiện;

lớp mã hóa/giải mã FEC 1046 thực hiện mã hóa sửa lỗi trước trên dòng dữ liệu trên đó bước mã hóa từ 32 bit đến 34 bit được thực hiện; và

lớp PMA 1048 thực hiện chuyển đổi từ song song sang nối tiếp trên dòng dữ liệu trên đó bước mã hóa sửa lỗi trước được thực hiện, và gửi dòng dữ liệu trên đó chuyển đổi song song sang nối tiếp đã được thực hiện đến lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền.

Một cách tùy chọn, ở lớp giữa lớp mã hóa/giải mã 32b/34b 1044 và lớp mã hóa/giải mã FEC 1046,

lớp xáo trộn/giải xáo trộn, được cấu hình để xáo trộn dòng dữ liệu trên đó bước mã hóa từ 32 bit đến 34 bit đã được thực hiện, và nhập vào dòng dữ liệu được xáo trộn cho lớp mã hóa/giải mã FEC 1046 để mã hóa FEC.

Ngoài ra, lớp xáo trộn/giải xáo trộn có thể được kết hợp thành lớp mã hóa/giải mã 32B/34B 1044, hoặc có thể được thiết lập độc lập giữa lớp mã hóa/giải mã 32B/34B 1044 và lớp mã hóa/giải mã FEC 1046.

Một cách tùy chọn, ở lớp giữa lớp mã hóa/giải mã FEC 1046 và lớp PMA 1048, trong đó quá trình của phương pháp mã hóa/giải mã còn bao gồm: thực hiện chuyển đổi độ rộng bit 34 bit/10 bit trên dòng dữ liệu trên đó mã hóa sửa lỗi trước đã được thực hiện, và nhập vào dòng dữ liệu trên đó bước chuyển đổi độ rộng bit được tạo trước cho lớp PMA 1048 để xử lý.

Một cách tùy chọn, trước khi bước giải mã 8 bit/10 bit được thực hiện trên dòng dữ liệu được tiếp nhận, việc đồng bộ còn được thực hiện trên dòng dữ liệu được tiếp nhận.

Các chức năng của các lớp của lớp mã hóa mới thêm vào 104 từ dưới lên trên được mô tả như sau:

lớp PMA 1048 tiếp nhận dòng dữ liệu ở tốc độ đường truyền, thực hiện chuyển đổi nối tiếp sang song song trên dòng dữ liệu được tiếp nhận, và xuất ra dòng dữ liệu chuyển đổi, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện;

lớp mã hóa/giải mã FEC 1046 thực hiện giải mã sửa lỗi trước trên dòng dữ liệu được tiếp nhận;

lớp mã hóa/giải mã 32B/34B 1044 thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện;

lớp PCS 1042 thực hiện mã hóa 8 bit/10 bit trên dòng dữ liệu trên đó bước giải mã từ 32 bit đến 34 bit đã được thực hiện; và

PMA 1040 gửi dòng dữ liệu trên đó bước mã hóa 8 bit/10 bit đã được thực hiện đến PMA 102.

Một cách tùy chọn, phần dưới đây còn được bao gồm giữa lớp mã hóa/giải mã 32B/34B 1044 và lớp mã hóa/giải mã FEC 1046:

lớp xáo trộn/giải xáo trộn, được cấu hình để thực hiện xử lý giải xáo trộn trên dòng dữ liệu trên đó giải mã FEC đã được thực hiện.

Ngoài ra, lớp xáo trộn/giải xáo trộn có thể được kết hợp thành lớp mã hóa/giải mã 32B/34B 1044, hoặc có thể được thiết lập độc lập giữa lớp mã hóa/giải mã 32B/34B 1044 và lớp mã hóa/giải mã FEC 1046.

Một cách tùy chọn, sau khi PMA 1048 tiếp nhận dòng dữ liệu và trước khi dòng dữ liệu đi vào lớp mã hóa/giải mã FEC 1046, việc xử lý đồng bộ được thực hiện trên dòng dữ liệu.

Một cách tùy chọn, bước chuyển đổi độ rộng bit 10 bit/34 bit được thực hiện trên dòng dữ liệu trên đó bước xử lý đồng bộ đã được thực hiện, và dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện được nhập vào lớp mã hóa/giải mã FEC 1046 để giải mã FEC.

Lược đồ kết cấu của các lớp giao thức được thể hiện trên Fig.1 có thể được áp dụng trên thiết bị đầu cuối hoặc thiết bị văn phòng trung tâm ở

hệ thống Gigabit Ethernet (Gigabit Ethernet, GE) hoặc hệ thống WDM PON, và cụ thể là, lớp mã hóa mới thêm vào 104 có thể được đặt giữa lớp PMA 102 và lớp PMD 106 của thiết bị đầu cuối hoặc giữa lớp PMA 102 và lớp PMD 106 của thiết bị văn phòng trung tâm.

Các chức năng của lớp mã hóa mới thêm vào chủ yếu được thực hiện mã hóa từ 32 bit đến 34 bit và giải mã và thực hiện kiểm tra FEC trên đường truyền. Theo cách này, sơ đồ mã hóa mới được sử dụng để tiết kiệm băng thông và triển khai kiểm tra FEC trên đường truyền mà không gián đoạn việc truyền dịch vụ.

Như được thể hiện trên Fig.2, Fig.2 là lưu đồ của phương pháp truyền thông cho hệ thống mạng quang học. Phương pháp truyền thông có thể được áp dụng trên thiết bị văn phòng trung tâm hoặc thiết bị đầu cuối của hệ thống GE, hoặc thiết bị văn phòng trung tâm hoặc thiết bị đầu cuối của hệ thống WDM PON. Cụ thể là, phương pháp truyền thông như sau:

Bước S200: Tiếp nhận dòng dữ liệu từ PMA ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện.

Bước S202: Thực hiện giải mã 8 bit/10 bit trên dòng dữ liệu được tiếp nhận.

Bước S204: Thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện.

Bước S206: Thực hiện mã hóa sửa lỗi trước trên dòng dữ liệu trên đó bước mã hóa từ 32 bit đến 34 bit đã được thực hiện.

Bước S208: Thực hiện chuyển đổi độ rộng bit 34 bit/10 bit trên dòng dữ liệu trên đó bước mã hóa sửa lỗi trước đã được thực hiện.

Bước S210: Gửi dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện đến lớp PMD ở tốc độ đường truyền.

Một cách tùy chọn, trước bước S202, phương pháp còn gồm bước:

đồng bộ dòng dữ liệu trên đó bước mã hóa 8 bit/10 bit đã được thực

hiện.

Một cách tùy chọn, sau bước S204, phương pháp còn gồm:

xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai ở dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện.

Ngoài ra, trước bước thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã 8 bit/10 bit được thực hiện, phương pháp còn gồm:

tuần tự và liên tục tiếp nhận dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện, để tạo bốn khối dữ liệu, trong đó các khối dữ liệu gồm khối ký tự điều khiển thứ nhất và/hoặc khối ký tự dữ liệu, và khối dữ liệu ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit; và

xác định xem liệu khối ký tự điều khiển thứ nhất có tồn tại trong các khối dữ liệu hay không.

Việc thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện cụ thể gồm:

nếu khối ký tự điều khiển thứ nhất không tồn tại trong các khối dữ liệu, thì thêm đầu đồng bộ thứ nhất vào tiêu đề của khối dữ liệu thứ nhất trong số các khối dữ liệu, và xuất ra các khối dữ liệu mà đầu đồng bộ thứ nhất được thêm vào, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, và định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu;

nếu ít nhất một khối ký tự điều khiển thứ nhất tồn tại trong các khối dữ liệu, thì thêm đầu đồng bộ thứ hai vào tiêu đề của khối dữ liệu thứ nhất trong số các khối dữ liệu, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một

khối ký tự điều khiển thứ nhất tồn tại trong các khối dữ liệu này;

tạo, theo số lượng khối ký tự điều khiển thứ nhất trong số các khối dữ liệu và vị trí của khối điều khiển thứ nhất trong số các khối dữ liệu, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, và thiết lập mã ánh xạ vị trí khối ký tự điều khiển, ở vị trí sau đầu đồng bộ thứ hai và liền kề với đầu đồng bộ thứ hai;

chuyển đổi tương ứng khối ký tự điều khiển thứ nhất trong số các khối dữ liệu thành khối ký tự điều khiển thứ hai 4 bit; và

xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, và khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, hoặc các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, và khối ký tự dữ liệu.

Ngoài ra, nếu các khối dữ liệu còn gồm ít nhất một khối ký tự dữ liệu, thì không thực hiện xử lý trên khối ký tự dữ liệu trong số các khối dữ liệu, và khối ký tự dữ liệu trong số các khối dữ liệu được giữ lại; và các khối dữ liệu được xử lý được xuất ra, trong đó các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, và khối dữ liệu của khối ký tự dữ liệu.

Ngoài ra, phương pháp còn gồm bước:

xác định xem liệu số lượng bit có trong các khối dữ liệu đầu ra được xử lý có bằng 34 hay không; và nếu số lượng bit có trong các khối dữ liệu đầu ra được xử lý nhỏ hơn 34, thì thêm số ngẫu nhiên (ở đây vốn có thể là mã nhị phân được đệm ngẫu nhiên) vào đuôi của các khối dữ liệu đầu ra được xử lý cho đến khi số lượng bit của các khối dữ liệu đầu ra được xử lý bằng 34, trong đó số ngẫu nhiên là mã nhị phân được tạo ngẫu nhiên hoặc mã nhị phân bất kỳ.

Được sử dụng làm ví dụ, Fig.3 là lược đồ của quy luật mã hóa từ 32 bit đến 34 bit. Quá trình cụ thể thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu nhập vào được sử dụng nhờ sử dụng ví dụ cụ thể.

Bước 1: Tuần tự và liên tục tiếp nhận dòng dữ liệu trên đó giải mã 8 bit/10 bit đã được thực hiện, để tạo bốn khối dữ liệu, trong đó bốn khối dữ liệu có tổng cộng 32 bit, khối bất kỳ trong bốn khối dữ liệu có thể là khối dữ liệu ký tự điều khiển thứ nhất hoặc khối ký tự dữ liệu, và khối ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu là mã nhị phân 8 bit.

Bước 2: Xác định xem liệu khối dữ liệu ký tự điều khiển thứ nhất hoặc khối ký tự dữ liệu có tồn tại trong bốn khối dữ liệu được tiếp nhận hay không.

Bước 3: nếu bốn khối dữ liệu được tiếp nhận tất cả đều là các khối ký tự dữ liệu, và không có khối ký tự điều khiển nào tồn tại, thì thêm đầu đồng bộ thứ nhất (synchronization head, SH) vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, ánh xạ trực tiếp bốn khối ký tự dữ liệu vào tải hữu ích khối dữ liệu mà không có chuyển đổi bất kỳ, và xuất ra các khối dữ liệu mà đầu đồng bộ thứ nhất được thêm vào.

Khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước. Đầu đồng bộ thứ nhất được thêm vào vị trí của tiêu đề của khối dữ liệu thứ nhất mà được nhập vào trước tiên. Đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, và định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu.

Như được thể hiện trên Fig.3, các khối dữ liệu được tiếp nhận tuần tự là D0D1D2D3, trong đó mỗi một chữ cái đại diện ký tự dữ liệu 8 bit, chẳng hạn, D0 chỉ báo khối ký tự dữ liệu thứ nhất được nhập vào trước và là mã nhị phân 8 bit; bốn khối dữ liệu được nhập vào tất cả đều là các khối ký tự dữ liệu, và không có khối ký tự điều khiển nào tồn tại. Trong trường hợp này, đầu đồng bộ thứ nhất "01" được thêm vào tiêu đề của D0, và 01D0D1D2D3, các khối dữ liệu 34 bit được thu thập sau đầu đồng bộ

thứ nhất được thêm vào, được xuất ra. Đối với quá trình cụ thể, tham khảo Fig.4.

Fig.4 thể hiện bốn khối dữ liệu được tuần tự nhập vào D0D1D2D3, trong đó D0 là khối dữ liệu được nhập vào trước. Ở đây, khối dữ liệu thứ nhất được nhập vào trước là tám bit quan trọng nhất, và khối dữ liệu D3 được nhập vào cuối cùng là tám bit ít quan trọng nhất; khối dữ liệu thứ nhất được nhập vào trước cũng có thể được xác định như là tám bit ít quan trọng nhất, và khối dữ liệu D3 được nhập vào cuối cùng cũng có thể được xác định như là tám bit quan trọng nhất. Đầu đồng bộ thứ nhất “01” (mã nhị phân 2 bit) được thêm vào tiêu đề của khối dữ liệu thứ nhất được nhập vào trước (tức là, khối ký tự dữ liệu thứ nhất), và dòng dữ liệu 01D0D1D2D3 34-bit được xuất ra. Theo cách này, dòng dữ liệu 32-bit đầu vào được chuyển đổi thành dòng dữ liệu 34-bit đầu ra bằng cách sử dụng sơ đồ mã hóa. Đầu đồng bộ thứ nhất “01” chỉ là ví dụ. Dạng tổ hợp cụ thể của mã nhị phân 2 bit không bị giới hạn miễn là nó được thiết lập sao cho mã nhị phân 2 bit có thể nhận diện rằng dòng dữ liệu là tất cả khối ký tự dữ liệu.

Bước 4: Nếu ít nhất một khối ký tự điều khiển thứ nhất tồn tại trong bốn khối dữ liệu, thì thêm đầu đồng bộ thứ hai vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, trong đó đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ nhất tồn tại trong các khối dữ liệu.

Bước 5: Tạo, theo số lượng các khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu và vị trí của khối điều khiển thứ nhất trong số các khối dữ liệu, mã ánh xạ vị trí khối ký tự điều khiển 4 bit (“mã ánh xạ” trên Fig.3 là “mã ánh xạ vị trí khối ký tự điều khiển” ở đây), và thiết lập mã ánh xạ vị trí khối ký tự điều khiển, ở vị trí sau đầu đồng bộ thứ hai và liền kề với đầu đồng bộ thứ hai.

Bước 6: Chuyển đổi tương ứng khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu thành khối ký tự điều khiển thứ hai 4 bit.

Bước 7: Xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, và khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, hoặc các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, và khối ký tự dữ liệu.

Để chi tiết, tham khảo Fig.3. Bốn khối dữ liệu C0D1D2D3 được nhập vào, trong đó chữ C đại diện khối ký tự điều khiển thứ nhất 8 bit, và D đại diện khối ký tự dữ liệu 8 bit. Trong trường hợp này, một khối ký tự điều khiển thứ nhất C0 và ba khối ký tự dữ liệu D1, D2, và D3 tồn tại trong số bốn khối dữ liệu được nhập vào. Quá trình cụ thể thực hiện mã hóa từ 32 bit sang 34 bit trên dòng dữ liệu nhập vào gồm ít nhất một khối ký tự điều khiển như sau:

Trước hết, đầu đồng bộ thứ hai “10” được thêm vào tiêu đề của khối dữ liệu thứ nhất (tiêu đề của khối dữ liệu thứ nhất cụ thể là bit nhị phân thứ nhất trong số các bit nhị phân được nhập vào liên tục) trong số bốn khối dữ liệu được nhập vào, tức là, “10” được thêm vào trước C0.

Thứ hai, một khối ký tự điều khiển thứ nhất “C0” có tồn tại trong bốn khối dữ liệu, và C0 ở vị trí của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, tức là, C0 là khối dữ liệu được nhập vào trước. Trong trường hợp này, mã ánh xạ vị trí khối ký tự điều khiển 4 bit “1000” được tạo theo C0, trong đó “1” trong “1000” đại diện rằng ký tự điều khiển thứ nhất là khối dữ liệu thứ nhất trong số bốn khối dữ liệu, và ba khối dữ liệu còn lại là các khối ký tự dữ liệu. Ngoài ra, “1000” được thiết lập ở vị trí sau đầu đồng bộ thứ hai “10” và trước khối dữ liệu thứ nhất.

Sau đó khối ký tự điều khiển thứ nhất 8 bit “C0” trong số các khối dữ liệu được chuyển đổi thành khối ký tự điều khiển thứ hai 4 bit K0, trong

đó K0 đại diện khối ký tự điều khiển thứ hai thứ nhất, và mỗi một ký tự K đại diện mã nhị phân 4 bit. Quá trình chuyển đổi cụ thể như sau:

Bảng chuyển đổi khối ký tự điều khiển được thể hiện trên Fig.5 được tìm kiếm theo khối ký tự điều khiển thứ nhất được nhập vào “C0”, và ký tự điều khiển thứ hai 4 bit tương ứng được xuất ra ở vị trí của khối dữ liệu tương ứng. Chẳng hạn, “C0” là “000 11100”, và khối ký tự điều khiển thứ hai 4 bit “0000” thu được sau khi phép chuyển đổi được xuất ra tương ứng theo kết quả tìm kiếm bảng chuyển đổi khối ký tự điều khiển được thể hiện trên Fig.5. Trên Fig.3, ký tự điều khiển thứ hai thu được sau khi chuyển đổi được biểu thị bởi K0.

Ngoài ra, sự tương ứng giữa khối ký tự điều khiển thứ nhất và khối ký tự điều khiển thứ hai được thể hiện trên Fig.5 có thể thay đổi và không bị giới hạn ở sự tương ứng được thể hiện trên bảng, miễn là khối ký tự điều khiển thứ hai 4 bit thu được sau khi chuyển đổi có thể nhận diện duy nhất khối ký tự điều khiển thứ nhất 8 bit. Đây là do hiện tại có mười hai loại khối ký tự điều khiển thứ nhất, và mã nhị phân 4 bit có thể đại diện mười sáu loại ký tự điều khiển.

Cuối cùng, các khối ký tự dữ liệu trong số bốn khối dữ liệu không được xử lý và được ánh xạ trực tiếp vào các vị trí tương ứng của các khối dữ liệu cần được xuất ra. Các khối dữ liệu 34 bit cuối cùng được xuất ra là “10 1000 K0D1D2D3”, trong đó “10” nhận diện rằng khối ký tự điều khiển thứ nhất tồn tại trong bốn khối dữ liệu được nhập vào, “1000” nhận diện rằng một khối ký tự điều khiển thứ nhất tồn tại và là khối dữ liệu thứ nhất trong số bốn khối dữ liệu, “K0” là khối ký tự điều khiển thứ hai thu được sau khi khối ký tự điều khiển thứ nhất 8 bit “C0” được chuyển đổi, và “D1D2D3” là ba khối ký tự.

Quá trình chuyển đổi có thể còn được mô tả bằng cách sử dụng Fig.6. Như được thể hiện trên Fig.6, các khối dữ liệu được nhập vào là “C0D1D2D3”; sau mã hóa từ 32 bit đến 34 bit, đầu đồng bộ thứ hai “10”

và mã ánh xạ vị trí khối ký tự điều khiển “1000” được thêm vào trước C0, ký tự điều khiển thứ nhất “C0” được chuyển đổi thành ký tự điều khiển thứ hai “K0”, và dòng dữ liệu đầu ra được mã hóa là “10 1000 K0D1D2D3”.

Lưu ý rằng nếu chỉ một khối ký tự điều khiển tồn tại trong các khối dữ liệu được nhập vào, thì các khối còn lại tất cả đều là các khối ký tự dữ liệu, việc xử lý được thực hiện theo cách được thể hiện trên Fig.6. Nếu cả khối ký tự điều khiển lẫn khối ký tự dữ liệu tồn tại trong số các khối dữ liệu được nhập vào, và số lượng các khối ký tự điều khiển ít nhất là 2, thì sau khi mã hóa từ 32 bit đến 34 bit, có thể thu được bằng cách tính toán rằng số lượng bit của các khối dữ liệu xuất ra nhỏ hơn 34. Do vậy, cần được xác định thêm liệu số lượng bit có trong dòng dữ liệu được mã hóa có bằng 34 hay không; và nếu số lượng bit có trong các khối dữ liệu đầu ra được xử lý hoặc dòng dữ liệu nhỏ hơn 34, thì số ngẫu nhiên được thêm vào đuôi của khối dữ liệu cuối cùng trong số các khối dữ liệu xuất ra hoặc trong dòng dữ liệu xuất ra cho đến khi số lượng bit của các khối dữ liệu đầu ra được xử lý bằng 34, trong đó số ngẫu nhiên là mã nhị phân được tạo ngẫu nhiên hoặc mã nhị phân bất kỳ.

Phản dưới đây là ví dụ để mô tả.

Theo Fig.3, Fig.5, và Fig.7, như được thể hiện trên Fig.3, nếu các khối dữ liệu được nhập vào tuần tự là “C0D1C2D3”, thì đầu đồng bộ thứ hai SH “10” và mã ánh xạ vị trí khối ký tự điều khiển “1010” được thêm tuần tự vào tiêu đề của khối dữ liệu thứ nhất được nhập vào trước. Sau đó, bằng cách tìm kiếm bảng chuyển đổi khối ký tự điều khiển trên Fig.5, khối ký tự điều khiển thứ nhất 8 bit “C0” được chuyển đổi thành khối ký tự điều khiển thứ hai 4 bit tương ứng “K0” (như được thể hiện trên Fig.5, nếu “C0” là “001 11100”, thì bảng chuyển đổi ký tự điều khiển được tìm kiếm, khối ký tự điều khiển thứ hai đầu ra “K0” là “0001”, trong đó “K0” ở đây đại diện khối ký tự điều khiển thứ hai 4 bit), và khối ký tự điều

khiến thứ nhất 8 bit “C2” được chuyển đổi thành khối ký tự điều khiển thứ hai 4 bit tương ứng “K2”. Các khối ký tự dữ liệu “D1” và “D3” không được cải biến. Sau khi mã hóa từ 32 bit đến 34 bit, các khối dữ liệu xuất ra là “10 1010 K0D1K2D3”, như được thể hiện trên Fig.7. Nó thu được bằng cách tính toán rằng các khối dữ liệu xuất ra chỉ có 32 bit, và do vậy, số ngẫu nhiên 4-bit cần được thêm vào đuôi của khối dữ liệu cuối cùng, tức là, số ngẫu nhiên nhị phân 4 bit được thêm ngẫu nhiên ở vị trí của “Rsvd”. Một cách tối ưu, tốt hơn là cố tránh sử dụng số ngẫu nhiên của tổ hợp tất cả “0” hoặc tất cả “1”, tổ hợp luân phiên “0” và “1” có thể được sử dụng, hoặc mã nhị phân được đệm ngẫu nhiên.

Như được thể hiện trên Fig.8, Fig.8 là lưu đồ cụ thể của phương pháp truyền thông cho hệ thống mạng quang học.

Bước S804: Tiếp nhận dòng dữ liệu từ lớp PMA thứ nhất ở tốc độ đường truyền, thực hiện chuyển đổi nối tiếp sang song song trên dòng dữ liệu được tiếp nhận, và lần lượt được xuất ra dòng dữ liệu ở tốc độ 10-bit các khối dữ liệu mỗi lần, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện.

Bước S806: Đồng bộ dòng dữ liệu xuất ra.

Bước S808: Thực hiện giải mã 8 bit/10 bit trên dòng dữ liệu được đồng bộ.

Bước S810: Thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện.

Bước S812: Xáo trộn dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện.

Bước S814: Thực hiện mã hóa FEC trên dòng dữ liệu được xáo trộn.

Bước S816: Thực hiện chuyển đổi độ rộng bit 34 bit/10 bit trên dòng dữ liệu trên đó mã hóa FEC đã được thực hiện.

Bước S818: Gửi dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện đến PMA thứ hai ở tốc độ đường truyền, và thực hiện

chuyển đổi song song sang nối tiếp.

Bước S820: Gửi dòng dữ liệu trên đó bước chuyển đổi song song sang nối tiếp đã được thực hiện đến đường truyền vật lý ở tốc độ đường truyền thông qua PMD.

Như được thể hiện trên Fig.9, Fig.9 là lược đồ của mã hóa cụ thể của khối mã mới được thêm vào. Phần mô tả bước chi tiết của các bước từ S810 đến S818 là như sau:

Bước S900: Tiếp nhận dòng dữ liệu trên đó giải mã 8 bit/10 bit đã được thực hiện, tiếp nhận liên tục bốn mã nhị phân 8 bit, và xuất ra “D0D1D2D3”, trong đó chữ D bất kỳ đại diện khối ký tự dữ liệu 8 bit, dòng dữ liệu gồm bốn khối dữ liệu, và bốn khối dữ liệu được nhập vào tất cả là các khối ký tự dữ liệu 8 bit; thêm, theo luật mã hóa, đầu đồng bộ thứ nhất SH, chẳng hạn “01” (miễn là giá trị của đầu đồng bộ thứ nhất có thể được phân biệt với giá trị của đầu đồng bộ thứ hai, và đầu đồng bộ thứ nhất và đầu đồng bộ thứ hai được nhận diện riêng rẽ), trước khối dữ liệu thứ nhất “D0”, tức là, trước bit thứ nhất “D0”, trong đó đầu đồng bộ thứ nhất nhận diện rằng dòng dữ liệu đều là các khối ký tự dữ liệu; và xuất ra “10 D0D1D2D3”.

S902: Xáo trộn “10 D0D1D2D3” 34-bit được xuất ra, trong đó các khối dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai được xáo trộn, chẳng hạn, đầu đồng bộ thứ nhất “10” không bị xáo trộn, và chỉ các khối dữ liệu “D0D1D2D3” được xáo trộn, đầu đồng bộ thứ nhất “10” được thêm vào tiêu đề của khối dữ liệu thứ nhất trong số các khối dữ liệu được xáo trộn trong khi xuất ra, và dòng dữ liệu cuối cùng được xuất ra là “10 S0S1S2S3”.

S904. Tiếp nhận liên tục năm mươi một khối dữ liệu 34 bit được xáo trộn, và đệm tiêu đề của khối dữ liệu được xáo trộn 34-bit thứ nhất với 10 bit “0”, tức là, “0000000000”, để tạo dòng dữ liệu 218-byte.

S906. Thực hiện mã hóa Reed-Solomon (Reed-Solomon, RS)

(250-byte, 218-byte) trên dòng dữ liệu 218-byte đầu vào, và xuất ra dòng dữ liệu 250-byte. Cụ thể là, tám khối chẵn lẻ 32 bit được thêm vào vào đuôi của năm mươi một dữ liệu 34 bit. Với 10 bit được đệm trước đó, dữ liệu 2000 bit, tức là, 250 byte, được xuất ra. Mã hóa RS (250-byte, 218-byte) là loại mã hóa FEC, và sơ đồ mã hóa FEC khác cũng có thể được lựa chọn. Tuy nhiên, lựa chọn mã hóa RS (250-byte, 218-byte) là phương án thực hiện tối ưu ở đây. Ngoài ra, có thể được nhận thấy từ quá trình tạo mà dữ liệu được xuất ra 2000 bit, tức là, 250 byte, gồm: năm mươi một khối dữ liệu 34 bit, tám khối chẵn lẻ 32 bit, và mười “0” được đệm trong quá trình mã hóa, trong đó năm mươi một khối dữ liệu 34 bit là dữ liệu tải hữu ích.

S908. Xóa mười bit đệm từ 250 byte xuất ra, thêm một khối dữ liệu 34 bit vào tiêu đề của dữ liệu được xuất ra làm dấu phân cách, và thêm số ngẫu nhiên 2 bit (hoặc mã nhị phân bất kỳ) vào tiêu đề của khối bất kỳ trong tám khối chẵn lẻ 32 bit để tạo tám khối chẵn lẻ 34 bit, trong đó sáu mươi khối dữ liệu 34 bit, tức là, tổng cộng 2040 bit, cuối cùng được tạo. Có thể được nhận thấy từ quá trình tạo được mô tả rằng sáu mươi khối dữ liệu 34 bit gồm: một dấu phân cách 34-bit, năm mươi một khối dữ liệu 34 bit làm dữ liệu tải hữu ích, và tám khối chẵn lẻ 34 bit.

S910. Thực hiện chuyển đổi độ rộng bit từ 34 bit/10 bit trên sáu mươi dòng dữ liệu 34 bit, và xuất ra dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện, cụ thể là thực hiện chuyển đổi độ rộng bit trên mỗi một khối trong các khối dữ liệu 34 bit, tức là, chuyển đổi sáu mươi dòng dữ liệu 34 bit thành hai trăm linh bốn dòng dữ liệu 10-bit, và xuất ra các dòng dữ liệu.

Phương án thực hiện sáng chế đề xuất phương pháp truyền thông cho hệ thống mạng quang học. Phương pháp truyền thông có thể được áp dụng ở hệ thống GE hoặc hệ thống WDM PON, để giải quyết vấn đề mà tổng chi phí hệ thống là cao và đường truyền không thể được dò thấy do

sơ đồ mã hóa hiện tại của hệ thống mạng quang học. Việc sử dụng sơ đồ mã hóa mới mà không thay đổi tốc độ đường truyền giảm tổng chi phí hệ thống và triển khai dò đường truyền, vốn dễ triển khai và cải thiện đáng kể các loại hiệu năng hệ thống khác nhau.

Phương án thực hiện sáng chế còn đề xuất phương pháp truyền thông khác cho hệ thống mạng quang học, như được thể hiện trên Fig.10.

Bước S1002: Tiếp nhận dòng dữ liệu từ lớp PMD ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện.

Bước S1004: Thực hiện chuyển đổi độ rộng bit 10-bit/34-bit trên dòng dữ liệu được tiếp nhận.

Bước S1006: Thực hiện giải mã sửa lỗi trước trên dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện.

Bước S1008: Thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện.

Bước S1010: Thực hiện mã hóa 8 bit/10 bit trên dòng dữ liệu trên đó bước giải mã từ 32 bit đến 34 bit đã được thực hiện.

Bước S1012: Gửi dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện đến lớp PMA.

Một cách tùy chọn, trước bước S1004, phương pháp còn gồm: đồng bộ dòng dữ liệu được tiếp nhận.

Một cách tùy chọn, trước bước S1008, phương pháp còn gồm: giải xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai ở dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện.

Ngoài ra, trước bước S1008, phương pháp còn gồm các bước:

phân tích cú pháp dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện, và xuất ra năm mươi một khối dữ liệu, trong đó khối bất kỳ trong các khối dữ liệu là khối ký tự điều khiển thứ hai hoặc khối ký tự dữ liệu, khối ký tự điều khiển thứ hai bất kỳ là mã nhị phân 4 bit, và khối

ký tự dữ liệu bất kỳ là mã nhị phân 8 bit;

phân tích cú pháp khối bất kỳ trong các khối dữ liệu, và thu thập đầu đồng bộ của khối bất kỳ trong các khối dữ liệu, trong đó đầu đồng bộ gồm: đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai, đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu, đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ nhất tồn tại trong các khối dữ liệu; và

xác định xem liệu đầu đồng bộ của khối bất kỳ trong các khối dữ liệu là đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai.

Ngoài ra, nếu đầu đồng bộ là đầu đồng bộ thứ nhất, thì đầu đồng bộ thứ nhất bị xóa, và các khối dữ liệu từ đó đầu đồng bộ thứ nhất bị xóa được xuất ra.

Ngoài ra, nếu đầu đồng bộ là đầu đồng bộ thứ hai, thì các khối dữ liệu được phân tích cú pháp, và mã ánh xạ vị trí khối ký tự điều khiển 4 bit thu được;

số lượng khối ký tự điều khiển thứ hai trong số các khối dữ liệu và vị trí của khối ký tự điều khiển thứ hai trong số các khối dữ liệu thu được theo mã ánh xạ vị trí khối ký tự điều khiển;

khối ký tự điều khiển thứ hai trong số các khối dữ liệu được chuyển đổi tương ứng thành khối ký tự điều khiển thứ nhất 8 bit theo lượng khối ký tự điều khiển thứ hai và vị trí của khối ký tự điều khiển thứ hai trong số các khối dữ liệu;

đầu đồng bộ thứ hai và mã ánh xạ vị trí khối ký tự điều khiển được xóa khỏi các khối dữ liệu, trong đó mã ánh xạ vị trí khối ký tự điều khiển ở vị trí sau đầu đồng bộ thứ hai và liên kết với đầu đồng bộ thứ hai; và;

các khối dữ liệu được xử lý được xuất ra, trong đó các khối dữ liệu được xử lý gồm: khối ký tự điều khiển thứ nhất và/hoặc khối ký tự dữ

liệu, và khối dữ liệu ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit.

Ngoài ra, nếu các khối dữ liệu được tiếp nhận còn gồm ít nhất một khối ký tự dữ liệu, thì không có xử lý được thực hiện trên khối ký tự dữ liệu trong số các khối dữ liệu, và khối ký tự dữ liệu được giữ lại; và các khối dữ liệu được xử lý được xuất ra, trong đó các khối dữ liệu được xử lý gồm: ký tự điều khiển thứ nhất và khối ký tự dữ liệu.

Cụ thể là, quá trình giải mã dòng dữ liệu được tiếp nhận từ PMD được thể hiện trên Fig.11. Fig.11 là lược đồ mã hóa cụ thể của việc giải mã từ 32 bit đến 34 bit. Trên Fig.11, quá trình giải mã như sau:

Bước S1102: Tiếp nhận dòng dữ liệu từ PMD, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện.

Bước S1104: Thực hiện chuyển đổi song song sang nối tiếp trên dòng dữ liệu được tiếp nhận, tiếp nhận dòng dữ liệu 10 bit mỗi lần, và thực hiện xử lý đồng bộ trên dòng dữ liệu được tiếp nhận.

Bước S1106: Thực hiện chuyển đổi độ rộng bit từ 10 bit sang 34 bit trên dòng dữ liệu trên đó việc xử lý đồng bộ đã được thực hiện, sao cho dòng dữ liệu 34 bit được nhập vào mỗi lần.

Bước S1108: Sau khi sáu mươi khối dữ liệu 34 bit được tiếp nhận liên tục, thực hiện giải mã FEC trên sáu mươi khối dữ liệu 34 bit, và xuất ra các khối dữ liệu trên đó giải mã FEC đã được thực hiện.

Quá trình giải mã FEC cụ thể như sau:

Sáu mươi khối dữ liệu đầu vào 34 bit gồm: một dấu phân cách 34-bit, năm mươi một khối dữ liệu 34 bit (năm mươi một khối dữ liệu 34 bit là dữ liệu tải hữu ích), và tám khối chẵn lẻ 34 bit.

Khối dữ liệu thứ nhất trong số sáu mươi khối dữ liệu đầu vào 34 bit bị xóa, trong đó khối dữ liệu thứ nhất là dấu phân cách 34 bit; 10 bit “0”, tức là, “0000000000” được thêm vào trước khối dữ liệu thứ nhất; sau đó tám khối chẵn lẻ 34 bit cuối cùng được chuyển đổi thành tám khối chẵn lẻ 32

bit (hai bit được nhập vào trước được xóa khỏi mỗi một khối trong các khối chẵn lẻ 34 bit, trong đó hai bit được đệm bằng số ngẫu nhiên hoặc mã nhị phân bất kỳ); và “0000000000+năm mươi một khối dữ liệu 34 bit+tám khối chẵn lẻ 32 bit” được xuất ra. Việc giải mã RS (250-byte, 218-byte) được thực hiện trên các khối dữ liệu xuất ra, và năm mươi một khối dữ liệu 34 bit trên đó giải mã RS đã được thực hiện được xuất ra. Sau đó năm mươi một khối dữ liệu 34 bit được tách riêng, và việc xử lý được thực hiện dựa trên từng 34 bit là một khối dữ liệu. Khối bất kỳ trong các khối dữ liệu 34-bit tách riêng được phân tích cú pháp, và nó thu được sau khi phân tích cú pháp rằng đầu đồng bộ SH 2 bit ở tiêu đề của khối dữ liệu là “01”. Khối dữ liệu 32 bit, chẳng hạn, “01 SOS1S2S3” trên Fig.11, vốn thu được sau khi đầu đồng bộ 2 bit bị xóa, được giải xáo trộn, và khối dữ liệu được giải xáo trộn 32-bit, chẳng hạn, “D0D1D2D3” trên Fig.11, được xuất ra. Đầu đồng bộ được thêm vào tiêu đề của khối dữ liệu thứ nhất D0 của khối dữ liệu được giải xáo trộn “D0D1D2D3” 32-bit, khối dữ liệu “01 D0D1D2D3” thu được sau khi đầu đồng bộ được thêm vào được xuất ra, giải mã từ 32 bit đến 34 bit được thực hiện trên dữ liệu được xuất ra, và dữ liệu “D0D1D2D3” thu được sau khi bước giải mã từ 32 bit đến 34 bit được xuất ra. Cuối cùng, mã hóa 8 bit/10 bit được thực hiện trên dữ liệu “D0D1D2D3” thu được sau bước giải mã từ 32 bit đến 34 bit, và khối dữ liệu thu được sau mã hóa 8 bit/10 bit được xuất ra.

Luật giải mã là quá trình đảo ngược mã hóa từ 32 bit đến 34 bit, và chi tiết như sau:

Ví dụ 1: Fig.4 được sử dụng làm ví dụ. Dòng dữ liệu 34 bit được nhập vào được phân tích cú pháp, và hai bit được nhập vào trước trong dòng dữ liệu nhập vào được xác định, trong đó hai bit là đầu đồng bộ. Đầu đồng bộ gồm: đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai; đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, và định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu được nhập vào tất cả đều là các

khối ký tự dữ liệu; và đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ hai tồn tại trong các khối dữ liệu được nhập vào.

Nếu thu được sau khi phân tích cú pháp rằng đầu đồng bộ là “01”, thì xác định được rằng đầu đồng bộ là định danh thứ nhất, tức là, các khối dữ liệu được nhập vào tất cả đều là các khối ký tự dữ liệu (xác định trước được rằng định danh thứ nhất “01” nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu, và “10” nhận diện rằng ít nhất một khối ký tự điều khiển thứ hai tồn tại trong các khối dữ liệu).

Ngoài ra, đầu đồng bộ thứ nhất “01” bị xóa, bốn khối ký tự dữ liệu còn lại được xuất ra trực tiếp mà không xử lý, và các khối dữ liệu cuối cùng được xuất ra là “D0D1D2D3” 32 bit.

Ví dụ 2: Fig.6 được sử dụng làm ví dụ. Dòng dữ liệu 34 bit được nhập vào được phân tích cú pháp, và giá trị của đầu đồng bộ của dòng dữ liệu thu được. Nếu giá trị của SH là “10”, thì biết được rằng, theo các giá trị định trước của định danh thứ nhất và định danh thứ hai, rằng ít nhất một khối ký tự điều khiển thứ hai tồn tại trong dòng dữ liệu nhập vào, và đầu đồng bộ là đầu đồng bộ thứ hai.

Ngoài ra, bốn bit sau đầu đồng bộ thứ hai “10” được phân tích cú pháp. Nếu bốn bit sau đầu đồng bộ thứ hai là mã ánh xạ vị trí khối ký tự điều khiển, chẳng hạn, “1000”, có thể được hiểu, theo “1000”, rằng khối dữ liệu thứ nhất trong số các khối dữ liệu sau mã ánh xạ vị trí khối ký tự điều khiển là khối ký tự điều khiển thứ hai, và ba khối dữ liệu còn lại là các khối ký tự dữ liệu.

Ngoài ra, khối dữ liệu còn được phân tích cú pháp theo phân tích cú pháp. Nếu thu được sau khi phân tích cú pháp rằng dòng dữ liệu nhập vào là “10 1000 K0D1D2D3”, thì “K0” còn được phân tích cú pháp. Bảng chuyển đổi khối ký tự điều khiển được thể hiện trên Fig.5 được tìm kiếm, khối ký tự điều khiển thứ hai 4 bit được nhập vào, khối ký tự điều khiển

thứ nhất 8 bit “C0” được xuất ra sau khi bảng này được tìm kiếm, và ba khối ký tự dữ liệu còn lại không được chuyển đổi. Trong trường hợp này, bốn khối dữ liệu 8 bit “C0D1D2D3” thu được sau khi chuyển đổi được xuất ra, và tổng cộng là 32 bit.

Ví dụ 3: Fig.7 được sử dụng làm ví dụ. Dòng dữ liệu 34 bit được nhập vào được phân tích cú pháp, giá trị của đầu đồng bộ của dòng dữ liệu thu được, và giả sử rằng giá trị của SH là “10”.

Ngoài ra, bốn bit sau khi đầu đồng bộ thứ hai “10” được phân tích cú pháp. Nếu bốn bit sau đầu đồng bộ thứ hai là mã ánh xạ vị trí khối ký tự điều khiển, chẳng hạn, “1010”, có thể được hiểu, theo “1010”, rằng khối dữ liệu thứ nhất trong số các khối dữ liệu sau mã ánh xạ vị trí khối ký tự điều khiển là khối ký tự điều khiển thứ hai, khối dữ liệu thứ ba cũng là khối ký tự điều khiển thứ hai, khối dữ liệu thứ hai là khối ký tự dữ liệu, và khối dữ liệu thứ tư là khối ký tự dữ liệu.

Ngoài ra, được biết rằng, theo mã ánh xạ vị trí khối ký tự điều khiển, rằng ít nhất hai khối ký tự điều khiển tồn tại trong dòng dữ liệu 34 bit được nhập vào. Trong trường hợp này, mã nhị phân được đệm ngẫu nhiên trong bốn bit cuối cùng trong dòng dữ liệu nhập vào được biết theo quy luật mã hóa từ 32 bit đến 34 bit (đầu đồng bộ thứ hai 2 bit + mã ánh xạ vị trí khối ký tự điều khiển 4 bit + khối ký tự điều khiển thứ hai 4 bit + khối ký tự dữ liệu 8 bit + khối ký tự điều khiển thứ hai 4 bit + khối ký tự dữ liệu 8 bit = 30 bit, và bốn bit còn lại là mã nhị phân được đệm ngẫu nhiên). Ở đây, dựa trên phân tích này, mã nhị phân được đệm ngẫu nhiên ở bốn bit cuối cùng của các khối dữ liệu có thể được xóa trực tiếp, hoặc mã nhị phân được đệm ngẫu nhiên cuối cùng không thể được xử lý thêm. Đây là do sau khi khối ký tự điều khiển thứ hai 4 bit được chuyển đổi thành khối ký tự điều khiển thứ nhất 8 bit bằng cách tìm kiếm bảng, mã nhị phân được đệm ngẫu nhiên được che tự động, và ký tự điều khiển thứ nhất thu được sau khi chuyển đổi và ký tự dữ liệu được xuất ra trực tiếp.

Ngoài ra, khối dữ liệu thứ nhất và khối dữ liệu thứ ba còn được phân tích cú pháp. Nếu thu được sau khi phân tích cú pháp rằng dòng dữ liệu nhập vào là “10 1010 K0D1K2D3”, thì “K0” và “K2” còn được phân tích cú pháp. Bảng chuyển đổi khối ký tự điều khiển được thể hiện trên Fig.5 được tìm kiếm, khối ký tự điều khiển thứ hai 4 bit được nhập vào, và khối ký tự điều khiển thứ nhất 8 bit “C0” và “C2” được xuất ra riêng rẽ bằng cách tìm kiếm bảng. Khối dữ liệu thứ hai và khối dữ liệu thứ tư là các khối ký tự dữ liệu và không được chuyển đổi; bốn khối dữ liệu 8 bit “C0D1D2D3” thu được sau khi chuyển đổi cuối cùng được xuất ra, và tổng cộng là 32 bit. Ngoài ra, số lượng khối ký tự điều khiển thứ hai trong số các khối dữ liệu được nhập vào ít nhất là hai, và do vậy vài bit cuối cùng trong các khối dữ liệu được nhập vào là mã nhị phân đệm ngẫu nhiên, vốn nhằm đảm bảo rằng các khối dữ liệu được nhập vào có 34 bit. Trong quá trình giải mã từ 32 bit đến 34 bit, mã nhị phân được đệm ngẫu nhiên có thể bị bỏ qua do mã nhị phân được đệm ngẫu nhiên được che sau khối ký tự điều khiển thứ hai 4 bit được chuyển đổi thành khối ký tự điều khiển thứ nhất 8 bit bằng cách tìm kiếm bảng chuyển đổi khối ký tự điều khiển.

Phương án thực hiện sáng chế đề xuất phương pháp truyền thông khác cho hệ thống mạng quang học. Phương pháp truyền thông có thể được áp dụng ở hệ thống GE hoặc hệ thống WDM PON, để giải quyết vấn đề mà tổng chi phí hệ thống là cao và đường truyền không thể được dò thấy do sơ đồ giải mã hiện tại của hệ thống mạng quang học. Việc sử dụng sơ đồ giải mã mới mà không thay đổi tốc độ đường truyền giảm tổng chi phí hệ thống và triển khai dò đường truyền, vốn dễ triển khai và cải thiện đáng kể các loại hiệu năng khác nhau của hệ thống.

Phương án thực hiện sáng chế còn đề xuất thiết bị mạng quang học, và như được thể hiện trên Fig.12, thiết bị mạng quang học gồm:

khối giao diện thứ nhất 1200, được cấu hình để tiếp nhận dòng dữ liệu

từ lớp gắn môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện, và thực hiện chuyển đổi nối tiếp thành song song trên dòng dữ liệu được tiếp nhận;

bộ giải mã 8 bit/10 bit 1204, được cấu hình để thực hiện giải mã 8 bit/10 bit trên dòng dữ liệu được tiếp nhận, và xuất ra dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện;

bộ mã hóa 32 bit thành 34 bit 1206, được cấu hình để thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu được xuất ra trên đó bước giải mã 8 bit/10 bit đã được thực hiện, và xuất ra dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện;

bộ mã hóa sửa lỗi trước 1208, được cấu hình để thực hiện mã hóa sửa lỗi trước trên dòng dữ liệu được xuất ra trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện, và xuất ra dòng dữ liệu trên đó mã hóa sửa lỗi trước đã được thực hiện;

bộ chuyển đổi độ rộng bit thứ nhất 1210, được cấu hình để thực hiện chuyển đổi độ rộng bit 34 bit/10 bit trên dòng dữ liệu được xuất ra trên đó mã hóa sửa lỗi trước đã được thực hiện; và

khối giao diện thứ hai 1212, được cấu hình để gửi dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện đến lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền.

Thiết bị mạng quang học còn gồm:

khối đồng bộ thứ nhất 1202, được cấu hình để đồng bộ dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện.

Thiết bị mạng quang học còn gồm:

bộ xáo trộn, được cấu hình để xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai trong dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện. Bộ xáo trộn không được đánh dấu trên Fig.12. Bộ xáo trộn có thể là thiết bị độc lập được đặt giữa bộ mã

hóa 32 bit/34 bit 1206 và bộ mã hóa sửa lỗi trước 1208; hoặc bộ xáo trộn có thể được tích hợp trong bộ mã hóa 32 bit/34 bit 1206.

Ngoài ra, như được thể hiện trên Fig.13, thành phần trong của bộ mã hóa 32 bit thành 34 bit (tức là, bộ mã hóa 32 bit/34 bit) 1206 trong thiết bị mạng quang học cụ thể gồm:

khối tiếp nhận thứ nhất 1300, được cấu hình để tiếp nhận tuần tự và liên tục dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện, để tạo bốn khối dữ liệu, trong đó khối bất kỳ trong các khối dữ liệu là khối dữ liệu ký tự điều khiển thứ nhất hoặc khối ký tự dữ liệu, và khối dữ liệu ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit; và

khối xác định thứ nhất 1302, được cấu hình để xác định xem liệu khối ký tự điều khiển thứ nhất có tồn tại trong bốn khối dữ liệu hay không.

Bộ mã hóa 32 bit thành 34 bit còn gồm:

khối xử lý thứ nhất 1304, được cấu hình để: nếu khối ký tự điều khiển thứ nhất không tồn tại trong bốn khối dữ liệu, thì thêm đầu đồng bộ thứ nhất vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, và xuất ra các khối dữ liệu mà đầu đồng bộ thứ nhất được thêm vào, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, và định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu.

Bộ mã hóa 32 bit thành 34 bit 1206 còn gồm khối xử lý thứ hai 1306, trong đó khối xử lý thứ hai 1306 cụ thể gồm:

khối tạo đầu đồng bộ 1308, được cấu hình để; nếu ít nhất một khối ký tự điều khiển thứ nhất tồn tại trong bốn khối dữ liệu, thì thêm đầu đồng bộ thứ hai vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai

được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ nhất tồn tại trong các khối dữ liệu;

khối tạo mã ánh xạ 1310, được cấu hình để tạo, theo số lượng khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu và vị trí của khối điều khiển thứ nhất trong số các khối dữ liệu, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, và thiết lập mã ánh xạ vị trí khối ký tự điều khiển, ở vị trí sau đầu đồng bộ thứ hai và liền kề với đầu đồng bộ thứ hai;

khối chuyển đổi khối ký tự điều khiển thứ nhất 1312, được cấu hình để chuyển đổi tương ứng khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu thành khối ký tự điều khiển thứ hai 4 bit; và

khối xuất ra thứ nhất 1314, được cấu hình để xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, và khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, hoặc các khối dữ liệu được xử lý gồm đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển, khối ký tự điều khiển thứ hai thu được sau khi chuyển đổi, và khối ký tự dữ liệu.

Nguyên lý làm việc cụ thể của bộ mã hóa 32 bit thành 34 bit được mô tả như sau:

Để chi tiết, tham khảo Fig.3. Bốn khối dữ liệu C0D1D2D3 được nhập vào, trong đó chữ C đại diện khối ký tự điều khiển thứ nhất 8 bit, và D đại diện khối ký tự dữ liệu 8 bit. Trong trường hợp này, một khối ký tự điều khiển thứ nhất C0 và ba khối ký tự dữ liệu D1, D2, và D3 tồn tại trong số bốn khối dữ liệu được nhập vào. Quá trình cụ thể mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu gồm ít nhất một ký tự điều khiển ở dòng dữ liệu nhập vào như sau:

Trước hết, đầu đồng bộ thứ hai “10” được thêm vào tiêu đề của khối dữ liệu thứ nhất (tiêu đề của khối dữ liệu thứ nhất cụ thể là bit nhị phân thứ nhất được nhập vào liên tục) trong số bốn khối dữ liệu được nhập vào, tức là, “10” được thêm vào trước C0.

Thứ hai, một khối ký tự điều khiển thứ nhất “C0” tồn tại trong bốn khối dữ liệu, và C0 ở vị trí của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, tức là, C0 là khối dữ liệu được nhập vào trước. Trong trường hợp này, mã ánh xạ vị trí khối ký tự điều khiển 4 bit “1000” được tạo theo C0, trong đó “1” trong “1000” đại diện rằng ký tự điều khiển thứ nhất là khối dữ liệu thứ nhất trong số bốn khối dữ liệu, và ba khối dữ liệu còn lại là các khối ký tự dữ liệu. Ngoài ra, “1000” được thiết lập ở vị trí sau đầu đồng bộ thứ hai “10” và trước khối dữ liệu thứ nhất.

Sau đó, khối ký tự điều khiển thứ nhất 8 bit “C0” trong số các khối dữ liệu được chuyển đổi thành khối ký tự điều khiển thứ hai 4 bit K0, trong đó K0 đại diện khối ký tự điều khiển thứ hai thứ nhất, và mỗi một ký tự K đại diện mã nhị phân 4 bit. Quá trình chuyển đổi cụ thể như sau:

Bảng chuyển đổi khối ký tự điều khiển được thể hiện trên Fig.5 được tìm kiếm theo khối ký tự điều khiển thứ nhất được nhập vào “C0”, và ký tự điều khiển thứ hai 4 bit tương ứng được xuất ra ở vị trí của khối dữ liệu tương ứng. Chẳng hạn, “C0” là “000 11100”, và khối ký tự điều khiển thứ hai 4 bit “0000” thu được sau khi chuyển đổi được xuất ra tương ứng bằng cách tìm kiếm bảng chuyển đổi khối ký tự điều khiển được thể hiện trên Fig.5. Trên Fig.3, ký tự điều khiển thứ hai thu được sau khi chuyển đổi được biểu thị bởi K0.

Ngoài ra, sự tương ứng giữa khối ký tự điều khiển thứ nhất và khối ký tự điều khiển thứ hai được thể hiện trên Fig.5 có thể thay đổi và không bị giới hạn ở sự tương ứng được thể hiện trên bảng, miễn là khối ký tự điều khiển thứ hai 4 bit thu được sau khi chuyển đổi có thể nhận diện duy nhất khối ký tự điều khiển thứ nhất 8 bit. Đây là do hiện tại có mười hai loại khối ký tự điều khiển thứ nhất, và mã nhị phân 4 bit có thể đại diện mười sáu loại ký tự điều khiển.

Cuối cùng, các khối ký tự dữ liệu trong số bốn khối dữ liệu không được xử lý và được ánh xạ trực tiếp vào các vị trí tương ứng của các khối

dữ liệu cần được xuất ra. Các khối dữ liệu 34 bit cuối cùng được xuất ra là “10 1000 K0D1D2D3”, trong đó “10” nhận diện rằng khối ký tự điều khiển thứ nhất tồn tại trong bốn khối dữ liệu được nhập vào, “1000” nhận diện rằng một khối ký tự điều khiển thứ nhất tồn tại và là khối dữ liệu thứ nhất trong số bốn khối dữ liệu, “K0” là khối ký tự điều khiển thứ hai thu được sau khối ký tự điều khiển thứ nhất 8 bit “C0” được chuyển đổi, và “D1D2D3” là ba khối ký tự.

Quá trình chuyển đổi có thể còn được mô tả bằng cách sử dụng Fig.6. Như được thể hiện trên Fig.6, các khối dữ liệu được nhập vào là “C0D1D2D3”. Sau mã hóa từ 32 bit đến 34 bit, đầu đồng bộ thứ hai SH “10” và mã ánh xạ vị trí khối ký tự điều khiển “1000” được thêm vào trước C0, ký tự điều khiển thứ nhất “C0” được chuyển đổi thành ký tự điều khiển thứ hai “K0”, và dòng dữ liệu đầu ra được mã hóa là “10 1000 K0D1D2D3”.

Lưu ý rằng nếu chỉ một khối ký tự điều khiển tồn tại trong các khối dữ liệu được nhập vào, và các khối còn lại tất cả đều là các khối ký tự dữ liệu, thì việc xử lý được thực hiện theo cách thức được thể hiện trên Fig.6. Nếu cả khối ký tự điều khiển lẫn khối ký tự dữ liệu tồn tại trong số các khối dữ liệu được nhập vào, và số lượng khối ký tự điều khiển ít nhất là 2, sau mã hóa từ 32 bit đến 34 bit, thì có thể thu được bằng cách tính toán rằng số lượng bit của các khối dữ liệu xuất ra nhỏ hơn 34. Do vậy, cần được xác định thêm liệu số lượng bit có trong dòng dữ liệu được mã hóa có bằng 34 hay không; và nếu số lượng bit có trong các khối dữ liệu đầu ra được xử lý hoặc dòng dữ liệu nhỏ hơn 34, thì số ngẫu nhiên được thêm vào đuôi của khối dữ liệu cuối cùng trong số các khối dữ liệu xuất ra hoặc trong dòng dữ liệu xuất ra cho đến khi lượng bit của các khối dữ liệu đầu ra được xử lý bằng 34, trong đó số ngẫu nhiên là mã nhị phân được tạo ngẫu nhiên hoặc mã nhị phân bất kỳ.

Theo việc đưa vào chức năng của mỗi một môđun trong thiết bị mạng

quang học, thiết bị mạng quang học được đề xuất theo phương án thực hiện sáng chế giải quyết vấn đề mà tổng chi phí hệ thống là cao và đường truyền không thể được dò thấy do sơ đồ mã hóa hiện tại của hệ thống mạng quang học. Việc sử dụng sơ đồ mã hóa mới mà không thay đổi tốc độ đường truyền giảm tổng chi phí hệ thống và triển khai dò đường truyền, vốn dễ triển khai và cải thiện đáng kể các loại hiệu năng khác nhau của hệ thống.

Phương án thực hiện sáng chế còn đề xuất thiết bị mạng quang học khác. Để chi tiết, tham khảo Fig.14.

Trên Fig.14, thiết bị mạng quang học khác có thể gồm:

khối giao diện thứ ba 1400, được cấu hình để tiếp nhận dòng dữ liệu từ lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện;

bộ chuyển đổi độ rộng bit thứ hai 1404, được cấu hình để thực hiện chuyển đổi độ rộng bit 10 bit/34 bit trên dòng dữ liệu được tiếp nhận;

bộ giải mã sửa lỗi trước 1406, được cấu hình để thực hiện giải mã sửa lỗi trước trên dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện;

bộ giải mã từ 32 bit đến 34 bit 1408, được cấu hình để thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện;

bộ tạo mã 8 bit/10 bit 1410, được cấu hình để thực hiện mã hóa 8 bit/10 bit trên dòng dữ liệu trên đó bước giải mã từ 32 bit đến 34 bit đã được thực hiện; và

khối giao diện thứ tư 1412, được cấu hình để gửi dòng dữ liệu trên đó bước mã hóa 8 bit/10 bit đã được thực hiện đến lớp gắn môi trường vật lý.

Ngoài ra, thiết bị mạng quang học còn gồm:

khối đồng bộ thứ hai 1402, được cấu hình để đồng bộ dòng dữ liệu được tiếp nhận.

Ngoài ra, thiết bị mạng quang học còn gồm:

bộ giải xáo trộn, được cấu hình để giải xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai trong dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện. Bộ giải xáo trộn không được đánh dấu trên Fig.14. Bộ xáo trộn có thể là thiết bị độc lập được đặt giữa bộ giải mã 32 bit/34 bit 1408 và bộ giải mã sửa lỗi trước 1406; hoặc bộ xáo trộn có thể được tích hợp trong bộ giải mã 32 bit/34 bit 1408.

Cụ thể là, như được thể hiện trên Fig.15, cấu trúc thành phần bên trong của bộ giải mã 32 bit/34 bit 1408 (tức là, bộ giải mã từ 32 bit đến 34 bit 1408) gồm:

khối phân tích cú pháp thứ nhất 1500, được cấu hình để phân tích cú pháp dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện, và xuất ra năm mươi một khối dữ liệu, trong đó khối bất kỳ trong các khối dữ liệu là khối ký tự điều khiển thứ hai hoặc khối ký tự dữ liệu, khối ký tự điều khiển thứ hai bất kỳ là mã nhị phân 4 bit, và khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit;

khối phân tích cú pháp thứ hai 1502, được cấu hình để phân tích cú pháp khối bất kỳ trong các khối dữ liệu, và thu thập đầu đồng bộ của khối bất kỳ trong các khối dữ liệu, trong đó đầu đồng bộ gồm: đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai, đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu, đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ hai tồn tại trong các khối dữ liệu; và

khối xác định thứ hai 1504, được cấu hình để xác định xem liệu đầu đồng bộ của khối bất kỳ trong các khối dữ liệu là đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai.

Ngoài ra, bộ giải mã từ 32 bit đến 34 bit còn gồm:

khối xử lý thứ ba 1506, được cấu hình để: nếu đầu đồng bộ là đầu đồng bộ thứ nhất, thì xóa đầu đồng bộ thứ nhất, và xuất ra các khối dữ liệu từ đó đầu đồng bộ thứ nhất bị xóa.

Ngoài ra, bộ giải mã từ 32 bit đến 34 bit còn gồm khối xử lý thứ tư 1508, trong đó khối xử lý thứ tư 1508 cụ thể gồm:

khối phân tích cú pháp mã ánh xạ 1510, được cấu hình để: nếu đầu đồng bộ là đầu đồng bộ thứ hai, thì phân tích cú pháp các khối dữ liệu, và thu thập mã ánh xạ vị trí khối ký tự điều khiển 4 bit;

khối chuyển đổi ký tự điều khiển thứ hai 1512, được cấu hình để thu thập số lượng khối ký tự điều khiển thứ hai trong số các khối dữ liệu và vị trí của khối ký tự điều khiển thứ hai trong số các khối dữ liệu theo mã ánh xạ vị trí khối ký tự điều khiển; và chuyển đổi tương ứng khối ký tự điều khiển thứ hai trong số các khối dữ liệu thành khối ký tự điều khiển thứ nhất 8 bit theo số lượng khối ký tự điều khiển thứ hai và vị trí của khối ký tự điều khiển thứ hai trong số các khối dữ liệu;

khối xóa đầu đồng bộ 1514, được cấu hình để xóa đầu đồng bộ thứ hai và mã ánh xạ vị trí khối ký tự điều khiển từ các khối dữ liệu, trong đó mã ánh xạ vị trí khối ký tự điều khiển ở vị trí sau đầu đồng bộ thứ hai và liền kề với đầu đồng bộ thứ hai; và

khối xuất ra thứ hai 1516, được cấu hình để xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm: khối ký tự điều khiển thứ nhất và/hoặc khối ký tự dữ liệu, và khối dữ liệu ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit.

Ngoài ra, khối xuất ra thứ hai 1516 được cấu hình cụ thể để: nếu các khối dữ liệu còn gồm ít nhất một khối ký tự dữ liệu, thì không xử lý trên khối ký tự dữ liệu trong số các khối dữ liệu, và giữ lại khối ký tự dữ liệu; và xuất ra các khối dữ liệu được xử lý, trong đó các khối dữ liệu được xử lý gồm: ký tự điều khiển thứ nhất và khối ký tự dữ liệu.

Quá trình đảo ngược của quá trình mã hóa từ 32 bit đến 34 bit, tức là, quá trình giải mã từ 32 bit đến 34 bit, cụ thể là như sau:

Ví dụ 1: Fig.4 được sử dụng làm ví dụ. Dòng dữ liệu 34 bit được nhập vào được phân tích cú pháp, và hai bit được nhập vào trước trong dòng dữ liệu nhập vào được xác định, trong đó hai bit là đầu đồng bộ. Đầu đồng bộ gồm: đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai; đầu đồng bộ thứ nhất gồm định danh thứ nhất 2 bit, và định danh thứ nhất được sử dụng để nhận diện rằng các khối dữ liệu được nhập vào tất cả đều là các khối ký tự dữ liệu; và đầu đồng bộ thứ hai gồm định danh thứ hai 2 bit, và định danh thứ hai được sử dụng để nhận diện rằng ít nhất một khối ký tự điều khiển thứ hai tồn tại trong các khối dữ liệu được nhập vào.

Nếu thu được sau khi phân tích cú pháp rằng đầu đồng bộ là “01”, thì xác định được rằng đầu đồng bộ là định danh thứ nhất, tức là, các khối dữ liệu được nhập vào tất cả đều là các khối ký tự dữ liệu (xác định trước được rằng định danh thứ nhất “01” nhận diện rằng các khối dữ liệu tất cả đều là các khối ký tự dữ liệu, và “10” nhận diện rằng ít nhất một khối ký tự điều khiển thứ hai tồn tại trong các khối dữ liệu).

Ngoài ra, đầu đồng bộ thứ nhất “01” bị xóa, bốn khối ký tự dữ liệu còn lại được xuất ra trực tiếp mà không xử lý, và các khối dữ liệu cuối cùng được xuất ra là “D0D1D2D3” 32-bit.

Ví dụ 2: Fig.6 được sử dụng làm ví dụ. Dòng dữ liệu 34 bit được nhập vào được phân tích cú pháp, và giá trị của đầu đồng bộ của dòng dữ liệu thu được. Nếu giá trị của SH là “10”, được biết rằng, theo các giá trị định trước của định danh thứ nhất và định danh thứ hai, rằng ít nhất một khối ký tự điều khiển thứ hai tồn tại trong dòng dữ liệu nhập vào, và đầu đồng bộ là đầu đồng bộ thứ hai.

Ngoài ra, bốn bit sau đầu đồng bộ thứ hai “10” được phân tích cú pháp. Nếu bốn bit sau đầu đồng bộ thứ hai là mã ánh xạ vị trí khối ký tự điều khiển, chẳng hạn, “1000”, có thể được hiểu, theo “1000”, rằng khối dữ

liệu thứ nhất trong số các khối dữ liệu sau mã ánh xạ vị trí khối ký tự điều khiển là khối ký tự điều khiển thứ hai, và ba khối dữ liệu còn lại là các khối ký tự dữ liệu.

Ngoài ra, khối dữ liệu còn được phân tích cú pháp theo bước phân tích cú pháp. Nếu thu được sau khi phân tích cú pháp rằng dòng dữ liệu nhập vào là “10 1000 K0D1D2D3”, thì “K0” còn được phân tích cú pháp. Bảng chuyển đổi khối ký tự điều khiển được thể hiện trên Fig.5 được tìm kiếm, khối ký tự điều khiển thứ hai 4 bit được nhập vào, khối ký tự điều khiển thứ nhất 8 bit “C0” được xuất ra sau khi bảng được tìm kiếm, và ba khối ký tự dữ liệu còn lại không được chuyển đổi. Trong trường hợp này, bốn khối dữ liệu 8 bit “C0D1D2D3” thu được sau khi chuyển đổi được xuất ra, và tổng cộng là 32 bit.

Ví dụ 3: Fig.7 được sử dụng làm ví dụ. Dòng dữ liệu 34 bit được nhập vào được phân tích cú pháp, giá trị của đầu đồng bộ của dòng dữ liệu thu được, và giả sử rằng giá trị của SH là “10”.

Ngoài ra, bốn bit sau đầu đồng bộ thứ hai “10” được phân tích cú pháp. Nếu bốn bit sau đầu đồng bộ thứ hai là mã ánh xạ vị trí khối ký tự điều khiển, chẳng hạn, “1010”, có thể được hiểu, theo “1010”, rằng khối dữ liệu thứ nhất trong số các khối dữ liệu sau mã ánh xạ vị trí khối ký tự điều khiển là khối ký tự điều khiển thứ hai, khối dữ liệu thứ ba cũng là khối ký tự điều khiển thứ hai, khối dữ liệu thứ hai là khối ký tự dữ liệu, và khối dữ liệu thứ tư là khối ký tự dữ liệu.

Ngoài ra, được biết rằng, theo mã ánh xạ vị trí khối ký tự điều khiển, that ít nhất hai khối ký tự điều khiển tồn tại trong dòng dữ liệu 34 bit được nhập vào. Trong trường hợp này, mã nhị phân được đệm ngẫu nhiên trong bốn bit cuối cùng trong dòng dữ liệu nhập vào được biết theo quy luật mã hóa từ 32 bit đến 34 bit (đầu đồng bộ thứ hai 2-bit + mã ánh xạ vị trí khối ký tự điều khiển 4 bit + khối ký tự điều khiển thứ hai 4 bit + khối ký tự dữ liệu 8 bit + khối ký tự điều khiển thứ hai 4 bit + khối ký tự dữ liệu 8

bit=30 bit, và bốn bit còn lại là mã nhị phân được đệm ngẫu nhiên). Ở đây, dựa trên phân tích này, mã nhị phân được đệm ngẫu nhiên trong bốn bit cuối cùng của các khối dữ liệu có thể được xóa trực tiếp, hoặc mã nhị phân được đệm ngẫu nhiên cuối cùng không thể được xử lý thêm. Đây là do sau khi khối ký tự điều khiển thứ hai 4 bit được chuyển đổi thành khối ký tự điều khiển thứ nhất 8 bit bằng cách tìm kiếm bảng, mã nhị phân được đệm ngẫu nhiên được che tự động, và ký tự điều khiển thứ nhất thu được sau khi chuyển đổi và ký tự dữ liệu được xuất ra trực tiếp.

Ngoài ra, khối dữ liệu thứ nhất và khối dữ liệu thứ ba còn được phân tích cú pháp. Nếu thu được sau khi phân tích cú pháp rằng dòng dữ liệu nhập vào là “10 1010 K0D1K2D3”, thì “K0” và “K2” còn được phân tích cú pháp. Bảng chuyển đổi khối ký tự điều khiển được thể hiện trên Fig.5 được tìm kiếm, khối ký tự điều khiển thứ hai 4 bit được nhập vào, và khối ký tự điều khiển thứ nhất 8 bit “C0” và “C2” được xuất ra riêng rẽ bằng cách tìm kiếm bảng. Khối dữ liệu thứ hai và khối dữ liệu thứ tư là các khối ký tự dữ liệu và không được chuyển đổi; bốn khối dữ liệu 8 bit “C0D1D2D3” thu được sau khi chuyển đổi cuối cùng được xuất ra, và tổng cộng là 32 bit. Ngoài ra, số lượng khối ký tự điều khiển thứ hai trong số các khối dữ liệu được nhập vào ít nhất là hai, và do vậy vài bit cuối cùng trong các khối dữ liệu được nhập vào là mã nhị phân đệm ngẫu nhiên, vốn nhằm đảm bảo rằng các khối dữ liệu được nhập vào có 34 bit. Trong quá trình giải mã từ 32 bit đến 34 bit, mã nhị phân được đệm ngẫu nhiên có thể bị bỏ qua; khối ký tự điều khiển thứ hai 4 bit được chuyển đổi thành khối ký tự điều khiển thứ nhất 8 bit bằng cách tìm kiếm bảng chuyển đổi khối ký tự điều khiển, và mã nhị phân được đệm ngẫu nhiên không tồn tại.

Theo việc đưa vào chức năng của mỗi một môđun trong thiết bị mạng quang học, thiết bị mạng quang học được đề xuất theo phương án thực hiện sáng chế giải quyết vấn đề mà tổng chi phí hệ thống là cao và đường

truyền không thể được dò thấy do sơ đồ giải mã hiện tại của hệ thống mạng quang học. Việc sử dụng sơ đồ mã hóa mới mà không thay đổi tốc độ đường truyền giảm tổng chi phí hệ thống và triển khai dò đường truyền, vốn dễ triển khai và cải thiện đáng kể các loại hiệu năng hệ thống khác nhau.

Phương án thực hiện sáng chế còn đề xuất hệ thống truyền thông, trong đó hệ thống truyền thông gồm ít nhất hai thiết bị mạng quang học. Cụ thể là, thiết bị mạng quang học thứ nhất được thể hiện trên Fig.12, và thiết bị mạng quang học thứ hai được thể hiện trên Fig.14.

Cụ thể là, thiết bị mạng quang học thứ nhất gồm:

khối giao diện thứ nhất 1200, được cấu hình để tiếp nhận dòng dữ liệu từ lớp gắn môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện, và thực hiện chuyển đổi nối tiếp thành song song trên dòng dữ liệu được tiếp nhận;

bộ giải mã 8 bit/10 bit 1204, được cấu hình để thực hiện giải mã 8 bit/10 bit trên dòng dữ liệu được tiếp nhận, và xuất ra dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện;

bộ mã hóa 32 bit thành 34 bit 1206, được cấu hình để thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu được xuất ra trên đó bước giải mã 8 bit/10 bit đã được thực hiện, và xuất ra dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện;

bộ mã hóa sửa lỗi trước 1208, được cấu hình để thực hiện mã hóa sửa lỗi trước trên dòng dữ liệu được xuất ra trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện, và xuất ra dòng dữ liệu trên đó mã hóa sửa lỗi trước đã được thực hiện;

bộ chuyển đổi độ rộng bit thứ nhất 1210, được cấu hình để thực hiện chuyển đổi độ rộng bit 34 bit/10 bit trên dòng dữ liệu được xuất ra trên đó mã hóa sửa lỗi trước đã được thực hiện; và

khối giao diện thứ hai 1212, được cấu hình để gửi dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện đến lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền.

Thiết bị mạng quang học thứ nhất còn gồm:

khối đồng bộ thứ nhất 1202, được cấu hình để đồng bộ dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện.

Thiết bị mạng quang học thứ nhất còn gồm:

bộ xáo trộn, được cấu hình để xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai trong dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện. Bộ xáo trộn không được đánh dấu trên Fig.12. Bộ xáo trộn có thể là thiết bị độc lập được đặt giữa bộ mã hóa 32 bit/34 bit 1206 và bộ mã hóa sửa lỗi trước 1208; hoặc bộ xáo trộn có thể được tích hợp trong bộ mã hóa 32 bit/34 bit 1206.

Thiết bị mạng quang học thứ hai còn gồm:

khối giao diện thứ ba 1400, được cấu hình để tiếp nhận dòng dữ liệu từ lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện;

bộ chuyển đổi độ rộng bit thứ hai 1404, được cấu hình để thực hiện chuyển đổi độ rộng bit 10 bit/34 bit trên dòng dữ liệu được tiếp nhận;

bộ giải mã sửa lỗi trước 1406, được cấu hình để thực hiện giải mã sửa lỗi trước trên dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện;

bộ giải mã từ 32 bit đến 34 bit 1408, được cấu hình để thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện;

bộ tạo mã 8 bit/10 bit 1410, được cấu hình để thực hiện mã hóa 8 bit/10 bit trên dòng dữ liệu trên đó bước giải mã từ 32 bit đến 34 bit đã được thực hiện; và

khối giao diện thứ tư 1412, được cấu hình để gửi dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện đến lớp gắn môi trường vật lý.

Ngoài ra, thiết bị mạng quang học thứ hai còn gồm:

khối đồng bộ thứ hai 1402, được cấu hình để đồng bộ dòng dữ liệu được tiếp nhận.

Ngoài ra, thiết bị mạng quang học thứ hai còn gồm:

bộ giải xáo trộn, được cấu hình để giải xáo trộn dòng dữ liệu ngoại trừ đầu đồng bộ thứ nhất hoặc đầu đồng bộ thứ hai trong dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện. Bộ giải xáo trộn không được đánh dấu trên Fig.14. Bộ xáo trộn có thể là thiết bị độc lập được đặt giữa bộ giải mã 32 bit/34 bit 1408 và bộ giải mã sửa lỗi trước 1406; hoặc bộ xáo trộn có thể được tích hợp trong bộ giải mã 32 bit/34 bit 1408.

Đối với các cấu trúc thành phần bên trong cụ thể của bộ mã hóa 32 bit thành 34 bit và bộ giải mã từ 32 bit đến 34 bit, tham khảo Fig.13 và Fig.15 và các phần mô tả theo các phương án thực hiện tương ứng, và chi tiết không được mô tả lại ở đây.

Phương án thực hiện sáng chế còn đề xuất hệ thống mạng quang học, như được thể hiện trên Fig.16. Hệ thống mạng quang học có thể là hệ thống WDM PON hoặc hệ thống GE.

Hệ thống mạng quang học gồm ít nhất: thiết bị đầu cuối đường truyền quang học 1600 và khối mạng quang học 1602, trong đó thiết bị đầu cuối đường truyền quang học 1600 gồm thiết bị mạng quang học thứ nhất bất kỳ được minh họa trên Fig.12, và khối mạng quang học 1602 gồm thiết bị mạng quang học thứ hai bất kỳ được minh họa trên Fig.14; hoặc khối mạng quang học 1602 gồm thiết bị mạng quang học thứ nhất bất kỳ được minh họa trên Fig.12, và thiết bị đầu cuối đường truyền quang học 1600 gồm thiết bị mạng quang học thứ hai bất kỳ được minh họa trên Fig.14. Đối với các cấu trúc thành phần cụ thể của thiết bị mạng quang học thứ nhất và thiết bị mạng quang học thứ hai, tham khảo Fig.12, Fig.14, và các

phần mô tả theo các phương án thực hiện tương ứng. Ngoài ra, đối với các cấu trúc thành phần bên trong cụ thể của bộ mã hóa 32 bit thành 34 bit và bộ giải mã từ 32 bit đến 34 bit, tham khảo Fig.13 và Fig.15 và các phần mô tả theo các phương án thực hiện tương ứng, và chi tiết không được mô tả lại ở đây.

Hệ thống truyền thông hoặc hệ thống mạng quang học được đề xuất theo phương án thực hiện sáng chế gồm ít nhất hai thiết bị mạng quang học. Sơ đồ mã hóa mới được triển khai theo cách thức dưới đây: Thiết bị mạng quang học thứ nhất thực hiện mã hóa từ 32 bit đến 34 bit và bước mã hóa FEC trên dòng dữ liệu được tiếp nhận, và xuất ra dòng dữ liệu được mã hóa cho thiết bị mạng quang học thứ hai; và thiết bị mạng quang học thứ hai thực hiện giải mã FEC và giải mã từ 32 bit đến 34 bit trên dòng dữ liệu được tiếp nhận, và sau đó xuất ra dòng dữ liệu được giải mã. Theo cách này, tài nguyên băng thông của đường truyền được tiết kiệm; việc giám sát đường truyền có thể được triển khai mà không ngắt dịch vụ, vốn dễ triển khai và cải thiện đáng kể các loại hiệu năng hệ thống khác nhau.

Phương án thực hiện sáng chế còn đề xuất hệ thống máy tính để xử lý tín hiệu. Như được thể hiện trên Fig.17, cấu trúc hệ thống máy tính tổng quát được sử dụng cho hệ thống máy tính, và các thành phần mà được sử dụng để xử lý tín hiệu và trong hệ thống máy tính gồm:

thiết bị đầu vào thứ nhất 1700, được cấu hình để tiếp nhận dữ liệu;

thiết bị đầu ra thứ nhất 1702, được cấu hình để gửi dữ liệu;

bộ nhớ thứ nhất 1704, được cấu hình để lưu trữ chương trình và gồm:

khối giao diện thứ nhất, được cấu hình để tiếp nhận dòng dữ liệu từ lớp gắn môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện, và thực hiện chuyển đổi nối tiếp thành song song trên dòng dữ liệu được tiếp nhận;

bộ giải mã 8 bit/10 bit, được cấu hình để thực hiện giải mã 8 bit/10 bit

trên dòng dữ liệu được tiếp nhận, và xuất ra dòng dữ liệu trên đó bước giải mã 8 bit/10 bit đã được thực hiện;

bộ mã hóa 32 bit thành 34 bit, được cấu hình để thực hiện mã hóa từ 32 bit đến 34 bit trên dòng dữ liệu được xuất ra trên đó bước giải mã 8 bit/10 bit đã được thực hiện, và xuất ra dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện;

bộ mã hóa sửa lỗi trước, được cấu hình để thực hiện mã hóa sửa lỗi trước trên dòng dữ liệu được xuất ra trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện, và xuất ra dòng dữ liệu trên đó mã hóa sửa lỗi trước đã được thực hiện;

bộ chuyển đổi độ rộng bit thứ nhất, được cấu hình để thực hiện chuyển đổi độ rộng bit 34 bit/10 bit trên dòng dữ liệu được xuất ra trên đó mã hóa sửa lỗi trước đã được thực hiện; và

khối giao diện thứ hai, được cấu hình để gửi dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện đến lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền; và

bộ xử lý thứ nhất 1706, được ghép nối với thiết bị đầu vào thứ nhất 1700, thiết bị đầu ra thứ nhất 1702, và bộ nhớ thứ nhất 1704, và được cấu hình để điều khiển thực thi chương trình.

Cụ thể là, hệ thống máy tính cụ thể có thể là máy tính dựa trên bộ xử lý, chẳng hạn, máy tính cá nhân đa năng (personal computer PC), thiết bị xách tay như máy tính tablet, hoặc điện thoại thông minh. Hệ thống máy tính gồm đường truyền chủ, bộ xử lý thứ nhất 1706, bộ nhớ thứ nhất 1704, giao diện truyền thông 1708, thiết bị đầu vào thứ nhất 1700, và thiết bị đầu ra thứ nhất 1702. Đường truyền chủ có thể gồm kênh để truyền thông tin giữa các thành phần của máy tính. Bộ xử lý thứ nhất 1706 có thể là khối xử lý trung tâm đa năng (central processing unit -CPU), bộ vi xử lý, mạch tích hợp cụ thể cho ứng dụng (application-specific integrated circuit -ASIC), hoặc một hoặc nhiều mạch tích hợp được cấu hình để điều khiển

thực thi chương trình của giải pháp theo sáng chế. Hệ thống máy tính còn gồm một hoặc nhiều bộ nhớ, vốn có thể là bộ nhớ chỉ đọc (read-only memory -ROM) hoặc thiết bị lưu trữ tĩnh loại khác, vốn có thể lưu trữ thông tin tĩnh và lệnh tĩnh, bộ nhớ truy nhập ngẫu nhiên (random access memory -RAM) hoặc thiết bị lưu trữ động loại khác, có thể lưu trữ thông tin động và lệnh động, hoặc có thể là bộ nhớ đĩa từ. Một hoặc nhiều bộ nhớ nối với bộ xử lý bằng cách sử dụng đường truyền chủ.

Thiết bị đầu vào thứ nhất 1700 gồm thiết bị, chẳng hạn, bàn phím, chuột, máy ảnh, máy quét, bút quang, thiết bị nhập giọng nói, và màn hình cảm ứng, để tiếp nhận dữ liệu và thông tin được nhập vào hoặc xuất ra bởi người dùng. Thiết bị đầu ra thứ nhất 1702 có thể gồm thiết bị, gồm màn hình, máy in, loa, và tương tự, để cho phép xuất ra thông tin đến người dùng. Hệ thống máy tính còn gồm giao diện truyền thông 1708, mà sử dụng thiết bị như bộ thu phát để truyền thông với thiết bị khác hoặc mạng truyền thông, chẳng hạn, mạng Ethernet, mạng truy nhập vô tuyến (radio access network -RAN), và mạng cục bộ không dây (wireless local area network -WLAN).

Bộ nhớ thứ nhất 1704, chẳng hạn, RAM, lưu trữ chương trình thực thi giải pháp của sáng chế, và cũng có thể lưu trữ hệ điều hành và chương trình ứng dụng khác. Bộ nhớ lưu trữ chương trình lưu trữ hoặc mã chương trình thực thi giải pháp của sáng chế, và bộ xử lý điều khiển việc thực thi.

Chương trình mà thực thi giải pháp của sáng chế và ở trong bộ nhớ thứ nhất cụ thể là gồm khối giao diện thứ nhất, bộ giải mã 8 bit/10 bit, bộ mã hóa 32 bit thành 34 bit, bộ mã hóa sửa lỗi trước, bộ chuyển đổi độ rộng bit thứ nhất, và khối giao diện thứ hai. Để mô tả chi tiết chức năng của mỗi một phần, tham khảo Fig.12 và phần mô tả theo phương án thực hiện tương ứng, và chi tiết không được mô tả lại ở đây. (Lưu ý rằng phần này đề xuất chi tiết hơn về thiết bị liên quan đến điểm sáng chế, và sự

phân chia nhỏ cấu trúc có thể được thực hiện theo các trường hợp khác nhau.)

Hệ thống máy tính để xử lý tín hiệu có thể được áp dụng trên thiết bị văn phòng trung tâm ở hệ thống GE hoặc hệ thống WDMPON, chẳng hạn, thiết bị đầu cuối đường truyền quang học, hoặc có thể được áp dụng trên thiết bị đầu cuối ở hệ thống GE hoặc hệ thống WDMPON, chẳng hạn, khối mạng quang học hoặc trạm đầu cuối mạng quang học.

Phương án thực hiện sáng chế còn đề xuất hệ thống máy tính khác để xử lý tín hiệu. Như được thể hiện trên Fig.18, cấu trúc hệ thống máy tính tổng quát được sử dụng cho hệ thống máy tính, và các hoạt động xử lý tín hiệu được thực thi bởi hệ thống máy tính gồm:

thiết bị đầu vào thứ hai 1800, được cấu hình để tiếp nhận dữ liệu;

thiết bị đầu ra thứ hai 1802, được cấu hình để gửi dữ liệu;

bộ nhớ thứ hai 1804, which được cấu hình để lưu trữ chương trình và gồm:

khối giao diện thứ ba, được cấu hình để tiếp nhận dòng dữ liệu từ lớp phụ thuộc môi trường vật lý ở tốc độ đường truyền, trong đó dòng dữ liệu là dòng dữ liệu trên đó mã hóa từ 32 bit đến 34 bit đã được thực hiện;

bộ chuyển đổi độ rộng bit thứ hai, được cấu hình để thực hiện chuyển đổi độ rộng bit 10 bit/34 bit trên dòng dữ liệu được tiếp nhận;

bộ giải mã sửa lỗi trước, được cấu hình để thực hiện giải mã sửa lỗi trước trên dòng dữ liệu trên đó bước chuyển đổi độ rộng bit đã được thực hiện;

bộ giải mã từ 32 bit đến 34 bit, được cấu hình để thực hiện giải mã từ 32 bit đến 34 bit trên dòng dữ liệu trên đó bước giải mã sửa lỗi trước đã được thực hiện;

bộ tạo mã 8 bit/10 bit, được cấu hình để thực hiện mã hóa 8 bit/10 bit trên dòng dữ liệu trên đó bước giải mã từ 32 bit đến 34 bit đã được thực hiện; và

khối giao diện thứ tư, được cấu hình để gửi dòng dữ liệu trên đó mã hóa 8 bit/10 bit đã được thực hiện đến lớp gắn môi trường vật lý.

Cụ thể là, hệ thống máy tính có thể cụ thể là máy tính dựa trên bộ xử lý, chẳng hạn, PC đa năng, thiết bị xách tay như máy tính tablet, hoặc điện thoại thông minh. Hệ thống máy tính gồm đường truyền chủ, bộ xử lý, bộ nhớ, giao diện truyền thông, thiết bị đầu vào, và thiết bị đầu ra. Đường truyền chủ có thể gồm kênh để truyền thông tin giữa các thành phần của máy tính. Bộ xử lý thứ hai có thể là CPU đa năng, bộ vi xử lý, ASIC, hoặc một hoặc nhiều mạch tích hợp được cấu hình để điều khiển thực thi chương trình của giải pháp theo sáng chế. Hệ thống máy tính còn gồm một hoặc nhiều bộ nhớ, vốn có thể là ROM hoặc thiết bị lưu trữ tĩnh loại khác, vốn có thể lưu trữ thông tin tĩnh và lệnh tĩnh, RAM hoặc thiết bị lưu trữ động loại khác, vốn có thể lưu trữ thông tin và lệnh, hoặc có thể là bộ nhớ đĩa từ. Những bộ nhớ này nối với bộ xử lý bằng cách sử dụng đường truyền chủ.

Thiết bị đầu vào thứ hai 1800 gồm thiết bị, chẳng hạn, bàn phím, chuột, máy ảnh, máy quét, bút quang, thiết bị nhập giọng nói, và màn hình cảm ứng, để tiếp nhận dữ liệu và thông tin được nhập vào hoặc xuất ra bởi người dùng. Thiết bị đầu ra thứ hai 1802 có thể gồm thiết bị, gồm màn hình, máy in, loa, và tương tự, để cho phép xuất ra thông tin đến người dùng. Hệ thống máy tính còn gồm giao diện truyền thông 1808, mà sử dụng thiết bị như bộ thu phát để truyền thông với thiết bị khác hoặc mạng truyền thông, chẳng hạn, mạng Ethernet, RAN, và WLAN.

Bộ nhớ thứ hai 1804, chẳng hạn, RAM, lưu trữ chương trình thực thi giải pháp của sáng chế, và cũng có thể lưu trữ hệ điều hành và chương trình ứng dụng khác. Bộ nhớ lưu trữ chương trình lưu trữ hoặc mã chương trình thực thi giải pháp của sáng chế, và bộ xử lý điều khiển việc thực thi.

Chương trình mà thực thi giải pháp của sáng chế và ở trong bộ nhớ

thứ hai 1804 cụ thể là gồm: khối giao diện thứ ba, bộ chuyển đổi độ rộng bit thứ hai, bộ giải mã sửa lỗi trước, bộ giải mã từ 32 bit đến 34 bit, bộ tạo mã 8 bit/10 bit, và khối giao diện thứ tư. Để mô tả chi tiết chức năng của mỗi một phần, tham khảo Fig.14 và phần mô tả theo phương án thực hiện tương ứng, và chi tiết không được mô tả lại ở đây. (Lưu ý rằng phần này đề xuất chi tiết hơn về thiết bị liên quan đến điểm sáng chế, và sự phân chia nhỏ cấu trúc có thể được thực hiện theo các trường hợp khác nhau.)

Hệ thống máy tính để xử lý tín hiệu có thể được áp dụng trên thiết bị văn phòng trung tâm ở hệ thống GE hoặc hệ thống WDM PON, chẳng hạn, thiết bị đầu cuối đường truyền quang học, hoặc có thể được áp dụng trên thiết bị đầu cuối ở hệ thống GE hoặc hệ thống WDM PON, chẳng hạn, khối mạng quang học hoặc trạm đầu cuối mạng quang học.

Với các phần mô tả của các phương án thực hiện nêu trên, chuyên gia trong lĩnh vực có thể hiểu rõ rằng sáng chế có thể được triển khai bằng phần cứng, phần sụn hoặc tổ hợp của chúng. Khi sáng chế được triển khai bằng phần mềm, các chức năng nêu trên có thể được lưu trữ trong vật máy tính đọc được hoặc được truyền dưới dạng một hoặc nhiều lệnh hoặc mã trong vật máy tính đọc được. Vật máy tính đọc được gồm vật lưu trữ máy tính và môi trường truyền thông, trong đó vật truyền thông gồm vật bất kỳ cho phép chương trình máy tính được truyền từ một điểm sang điểm khác. Vật lưu trữ có thể là vật khả dụng bất kỳ có thể truy nhập vào. Phần dưới đề xuất ví dụ nhưng không đặt giới hạn: Vật máy tính đọc được có thể gồm RAM, ROM, EEPROM, CD-ROM hoặc lưu trữ đĩa quang, vật lưu trữ đĩa từ hoặc thiết bị lưu trữ từ tính khác, hoặc vật khác bất kỳ có thể mang hoặc lưu trữ mã chương trình mong muốn dưới dạng lệnh hoặc cấu trúc dữ liệu và có thể được truy nhập bằng máy tính. Ngoài ra, kết nối bất kỳ có thể trở thành vật máy tính đọc được một cách thích hợp. Chẳng hạn, nếu phần mềm được truyền từ website, máy chủ hoặc

nguồn từ xa khác bằng cách sử dụng cáp đồng trục, cáp/sợi quang, cáp xoắn đôi, đường thuê bao số (digital subscriber line- DSL) hoặc các công nghệ không dây như tia hồng ngoại, vô tuyến và vi sóng, cáp đồng trục, cáp/sợi quang, cáp xoắn đôi, DSL hoặc các công nghệ không dây như tia hồng ngoại, vô tuyến và vi sóng có trong việc cố định môi trường mà của chúng. Chẳng hạn, ổ đĩa (Disk) và đĩa (disc) được sử dụng bởi sáng chế gồm đĩa CD (compact disc), đĩa laze, đĩa quang, đĩa số đa năng (digital versatile disc -DVD), ổ đĩa mềm, và đĩa Blu-ray, trong đó ổ đĩa thường sao chép dữ liệu bằng phương tiện từ tính, và đĩa sao chép dữ liệu quang học bằng phương tiện laze. Tổ hợp nêu trên cũng nên được bao gồm trong phạm vi bảo hộ của vật máy tính đọc được.

Tóm lại, giải pháp được mô tả ở trên chỉ là các phương án thực hiện lấy làm ví dụ của các giải pháp kỹ thuật theo sáng chế, nhưng không được nhằm giới hạn phạm vi bảo hộ của sáng chế. Biến thể, thay thế tương đương, hoặc cải tiến bất kỳ được thực hiện mà không xa rời nguyên lý sáng chế sẽ nằm trong phạm vi bảo hộ của sáng chế

YÊU CẦU BẢO HỘ

1. Phương pháp truyền thông cho hệ thống mạng quang học, trong đó phương pháp truyền thông bao gồm các bước:

nhận, qua bộ xử lý, dòng dữ liệu ở tốc độ đường truyền, trong đó dòng dữ liệu được nhận đã được mã hóa 8 bit/10 bit;

thực hiện, qua bộ xử lý, giải mã 8 bit/10 bit trên dòng dữ liệu được nhận để thu được dòng dữ liệu thứ nhất;

nhận dòng dữ liệu thứ nhất theo mỗi khối dữ liệu bao gồm tám bit để thu được bốn khối dữ liệu, trong đó khối bất kỳ trong các khối dữ liệu là khối ký tự điều khiển thứ nhất hoặc khối ký tự dữ liệu, và khối điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit;

xác định liệu có khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu;

thực hiện, qua bộ xử lý, mã hóa 32 bit đến 34 bit trên dòng dữ liệu thứ nhất để thu được dòng dữ liệu thứ hai, bước mã hóa bao gồm (a) thêm phần đầu đồng bộ thứ nhất vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu nếu không có khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu, và (b) xuất ra các khối dữ liệu mà phần đầu đồng bộ thứ nhất được thêm vào đó, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, phần đầu đồng bộ thứ nhất bao gồm bộ nhận dạng thứ nhất 2 bit và bộ nhận dạng thứ nhất được sử dụng để nhận diện việc các khối dữ liệu đều là các khối ký tự dữ liệu;

thực hiện, qua bộ xử lý, mã hóa hiệu chỉnh lỗi tiến trên dòng dữ liệu thứ hai để thu được dòng dữ liệu thứ ba;

thực hiện, qua bộ xử lý, biến đổi độ rộng bit có 34-bit/10-bit trên dòng dữ liệu thứ ba để thu được dòng dữ liệu thứ tư; và

gửi, qua bộ xử lý, dòng dữ liệu thứ tư ở tốc độ đường truyền.

2. Phương pháp truyền thông theo điểm 1, trong đó bước mã hóa trên

dòng dữ liệu thứ nhất còn bao gồm các bước:

khi có ít nhất một khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu được giải mã, thêm phần đầu đồng bộ thứ hai vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu được giải mã, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, phần đầu đồng bộ thứ hai bao gồm bộ nhận dạng thứ hai 2 bit, và bộ nhận dạng thứ hai 2 bit được sử dụng để nhận diện việc có ít nhất một khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu được giải mã;

tạo, theo số lượng khối ký tự điều khiển thứ nhất và vị trí của mỗi khối trong các khối ký tự điều khiển thứ nhất, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, và thiết lập mã ánh xạ vị trí khối ký tự điều khiển 4 bit ở vị trí sau phần đầu đồng bộ thứ hai và liền kề với phần đầu đồng bộ thứ hai;

biến đổi mỗi khối trong các khối ký tự điều khiển thứ nhất thành khối ký tự điều khiển thứ hai 4 bit; và

xuất ra khối dữ liệu được xử lý, trong đó khối dữ liệu được xử lý bao gồm một trong các phần sau:

(a) phần đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, và các khối điều khiển thứ hai 4 bit, và

(b) phần đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, khối ký tự điều khiển thứ hai 4 bit, và các khối ký tự dữ liệu.

3. Phương pháp truyền thông theo điểm 2, trong đó việc xuất ra khối dữ liệu được xử lý bao gồm:

khi bốn khối dữ liệu được giải mã còn bao gồm ít nhất một khối ký tự dữ liệu, không thực hiện xử lý trên ít nhất một khối ký tự dữ liệu, và giữ lại khối ký tự dữ liệu; và

xuất ra khối dữ liệu được xử lý, trong đó khối dữ liệu được xử lý bao gồm phần đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển 4

bit, khối ký tự điều khiển thứ hai 4 bit, và khối ký tự dữ liệu.

4. Phương pháp truyền thông cho hệ thống mạng quang học bao gồm các bước:

nhận, qua bộ xử lý, dòng dữ liệu ở tốc độ đường truyền, trong đó dòng dữ liệu được nhận đã được mã hóa 32 bit đến 34 bit;

thực hiện, qua bộ xử lý, biến đổi độ rộng bit 10-bit/34-bit trên dòng dữ liệu được nhận để thu được dòng dữ liệu thứ nhất;

thực hiện, qua bộ xử lý, giải mã hiệu chỉnh lỗi tiến trên dòng dữ liệu thứ nhất để thu được dòng dữ liệu thứ hai;

phân tách dòng dữ liệu thứ hai và xuất ra 51 khối dữ liệu, trong đó khối bất kỳ trong các khối dữ liệu là khối ký tự điều khiển thứ hai hoặc khối ký tự dữ liệu, khối ký tự điều khiển thứ hai bất kỳ là mã nhị phân 4 bit, và khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit;

phân tách khối bất kỳ trong các khối dữ liệu, và thu được phần đầu đồng bộ của các khối dữ liệu, trong đó phần đầu đồng bộ bao gồm các phần đầu đồng bộ thứ nhất hoặc thứ hai, phần đầu đồng bộ thứ nhất bao gồm bộ nhận dạng thứ nhất 2 bit để nhận diện khối dữ liệu là khối ký tự dữ liệu, phần đầu đồng bộ thứ hai bao gồm bộ nhận dạng thứ hai 2 bit để nhận diện rằng có ít nhất một khối ký tự điều khiển thứ hai trong số các khối dữ liệu; và

xác định liệu phần đầu đồng bộ của khối bất kỳ trong các khối dữ liệu là phần đầu đồng bộ thứ nhất hoặc thứ hai;

thực hiện, qua bộ xử lý, giải mã 32 bit đến 34 bit trên dòng dữ liệu thứ hai để thu được dòng dữ liệu thứ ba bao gồm (a) xóa phần đầu đồng bộ thứ nhất nếu phần đầu đồng bộ là phần đầu đồng bộ thứ nhất và (b) xuất ra các khối dữ liệu mà phần đầu đồng bộ thứ nhất bị xóa khỏi đó;

thực hiện, qua bộ xử lý, mã hoán 8-bit/10-bit trên dòng dữ liệu thứ ba để thu được dòng dữ liệu thứ tư; và

gửi, qua bộ xử lý, dòng dữ liệu thứ tư.

5. Phương pháp truyền thông theo điểm 4, trong đó bước thực hiện giải mã 32 bit đến 34 bit trên dòng dữ liệu thứ hai bao gồm các bước:

khi phần đầu đồng bộ là phần đầu đồng bộ thứ hai, phân tách các khối dữ liệu thứ nhất, và thu được mã ánh xạ vị trí khối ký tự điều khiển 4 bit;

thu được số lượng khối ký tự điều khiển thứ hai và vị trí của mỗi khối trong khối ký tự điều khiển thứ hai theo mã ánh xạ vị trí khối ký tự điều khiển 4 bit;

biến đổi khối ký tự điều khiển thứ hai thành khối ký tự điều khiển thứ nhất 8 bit theo số lượng khối ký tự điều khiển thứ hai và vị trí của khối ký tự điều khiển thứ hai;

xóa phần đầu đồng bộ thứ hai và mã ánh xạ vị trí khối ký tự điều khiển 4 bit khỏi các khối dữ liệu, trong đó mã ánh xạ vị trí khối ký tự điều khiển 4 bit ở vị trí sau phần đầu đồng bộ thứ hai và liền kề với phần đầu đồng bộ thứ hai; và

xuất ra khối dữ liệu được xử lý, trong đó khối dữ liệu được xử lý bao gồm: khối ký tự điều khiển thứ nhất trong mã nhị phân 8 bit và/hoặc khối ký tự dữ liệu trong mã nhị phân 8 bit.

6. Phương pháp truyền thông theo điểm 5, trong đó bước xuất ra khối dữ liệu được xử lý bao gồm các bước:

khi các khối dữ liệu còn bao gồm ít nhất một khối ký tự dữ liệu, không thực hiện xử lý trên khối ký tự dữ liệu and giữ lại khối ký tự dữ liệu; và

xuất ra khối dữ liệu được xử lý, trong đó khối dữ liệu được xử lý bao gồm: khối ký tự điều khiển thứ nhất và khối ký tự dữ liệu.

7. Thiết bị mạng quang bao gồm các thiết bị đầu vào và đầu ra thứ nhất, bộ nhớ và bộ xử lý:

thiết bị đầu vào thứ nhất được tạo cấu hình để nhận dòng dữ liệu mà trên đó mã hóa 8 bit/10 bit đã được thực hiện ở tốc độ đường truyền, trong đó dòng dữ liệu bao gồm thông tin được cấp bởi người dùng;

bộ nhớ được tạo cấu hình để lưu trữ mã chương trình có thể thực thi được bởi bộ xử lý;

bộ xử lý được ghép nối với the các thiết bị đầu vào và đầu ra thứ nhất, và bộ nhớ, và, khi thực thi mã chương trình được lưu trữ trong bộ nhớ, được tạo cấu hình để:

thực hiện biến đổi nối tiếp sang song song trên dòng dữ liệu được nhận;

thực hiện giải mã 8 bit/10 bit trên dòng dữ liệu được nhận;

tạo bốn khối dữ liệu theo mỗi khối dữ liệu bao gồm tám bit, trong đó khối bất kỳ trong các khối dữ liệu là khối ký tự điều khiển thứ nhất hoặc khối ký tự dữ liệu, và khối ký tự điều khiển thứ nhất bất kỳ hoặc khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit; và

xác định liệu có khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu;

nếu không có khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu, thêm phần đầu đồng bộ thứ nhất vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, phần đầu đồng bộ thứ nhất bao gồm bộ nhận dạng thứ nhất 2 bit, và bộ nhận dạng thứ nhất được sử dụng để nhận diện việc các khối dữ liệu đều là khối ký tự dữ liệu;

thực hiện mã hóa 32 bit đến 34 bit trên dòng dữ liệu được nhận;

thực hiện mã hóa hiệu chỉnh lỗi tiến trên dòng dữ liệu được nhận; và

thực hiện biến đổi độ rộng bit 34-bit/10-bit trên dòng dữ liệu được nhận; và

thiết bị đầu ra thứ nhất được tạo cấu hình để gửi dòng dữ liệu được nhận mà trên đó biến đổi độ rộng bit đã được thực hiện với người dùng ở tốc độ đường truyền.

8. Thiết bị mạng quang theo điểm 7, trong đó bộ xử lý còn được tạo cấu hình để:

khi có ít nhất một khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu được giải mã, thêm phần đầu đồng bộ thứ hai vào tiêu đề của khối dữ liệu thứ nhất trong số bốn khối dữ liệu được giải mã, trong đó khối dữ liệu thứ nhất là mã nhị phân 8 bit được nhập vào trước, phần đầu đồng bộ thứ hai bao gồm bộ nhận dạng thứ hai 2 bit, và bộ nhận dạng thứ hai 2 bit được sử dụng để nhận diện việc có ít nhất một khối ký tự điều khiển thứ nhất trong số bốn khối dữ liệu được giải mã;

tạo, theo số lượng khối ký tự điều khiển thứ nhất và vị trí của các khối điều khiển thứ nhất, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, và thiết lập mã ánh xạ vị trí khối ký tự điều khiển 4 bit ở vị trí sau phần đầu đồng bộ thứ hai và liền kề với phần đầu đồng bộ thứ hai;

biến đổi khối ký tự điều khiển thứ nhất thành khối ký tự điều khiển thứ hai 4 bit; và

xuất ra khối dữ liệu được xử lý, trong đó khối dữ liệu được xử lý bao gồm một trong các phần sau:

(a) phần đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, và khối ký tự điều khiển thứ hai 4 bit; và

(b) phần đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, khối ký tự điều khiển thứ hai 4 bit và khối ký tự dữ liệu.

9. Thiết bị mạng quang theo điểm 8, trong đó bộ xử lý được tạo cấu hình để:

khi bốn khối dữ liệu còn bao gồm ít nhất một khối ký tự dữ liệu,

thực hiện không xử lý trên khối ký tự dữ liệu, và giữ lại khối ký tự dữ liệu; và

xuất ra khối dữ liệu được xử lý, trong đó khối dữ liệu được xử lý bao gồm phần đầu đồng bộ thứ hai, mã ánh xạ vị trí khối ký tự điều khiển 4 bit, khối ký tự điều khiển thứ hai 4 bit, và khối dữ liệu của khối ký tự dữ liệu.

10. Thiết bị mạng quang bao gồm các thiết bị đầu vào và đầu ra, bộ nhớ và bộ xử lý:

thiết bị đầu vào được tạo cấu hình để nhận dòng dữ liệu ở tốc độ đường truyền, trong đó dòng dữ liệu được nhận đã được mã hóa 32 bit đến 34 bit;

bộ nhớ được tạo cấu hình để lưu trữ mã chương trình để thực thi bởi bộ xử lý;

bộ xử lý được ghép nối với các thiết bị đầu vào và đầu ra và bộ nhớ thứ nhất để được tạo cấu hình khi thực thi mã chương trình để:

thực hiện biến đổi độ rộng bit 10-bit/34-bit trên dòng dữ liệu được nhận để thu được dòng dữ liệu thứ nhất;

thực hiện giải mã hiệu chỉnh lỗi tiến trên dòng dữ liệu thứ nhất để thu được dòng dữ liệu thứ hai;

phân tách dòng dữ liệu thứ hai và xuất ra 51 khối dữ liệu trong đó khối bất kỳ trong các khối dữ liệu là khối ký tự điều khiển thứ hai hoặc khối ký tự dữ liệu, khối ký tự điều khiển thứ hai bất kỳ là mã nhị phân 4 bit, và khối ký tự dữ liệu bất kỳ là mã nhị phân 8 bit;

phân tách khối bất kỳ trong các khối dữ liệu, và thu được phần đầu đồng bộ của khối bất kỳ trong các khối dữ liệu, trong đó phần đầu đồng bộ bao gồm: phần đầu đồng bộ thứ nhất hoặc phần đầu đồng bộ thứ hai, phần đầu đồng bộ thứ nhất bao gồm bộ nhận dạng thứ nhất 2 bit, bộ nhận dạng thứ nhất được sử dụng để nhận diện việc các khối dữ liệu đều là các

khối ký tự dữ liệu, phần đầu đồng bộ thứ hai bao gồm bộ nhận dạng thứ hai 2 bit, và bộ nhận dạng thứ hai được sử dụng để nhận dạng rằng có ít nhất một khối ký tự điều khiển thứ hai trong số các khối dữ liệu; và

xác định liệu phần đầu đồng bộ của khối bất kỳ trong các khối dữ liệu là phần đầu đồng bộ thứ nhất hoặc phần đầu đồng bộ thứ hai;

nếu phần đầu đồng bộ là phần đầu đồng bộ thứ nhất, xóa phần đầu đồng bộ thứ nhất, và xuất ra các khối dữ liệu mà phần đầu đồng bộ thứ nhất bị xóa khỏi đó;

thực hiện giải mã 32 bit đến 34 bit trên dòng dữ liệu thứ hai để thu được dòng dữ liệu thứ ba;

thực hiện mã hoán 8-bit/10-bit trên dòng dữ liệu thứ ba để thu được dòng dữ liệu thứ tư; và

gửi dòng dữ liệu thứ tư.

11. Hệ thống truyền thông, trong đó hệ thống truyền thông bao gồm thiết bị mạng quang theo điểm bất kỳ trong số các điểm từ 7 đến 9.

12. Hệ thống truyền thông, trong đó hệ thống truyền thông bao gồm thiết bị mạng quang theo điểm 10.

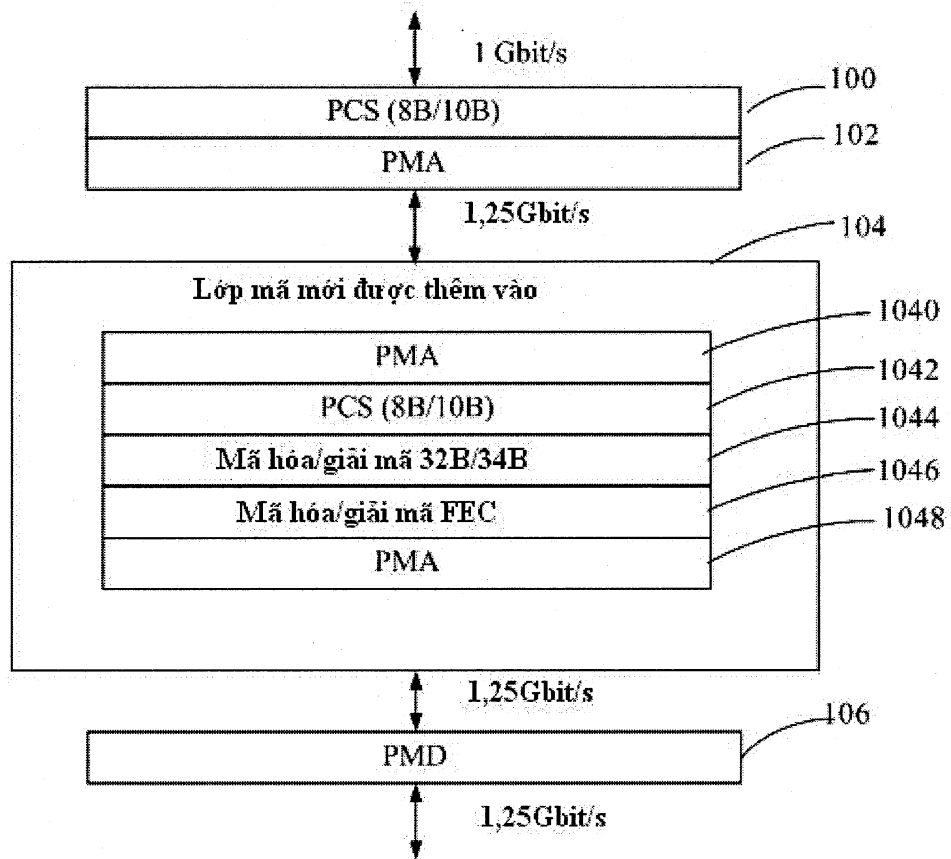


Fig.1

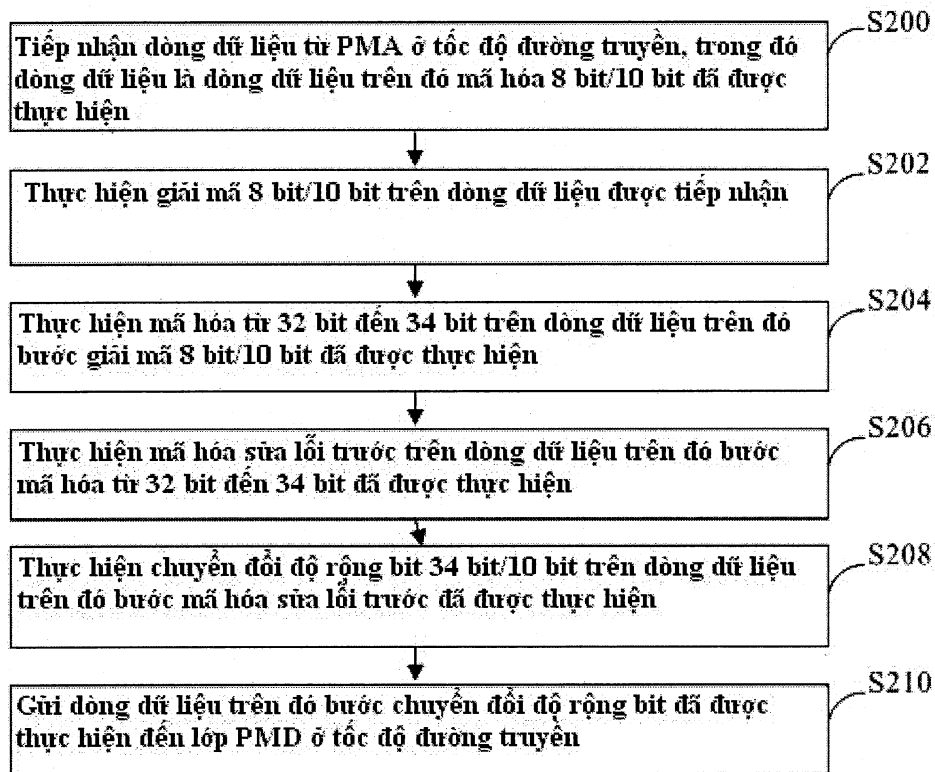


Fig.2

32 bit	34 bit									
Dữ liệu đầu vào	Đầu đồng bộ thứ nhất	Dữ liệu								
	0 1	2 ... 5	6 ... 9	10...13	14...17	18...21	22...25	26...29	30...33	
D0D1 D2D3	01	D0		D1		D2		D3		
Dữ liệu đầu vào	Đầu đồng bộ thứ hai	Mã ánh xạ	Mã							
C0D1D 2D3	10	1000	K0	D1		D2		D3		
D0C1D 2D3	10	0100	D0		K1	D2		D3		
D0D1C 2D3	10	0010	D0		D1		K2	D3		
D0D1 D2C3	10	0001	D0		D1		D2		K3	
C0D1C 2D3	10	1010	K0	K1	D2		D3		Rsvd	
.....	...									
C0C1C 2C3	10	1111	K0	K1	K2	K3	Rsvd (0x555)			

Fig.3

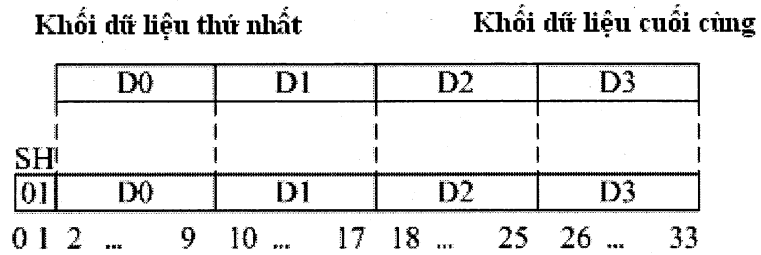


Fig.4

Khối ký tự điều khiển thứ nhất (Nhị phân)	Khối ký tự điều khiển thứ hai (Nhị phân)
000 11100	0000
001 11100	0001
010 11100	0010
011 11100	0011
100 11100	0100
101 11100	0101
110 11100	0110
111 11100	0111
111 10111	1000
111 11011	1001
111 11101	1010
111 11110	1011

Fig.5

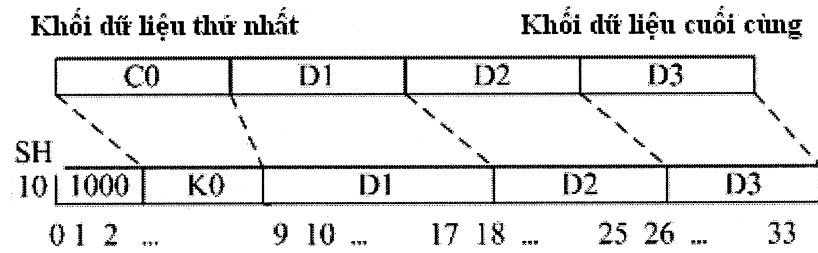


Fig.6

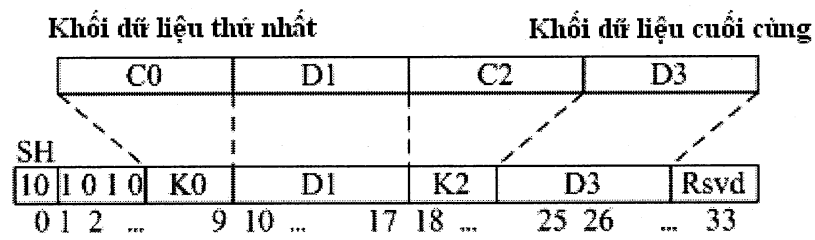


Fig.7

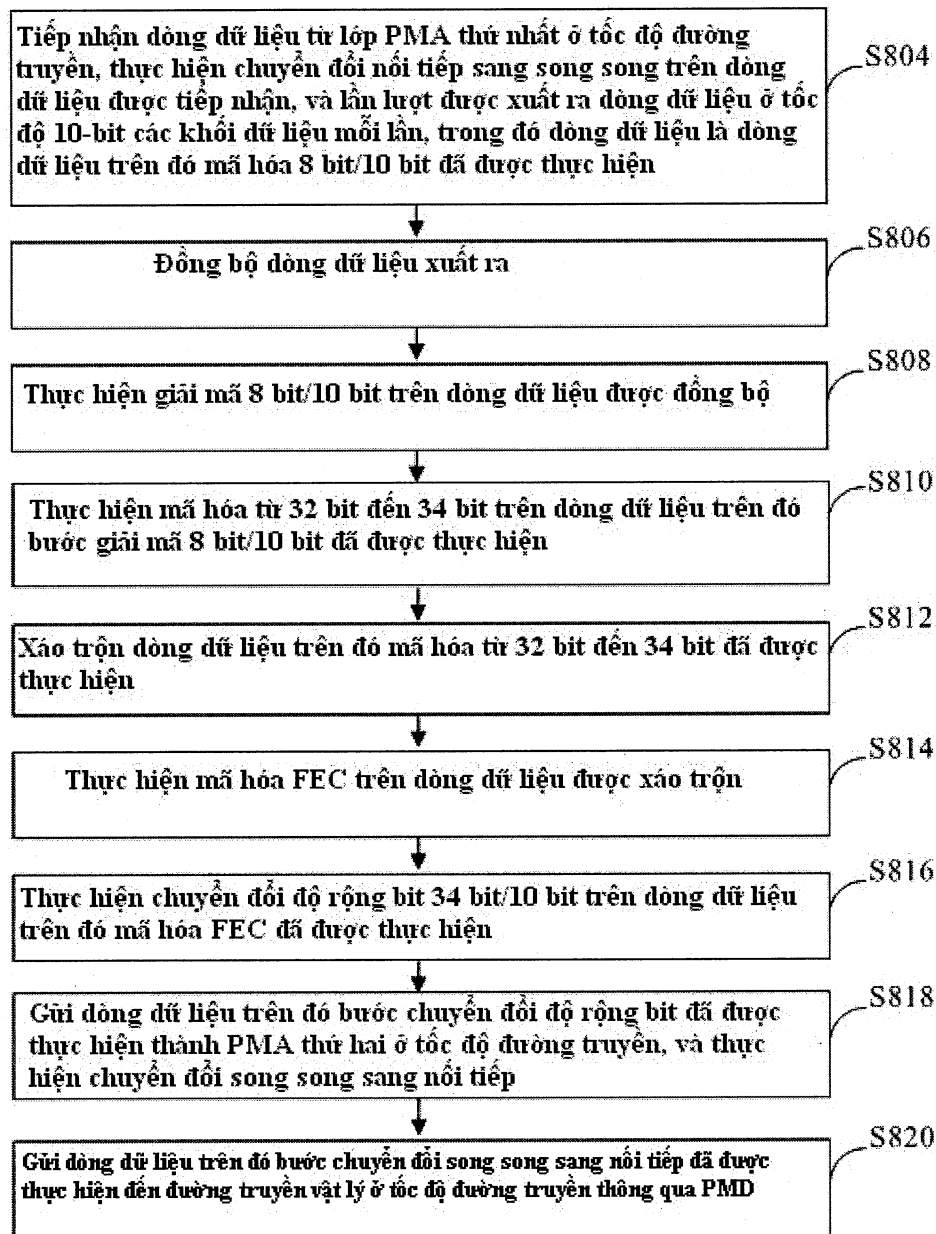


Fig.8

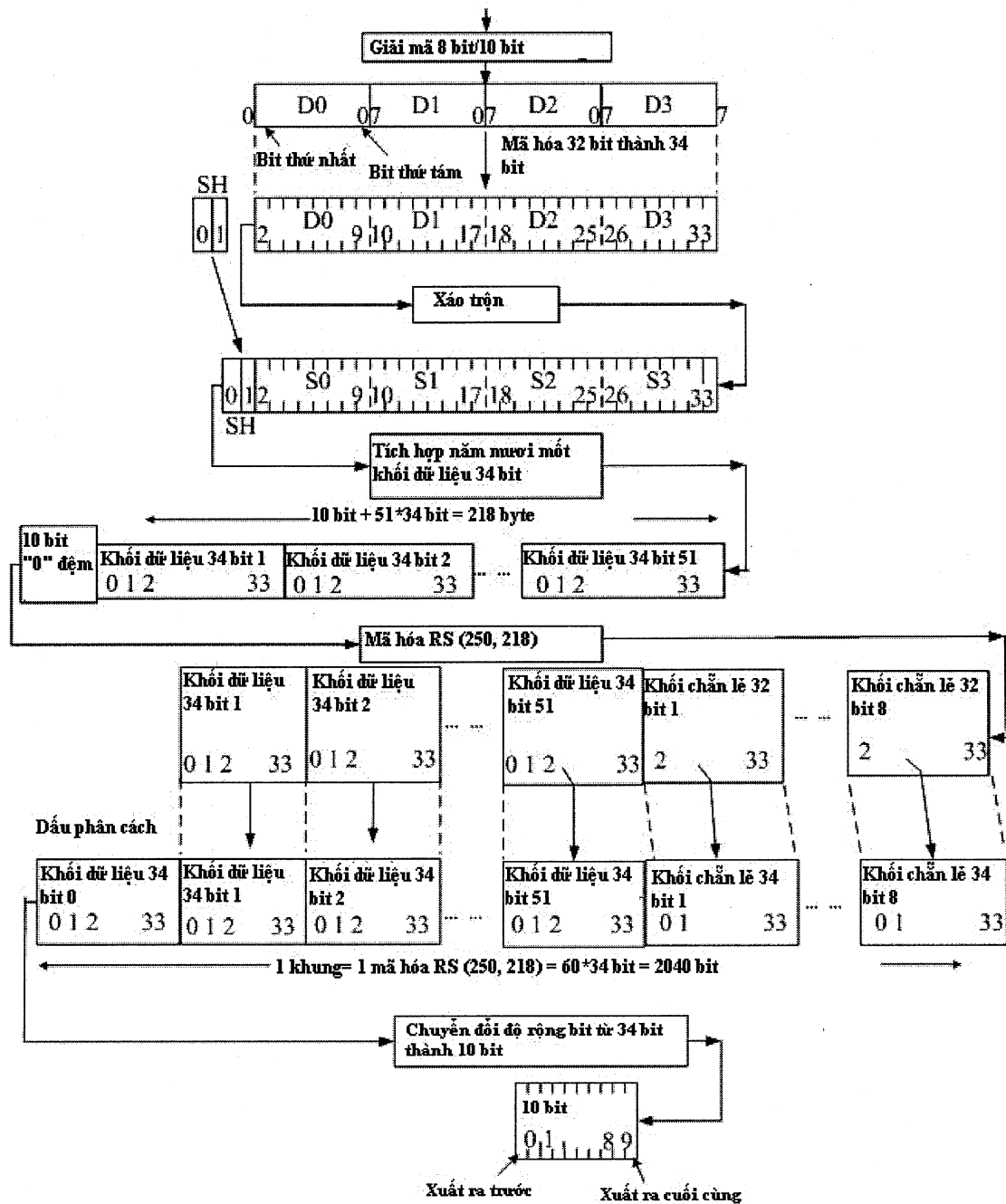


Fig.9

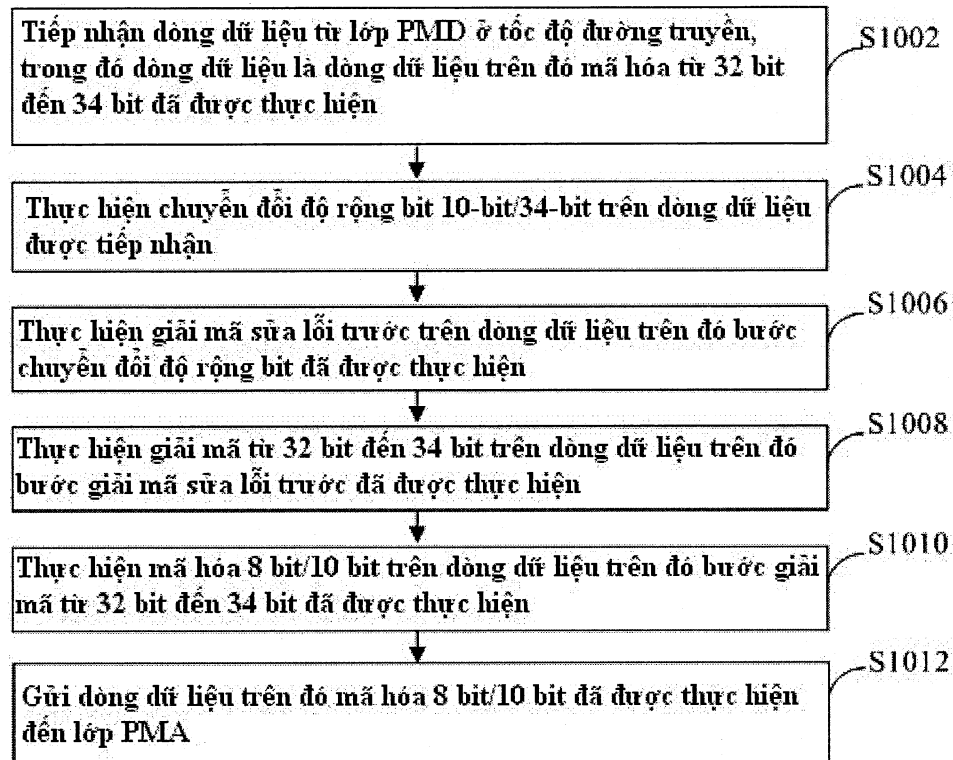


Fig.10

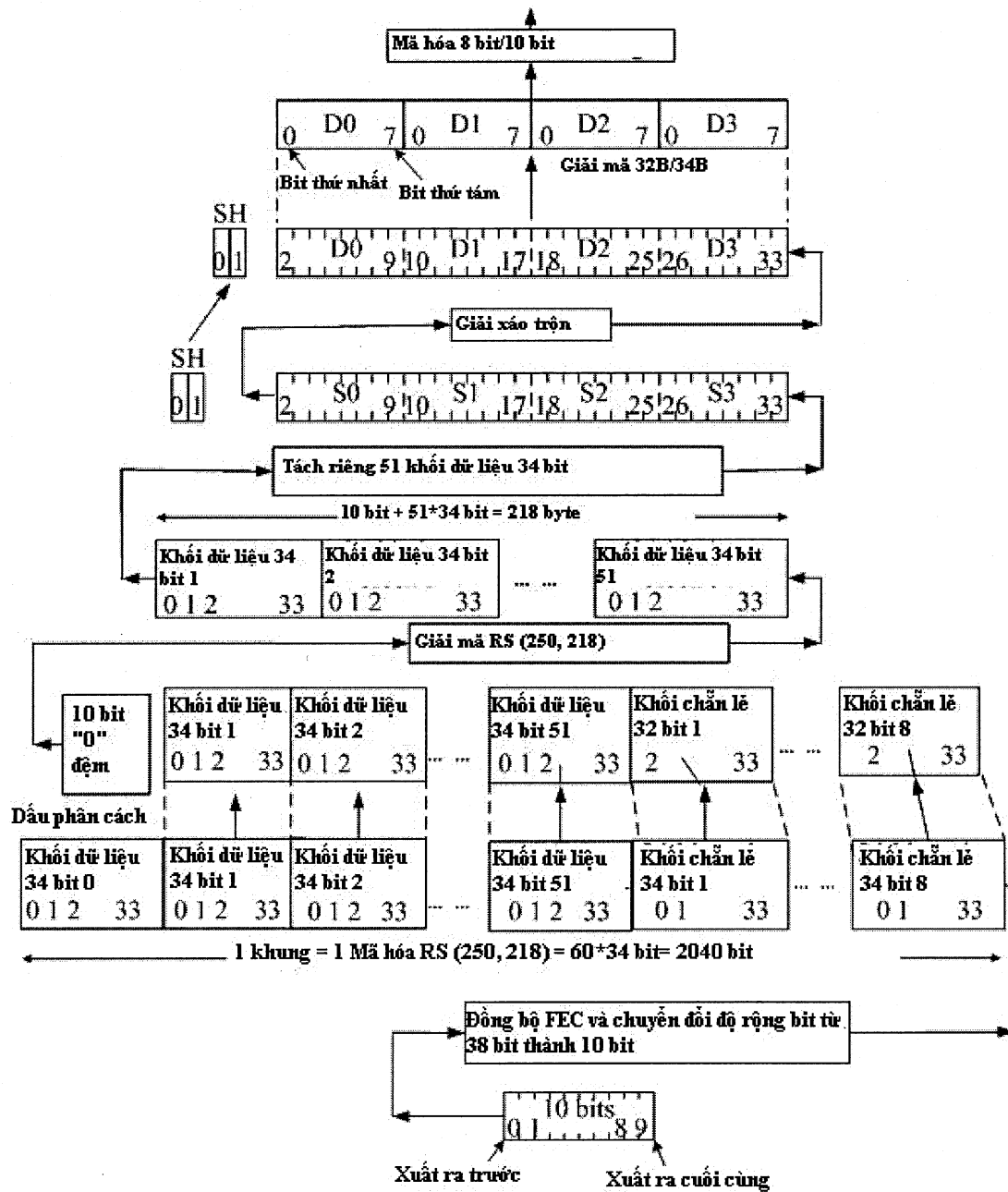


Fig.11

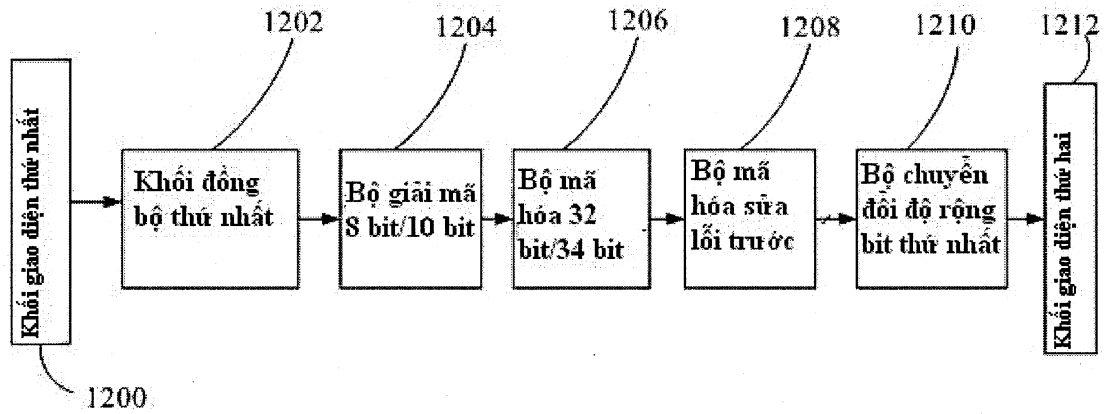


Fig.12

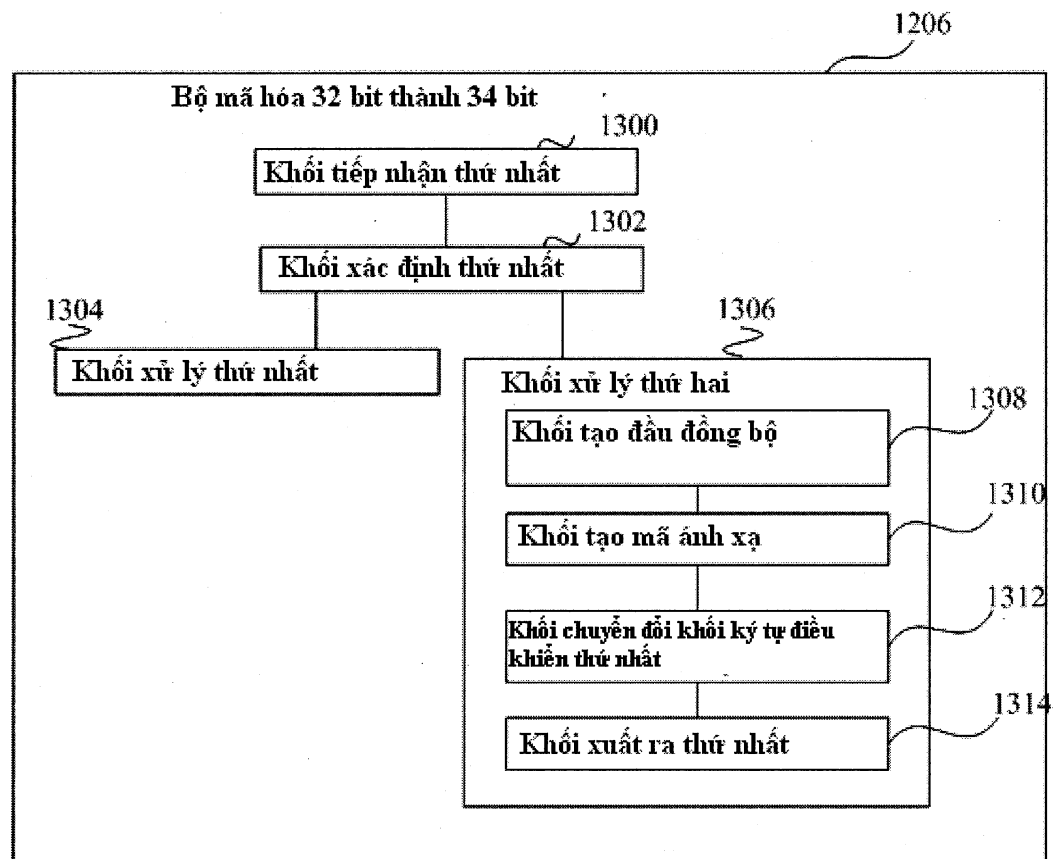


Fig.13

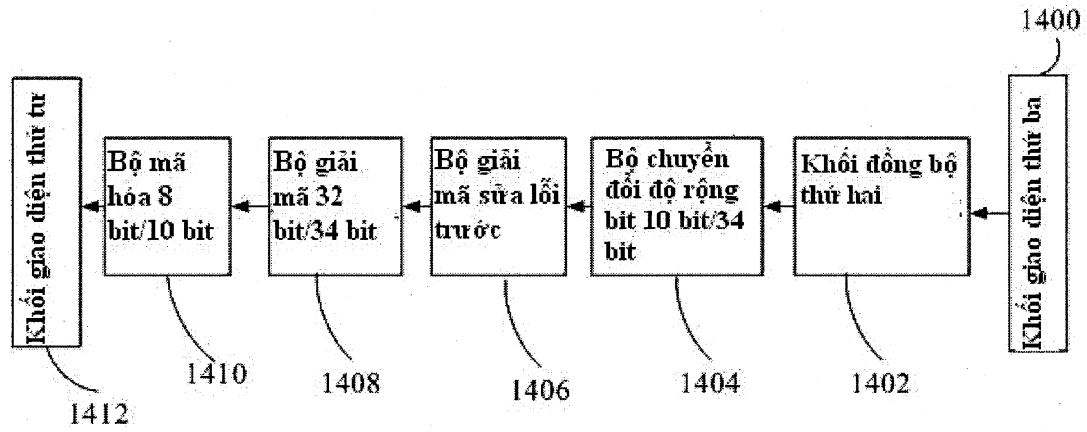


Fig.14

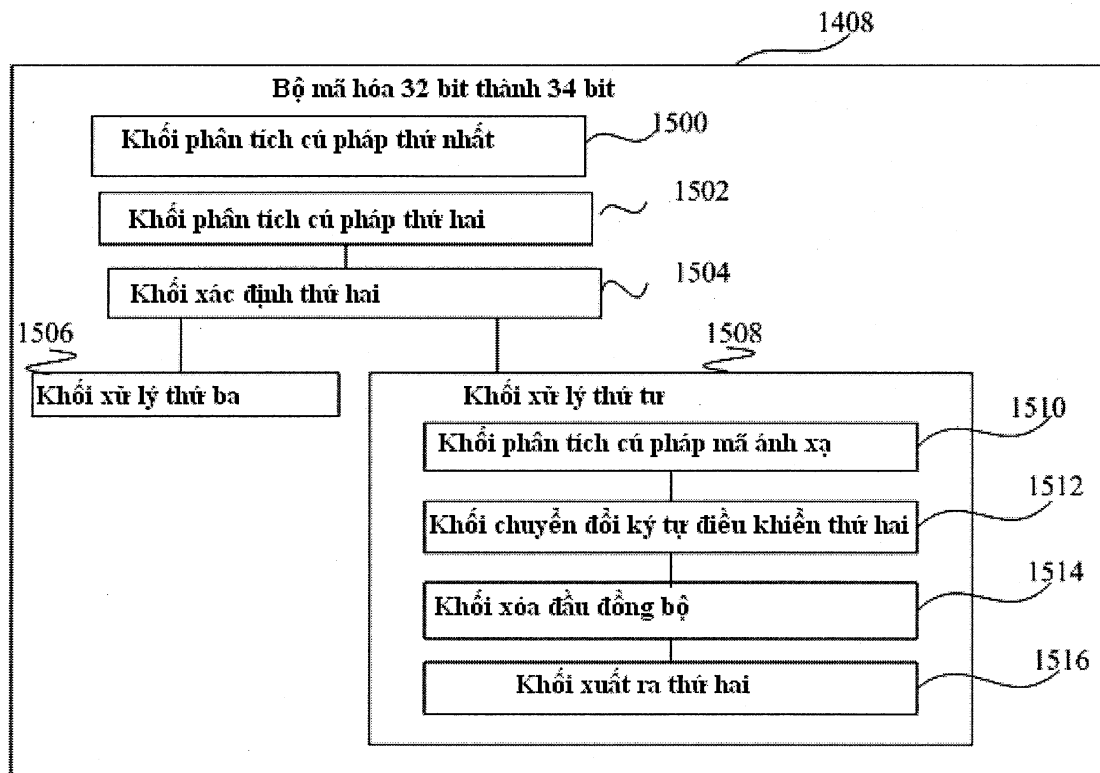


Fig.15

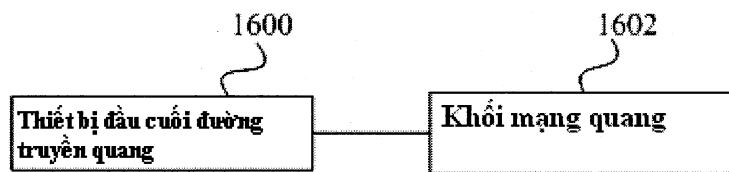


Fig.16

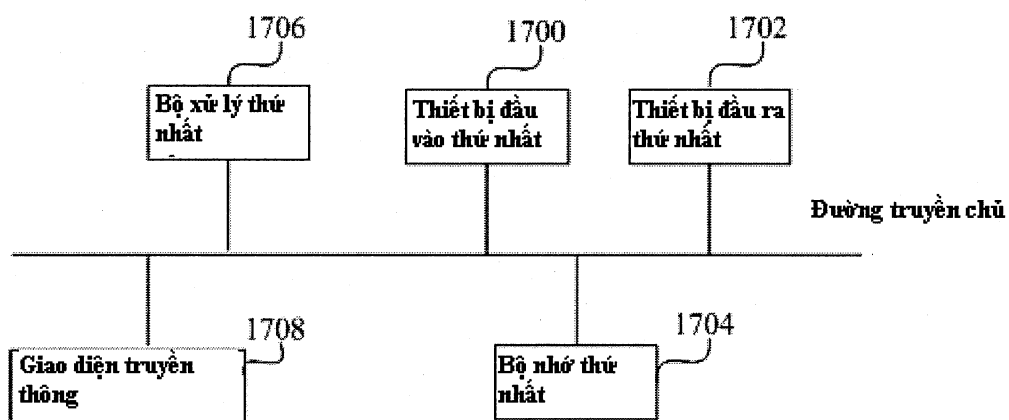


Fig.17

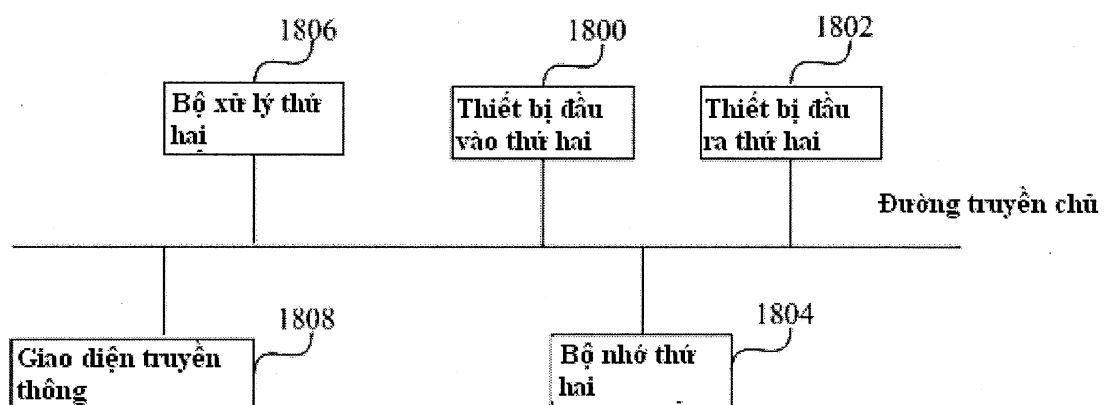


Fig.18