



(12) BẢN MÔ TẢ SÁNG CHẾ THUỘC BẢNG ĐỘC QUYỀN SÁNG CHẾ

(19) Cộng hòa xã hội chủ nghĩa Việt Nam (VN)
CỤC SỞ HỮU TRÍ TUỆ

(11)



1-0026379

(51)⁷ H04L 1/00

(13) B

(21) 1-2016-03947

(22) 19/03/2014

(86) PCT/CN2014/073719 19/03/2014

(87) WO2015/139248 24/09/2015

(45) 25/11/2020 392

(43) 26/12/2016 345A

(73) HUAWEI TECHNOLOGIES CO., LTD. (CN)

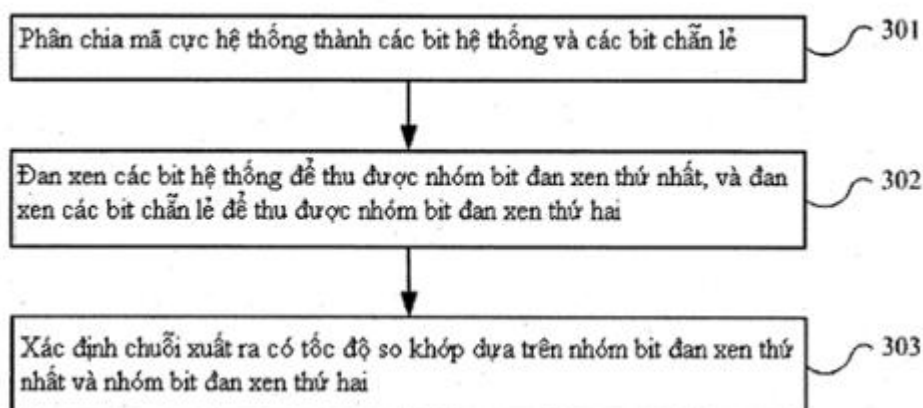
Huawei Administration Building, Bantian, Longgang, Shenzhen, Guangdong 518129, China

(72) SHEN, Hui (CN); LI, Bin (CA); CHEN, Jun (CN).

(74) Công ty Luật TNHH Phạm và Liên danh (PHAM & ASSOCIATES)

(54) PHƯƠNG PHÁP SO KHỚP TỐC ĐỘ MÃ CỰC VÀ THIẾT BỊ TRUYỀN THÔNG KHÔNG DÂY

(57) Sáng chế đề xuất phương pháp so khớp tốc độ mã cực và thiết bị so khớp tốc độ. Phương pháp gồm các bước: phân chia mã cực hệ thống được xuất ra bởi bộ mã hóa mã cực thành các bit hệ thống và các bit chẵn lẻ; đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất, và đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai; và xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai. Các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, để thu được chuỗi xuất ra có tốc độ so khớp, sao cho cấu trúc chuỗi sau khi đan xen ngẫu nhiên hơn, có thể giảm tỷ lệ lỗi khung (Frame Error Rate, FER), nhờ đó cải thiện hiệu năng yêu cầu lặp tự động lại (Hybrid Automatic Repeat Request, HARQ), và đảm bảo độ tin cậy truyền dữ liệu.



Lĩnh vực kỹ thuật được đề cập

Sáng chế liên quan đến trường codec (mã hóa/giải mã), và cụ thể là, đến phương pháp so khớp tốc độ mã cực và thiết bị so khớp tốc độ.

Tình trạng kỹ thuật của sáng chế

Trong hệ thống truyền thông, mã hóa kênh thường được thực hiện để cải thiện độ tin cậy truyền dữ liệu và đảm bảo chất lượng truyền thông. Mã cực là cách thức mã hóa có thể đạt dung lượng Shannon và có độ phức tạp mã hóa-giải mã thấp. Mã cực là mã khối tuyến tính. Ma trận sinh của mã cực là G_N , và quá trình mã hóa của mã cực là $x_1^N = u_1^N G_N$. Ở đây, $G_N = B_N F^{\otimes n}$, độ dài mã là $N=2^n$, và $n \geq 0$.

Ở đây, $F = \begin{bmatrix} 1 & 0 \\ 1 & 1 \end{bmatrix}$, và B_N là ma trận chuyển vị, chẳng hạn, ma trận đảo bit.

$F^{\otimes n}$ là lũy thừa Kronecker của F , được định nghĩa là $F^{\otimes n} = F \otimes F^{\otimes (n-1)}$. Mã cực có thể được biểu thị bằng mã lớp (N, K, A, u_{Ac}) , và quá trình mã hóa của mã cực là: $x_1^N = u_A G_N(A) \oplus u_{Ac} G_N(A^c)$. Ở đây, A là nhóm chỉ mục bit thông tin, $G_N(A)$ là ma trận phụ thu được nhờ sử dụng hàng tương ứng với chỉ mục trong tập A trong G_N , và $G_N(A^c)$ là ma trận phụ thu được nhờ sử dụng hàng tương ứng với chỉ mục trong tập A^c trong G_N . u_{Ac} là các bit đóng băng, trong đó số lượng các bit đóng băng là $(N-K)$, và các bit đóng băng là các bit đã biết. Để đơn giản, các bit đóng băng này có thể được đặt bằng 0.

Công nghệ yêu cầu lặp tự động lai (Hybrid Automatic Repeat Request, HARQ) đánh thủng ngẫu nhiên (tựa ngẫu nhiên) đã biết có thể được sử

dụng để mã cực. Việc đánh thùng ngẫu nhiên (tựa ngẫu nhiên) lựa chọn ngẫu nhiên (tựa ngẫu nhiên) vị trí để đánh thùng. Ở đầu nhận, LLR ở vị trí đánh thùng được chọn bằng 0, môđun giải mã mã mẹ và phương pháp vẫn được sử dụng. Theo cách thức đánh thùng ngẫu nhiên (tựa ngẫu nhiên), tốc độ lỗi khung tương đối cao, và hiệu năng HARQ tương đối thấp.

Bản chất kỹ thuật của sáng chế

Các phương án thực hiện sáng chế đề xuất phương pháp so khớp tốc độ mã cực và thiết bị so khớp tốc độ, có thể cải thiện hiệu năng HARQ của mã cực.

Theo khía cạnh thứ nhất, phương pháp so khớp tốc độ mã cực được đề xuất, gồm: phân chia mã cực hệ thống được xuất ra bởi bộ mã hóa mã cực thành các bit hệ thống và các bit chẵn lẻ; đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất, và đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai; và xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai.

Dựa vào khía cạnh thứ nhất, theo cách thức triển khai của khía cạnh thứ nhất, việc đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất gồm: thực hiện đan xen bậc hai trên các bit hệ thống để thu được nhóm bit đan xen thứ nhất.

Dựa vào khía cạnh thứ nhất và cách thức triển khai nêu trên của khía cạnh thứ nhất, theo cách thức triển khai khác của khía cạnh thứ nhất, việc đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai gồm: thực hiện đan xen bậc hai trên các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai.

Dựa vào khía cạnh thứ nhất và các cách thức triển khai nêu trên của khía cạnh thứ nhất, theo cách thức triển khai khác của khía cạnh thứ nhất, việc xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen

thứ nhất và nhóm bit đan xen thứ hai gồm: lần lượt viết nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai vào bộ đệm vòng; xác định vị trí bắt đầu của chuỗi đầu ra có tốc độ so khớp trong bộ đệm vòng theo phiên bản dư thừa; và đọc chuỗi đầu ra có tốc độ so khớp từ bộ đệm vòng theo vị trí bắt đầu.

Dựa vào khía cạnh thứ nhất và các cách thức triển khai nêu trên của khía cạnh thứ nhất, theo cách thức triển khai khác của khía cạnh thứ nhất, việc xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai gồm: tuần tự kết hợp nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai thành nhóm bit đan xen thứ ba; và tuần tự cắt xén hoặc liên tục trích rút các bit từ nhóm bit đan xen thứ ba để thu được chuỗi đầu ra có tốc độ so khớp.

Theo khía cạnh thứ hai, thiết bị so khớp tốc độ được đề xuất, gồm: khối thực hiện nhóm, được tạo cấu hình để phân chia mã cực hệ thống được xuất ra bởi bộ mã hóa mã cực thành các bit hệ thống và các bit chẵn lẻ; khối đan xen, được tạo cấu hình để đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất, và đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai; và khối xác định, được tạo cấu hình để xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai.

Dựa vào khía cạnh thứ hai, theo cách thức triển khai của khía cạnh thứ hai, khối đan xen được tạo cấu hình cụ thể để thực hiện đan xen bậc hai trên các bit hệ thống để thu được nhóm bit đan xen thứ nhất, và/hoặc thực hiện đan xen bậc hai trên các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai.

Dựa vào khía cạnh thứ hai và cách thức triển khai nêu trên của khía cạnh thứ hai, theo cách thức triển khai khác của khía cạnh thứ hai, khối xác định được tạo cấu hình cụ thể để tuần tự viết nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai vào bộ đệm vòng, xác định vị trí bắt đầu

của chuỗi đầu ra có tốc độ so khớp ở bộ đệm vòng theo phiên bản dư thừa, và đọc chuỗi đầu ra có tốc độ so khớp từ bộ đệm vòng theo vị trí bắt đầu.

Dựa vào khía cạnh thứ hai và các cách thức triển khai nêu trên của khía cạnh thứ hai, theo cách thức triển khai khác của khía cạnh thứ hai, khối xác định được tạo cấu hình cụ thể để tuần tự kết hợp nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai thành nhóm bit đan xen thứ ba, và tuần tự cắt xén hoặc trích rút liên tục các bit từ nhóm bit đan xen thứ ba để thu được chuỗi đầu ra có tốc độ so khớp.

Theo khía cạnh thứ ba, thiết bị truyền thông không dây được đề xuất, gồm bộ mã hóa mã cực, thiết bị so khớp tốc độ nêu trên, và bộ truyền.

Theo các phương án thực hiện sáng chế, các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, để thu được chuỗi xuất ra có tốc độ so khớp, sao cho cấu trúc chuỗi sau khi đan xen ngẫu nhiên hơn, có thể giảm tỷ lệ lỗi khung (Frame Error Rate, FER), nhờ đó cải thiện hiệu năng HARQ, và đảm bảo độ tin cậy truyền dữ liệu.

Mô tả vắn tắt các hình vẽ

Để mô tả các giải pháp kỹ thuật theo các phương án thực hiện sáng chế rõ ràng hơn, phần sau giới thiệu vắn tắt các hình vẽ đi kèm cần để mô tả các phương án thực hiện hoặc giải pháp kỹ thuật đã biết. Rõ ràng là, các hình vẽ đi kèm trong phần mô tả sau chỉ thể hiện một số phương án thực hiện sáng chế, và người có kiến thức trung bình trong lĩnh vực vẫn có thể suy ra các hình vẽ khác từ các hình vẽ đi kèm này mà không cần nỗ lực sáng tạo.

Fig.1 thể hiện hệ thống truyền thông không dây theo phương án thực hiện sáng chế;

Fig.2 thể hiện hệ thống để thực thi phương pháp xử lý mã cực trong môi trường truyền thông không dây;

Fig.3 là lưu đồ của phương pháp so khớp tốc độ mã cực theo phương

án thực hiện sáng chế;

Fig.4 là sơ đồ khối của thiết bị so khớp tốc độ theo phương án thực hiện sáng chế;

Fig.5 là lược đồ của thiết bị đầu cuối truy nhập giúp thực thi phương pháp xử lý mã cực trong hệ thống truyền thông không dây;

Fig.6 là sơ đồ của hệ thống trong đó phương pháp xử lý mã cực được thực thi trong môi trường truyền thông không dây; và

Fig.7 thể hiện hệ thống có thể sử dụng phương pháp so khớp tốc độ mã cực trong môi trường truyền thông không dây.

Mô tả chi tiết sáng chế

Phần sau mô tả rõ ràng và đầy đủ các giải pháp kỹ thuật theo các phương án thực hiện sáng chế dựa vào các hình vẽ đi kèm theo các phương án thực hiện sáng chế. Rõ ràng là, các phương án thực hiện được mô tả là một số chứ không phải tất cả các phương án thực hiện sáng chế. Tất cả các phương án thực hiện khác thu được bởi người có kiến thức trung bình trong lĩnh vực dựa trên các phương án thực hiện sáng chế mà không cần nỗ lực sáng tạo sẽ nằm trong phạm vi bảo hộ của sáng chế.

Các thuật ngữ như “thành phần”, “môđun”, và “hệ thống” được sử dụng trong sáng chế được sử dụng để chỉ báo các thực thể liên quan máy tính, phần cứng, phần sụn, các tổ hợp phần cứng và phần mềm, phần mềm, hoặc phần mềm được thực thi. Chẳng hạn, thành phần có thể là, nhưng không bị giới hạn ở, quá trình chạy trên bộ xử lý, bộ xử lý, đối tượng, tệp tin thực thi được, luồng thực thi, chương trình, và/hoặc máy tính. Như được thể hiện trên các hình vẽ, cả thiết bị tính toán lẫn ứng dụng chạy trên thiết bị tính toán có thể là các thành phần. Một hoặc nhiều thành phần có thể nằm trong quá trình và/hoặc luồng thực thi, và thành phần có thể được đặt trong một máy tính và/hoặc được phân tán giữa hai hoặc nhiều máy tính. Ngoài ra, các thành phần này có thể được thực thi từ

các phương tiện máy tính đọc được khác nhau mà lưu trữ các cấu trúc dữ liệu khác nhau. Chẳng hạn, các thành phần có thể truyền thông nhờ sử dụng quá trình cục bộ và/hoặc từ xa và theo, chẳng hạn, tín hiệu có một hoặc nhiều gói dữ liệu (chẳng hạn, dữ liệu từ hai thành phần tương tác với thành phần khác trong hệ thống cục bộ, hệ thống phân tán, và/hoặc trên mạng như Internet tương tác với các hệ thống khác nhờ sử dụng tín hiệu).

Ngoài ra, các phương án thực hiện được mô tả dựa vào thiết bị đầu cuối truy nhập. Thiết bị đầu cuối truy nhập có thể còn được gọi là hệ thống, khối thuê bao, trạm thuê bao, trạm di động, di động, trạm từ xa, thiết bị đầu cuối từ xa, thiết bị di động, thiết bị đầu cuối người dùng, thiết bị đầu cuối, thiết bị truyền thông không dây, tác nhân người dùng, trang thiết bị người dùng, hoặc thiết bị người dùng (User Equipment, UE). Thiết bị đầu cuối truy nhập có thể là điện thoại tế bào, điện thoại không dây, điện thoại giao thức khởi tạo phiên (Session Initiation Protocol, SIP), trạm vòng cục bộ không dây (Wireless Local Loop, WLL), hỗ trợ số cá nhân (Personal Digital Assistant, PDA), thiết bị cầm tay có chức năng truyền thông không dây, thiết bị tính toán, hoặc thiết bị xử lý khác được nối với modem không dây. Ngoài ra, các phương án thực hiện được mô tả dựa vào trạm gốc. Trạm gốc có thể được sử dụng để truyền thông với thiết bị di động; và trạm gốc có thể là trạm thu phát gốc (Base Transceiver Station, BTS) trong hệ thống truyền thông di động toàn cầu (Global System of Mobile communication, GSM) hoặc đa truy nhập phân chia mã (Code Division Multiple Access, CDMA); hoặc có thể là nút B (NodeB, NB) trong đa truy nhập phân chia mã băng rộng (Wideband Code Division Multiple Access, WCDMA); hoặc có thể là eNB hoặc eNodeB (Evolutional Node B, nút B tiến hóa) trong tiến hóa dài hạn (Long Term Evolution, LTE), trạm chuyển tiếp hoặc điểm truy nhập, thiết bị trạm gốc trong mạng 5G tương lai, hoặc tương tự.

Ngoài ra, các khía cạnh hoặc các dấu hiệu của sáng chế có thể được

triển khai dưới dạng phương pháp, thiết bị hoặc sản phẩm sử dụng lập trình chuẩn và/hoặc các công nghệ chế tạo. Thuật ngữ “sản phẩm” được sử dụng trong sáng chế bao gồm chương trình ứng dụng có thể được truy nhập từ thành phần máy tính đọc được, sóng mang hoặc môi trường. Chẳng hạn, vật lưu trữ máy tính đọc được có thể gồm nhưng không bị giới hạn ở: thành phần lưu trữ từ tính (chẳng hạn, đĩa cứng, đĩa mềm hoặc băng từ), đĩa quang (chẳng hạn, CD, và DVD), thẻ thông minh và thành phần bộ nhớ nhanh (chẳng hạn, bộ nhớ chỉ đọc lập trình được xóa được (Erasable Programmable Read-Only Memory, EPROM), thẻ, gậy, hoặc điều vận phím. Ngoài ra, các phương tiện lưu trữ khác được mô tả trong sáng chế có thể chỉ báo một hoặc nhiều thiết bị và/hoặc các phương tiện máy đọc được khác được sử dụng để lưu trữ thông tin. Thuật ngữ “môi trường máy đọc được” có thể gồm nhưng không bị giới hạn ở kênh vô tuyến, và các phương tiện khác có thể lưu trữ, chứa và/hoặc mang lệnh và/hoặc dữ liệu.

Hiện tại, tham khảo Fig.1, thể hiện hệ thống truyền thông không dây 100 theo các phương án thực hiện sáng chế. Hệ thống 100 gồm trạm gốc 102, trong đó trạm gốc có thể gồm nhiều nhóm anten. Chẳng hạn, nhóm anten có thể gồm các anten 104 và 106, nhóm anten khác có thể gồm các anten 108 và 110, và nhóm phụ có thể gồm các anten 112 và 114. Đối với mỗi nhóm anten, hai anten được thể hiện; tuy nhiên, các anten có thể được sử dụng cho mỗi nhóm. Trạm gốc 102 có thể gồm bổ sung chuỗi bộ truyền và chuỗi bộ nhận, và người có kiến thức trung bình trong lĩnh vực có thể hiểu rằng chúng có thể gồm nhiều thành phần liên quan gửi và nhận tín hiệu (Chẳng hạn, bộ xử lý, bộ điều biến, bộ ghép kênh, bộ giải điều biến, bộ phân kênh, và anten).

Trạm gốc 102 có thể truyền thông với một hoặc nhiều thiết bị đầu cuối truy nhập (Chẳng hạn, thiết bị đầu cuối truy nhập 116 và thiết bị đầu cuối truy nhập 122). Tuy nhiên, có thể hiểu rằng trạm gốc 102 về cơ bản

có thể truyền thông với số lượng thiết bị đầu cuối truy nhập bất kỳ tương tự các thiết bị đầu cuối truy nhập 116 và 122. Các thiết bị đầu cuối truy nhập 116 và 122 có thể là, chẳng hạn, điện thoại tế bào, điện thoại thông minh, máy tính cầm tay, thiết bị truyền thông không dây, thiết bị tính toán cầm tay, thiết bị vô tuyến vệ tinh, GPS (global positioning system, hệ thống định vị toàn cầu), PDA, và/hoặc thiết bị thích hợp khác bất kỳ được tạo cấu hình để thực hiện truyền thông trong hệ thống truyền thông không dây 100. Như được thể hiện trên hình vẽ, thiết bị đầu cuối truy nhập 116 truyền thông với các anten 112 và 114, trong đó các anten 112 và 114 gửi thông tin đến thiết bị đầu cuối truy nhập 116 qua liên kết tiến 118, và nhận thông tin từ thiết bị đầu cuối truy nhập 116 qua liên kết lùi 120. Ngoài ra, thiết bị đầu cuối truy nhập 122 truyền thông với các anten 104 và 106, trong đó các anten 104 và 106 gửi thông tin đến thiết bị đầu cuối truy nhập 122 qua liên kết tiến 124, và nhận thông tin từ thiết bị đầu cuối truy nhập 122 qua liên kết lùi 126. Trong hệ thống song công phân chia tần số (Frequency Division Duplex, FDD), chẳng hạn, dải tần số khác dải được sử dụng cho liên kết lùi 120 có thể được sử dụng để liên kết tiến 118, và liên kết tiến 124 có thể sử dụng dải tần số khác với liên kết lùi 126. Ngoài ra, trong hệ thống song công phân chia thời gian (Time Division Duplex, TDD), dải tần số tương tự có thể được sử dụng để liên kết tiến 118 và liên kết lùi 120, và dải tần số tương tự có thể được sử dụng để liên kết tiến 124 và liên kết lùi 126.

Mỗi nhóm anten và/hoặc khu vực được thiết kế cho truyền thông được gọi là đoạn của trạm gốc 102. Chẳng hạn, nhóm anten có thể được thiết kế để truyền thông trong thiết bị đầu cuối truy nhập trong đoạn của khu vực được phủ sóng bởi trạm gốc 102. Trong quá trình truyền thông qua các liên kết tiến 118 và 124, anten truyền của trạm gốc 102 có thể cải thiện, nhờ tạo chùm, các tỷ lệ tín hiệu trên nhiễu của các liên kết tiến 118 và 124 cho các thiết bị đầu cuối truy nhập 116 và 122. Ngoài ra, so với

việc gửi, bởi trạm gốc nhờ sử dụng một anten, thông tin đến tất cả các thiết bị đầu cuối truy nhập của trạm gốc, việc gửi, bởi trạm gốc 102 nhờ tạo chùm, thông tin đến các thiết bị đầu cuối truy nhập 116 và 122 được phân tán ngẫu nhiên trong khu vực phủ sóng liên quan gây nhiễu ít hơn cho thiết bị di động trong tế bào lân cận.

Ở thời điểm cho trước, trạm gốc 102, thiết bị đầu cuối truy nhập 116, và/hoặc thiết bị đầu cuối truy nhập 122 có thể là thiết bị truyền thông không dây gửi và/hoặc thiết bị truyền thông không dây nhận. Khi gửi dữ liệu, thiết bị truyền thông không dây gửi có thể mã hóa dữ liệu để truyền. Cụ thể là, thiết bị truyền thông không dây gửi có thể có (chẳng hạn, tạo, thu thập, hoặc lưu trữ bộ nhớ) số lượng bit thông tin cụ thể được gửi đến thiết bị truyền thông không dây nhận qua kênh. Các bit thông tin có thể được bao gồm trong khối vận chuyển (hoặc nhiều khối vận chuyển) của dữ liệu, và khối vận chuyển có thể được phân mảnh để tạo nhiều khối mã. Ngoài ra, thiết bị truyền thông không dây gửi có thể mã hóa mỗi khối mã nhờ sử dụng bộ mã hóa mã cực (không được thể hiện trên hình vẽ).

Hiện tại, trở về Fig.2, thể hiện hệ thống 200 để thực thi phương pháp xử lý mã cực trong môi trường truyền thông không dây. Hệ thống 200 gồm thiết bị truyền thông không dây 202, trong đó nhận thấy rằng thiết bị truyền thông không dây 202 gửi dữ liệu qua kênh. Mặc dù nhận thấy rằng thiết bị truyền thông không dây 202 gửi dữ liệu, thiết bị truyền thông không dây 202 có thể còn nhận dữ liệu qua kênh (chẳng hạn, thiết bị truyền thông không dây 202 có thể đồng thời gửi và nhận dữ liệu, thiết bị truyền thông không dây 202 có thể gửi và nhận dữ liệu ở các thời điểm khác nhau, hoặc hai trường hợp cùng tồn tại). Thiết bị truyền thông không dây 202 có thể là, chẳng hạn, trạm gốc (chẳng hạn, trạm gốc 102 trên Fig.1) hoặc thiết bị đầu cuối truy nhập (chẳng hạn, thiết bị đầu cuối truy nhập 116 trên Fig.1 hoặc thiết bị đầu cuối truy nhập 122 trên Fig.1).

Thiết bị truyền thông không dây 202 có thể gồm bộ mã hóa mã cực

204, thiết bị so khớp tốc độ 205, và bộ truyền 206.

Bộ mã hóa mã cực 204 được tạo cấu hình để mã hóa dữ liệu sẽ được truyền để thu được mã cực tương ứng.

Nếu mã cực thu được sau khi mã hóa bởi bộ mã hóa mã cực 204 là mã hệ thống, thiết bị so khớp tốc độ 205 có thể được tạo cấu hình để phân chia mã cực hệ thống được xuất ra bởi bộ mã hóa mã cực 204 thành các bit hệ thống và các bit chẵn lẻ, đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất, đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai, và sau đó xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai.

Nếu mã cực thu được sau khi mã hóa bởi bộ mã hóa mã cực 204 là mã phi hệ thống, thiết bị so khớp tốc độ 205 có thể được tạo cấu hình để thực hiện đan xen liên khối trên mã cực phi hệ thống để thu được các bit đan xen, và sau đó xác định chuỗi xuất ra có tốc độ so khớp dựa trên các bit đan xen.

Ngoài ra, bộ truyền 206 có thể tuần tự truyền, trên kênh, chuỗi đầu ra có tốc độ so khớp được xử lý bởi thiết bị so khớp tốc độ 205. Chẳng hạn, bộ truyền 206 có thể gửi dữ liệu liên quan đến thiết bị truyền thông không dây khác (không được thể hiện trên hình vẽ).

Theo phương án thực hiện sáng chế, nếu mã cực thu được sau khi mã hóa bởi bộ mã hóa mã cực 204 là mã hệ thống, mã cực có thể được gọi là mã cực hệ thống. Nếu mã cực thu được sau khi mã hóa bởi bộ mã hóa mã cực 204 là mã phi hệ thống, mã cực có thể được gọi là mã cực phi hệ thống.

Nói chung, mã hệ thống đề cập đến mã có ma trận sinh G ở dạng dưới đây hoặc mã tương đương của nó:

$$G=[I_k, P], \text{ trong đó}$$

I_k là ma trận đơn vị bậc k^{th} , và P là ma trận kiểm tra.

Mã ngoại trừ mã hệ thống có thể được gọi là mã phi hệ thống.

Fig.3 là lưu đồ của phương pháp so khớp tốc độ mã cực theo phương án thực hiện sáng chế. Phương pháp trên Fig.3 được thực thi bởi đầu truyền và mã hóa mã cực (chẳng hạn, thiết bị so khớp tốc độ 205 được thể hiện trên Fig.2).

301: Phân chia mã cực hệ thống thành các bit hệ thống và các bit chẵn lẻ.

Các bit hệ thống là các bit tương ứng với ma trận đơn vị I_k một phần trong ma trận sinh nêu trên G , và các bit chẵn lẻ là các bit tương ứng với một phần P ma trận đơn vị trong ma trận sinh nêu trên G .

302: Đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất (Set1), và đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai (Set2).

303: Xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai.

Theo phương án thực hiện sáng chế, các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, để thu được chuỗi xuất ra có tốc độ so khớp, sao cho cấu trúc chuỗi sau khi đan xen ngẫu nhiên hơn, có thể giảm FER, nhờ đó cải thiện hiệu năng HARQ, và đảm bảo độ tin cậy truyền dữ liệu.

Ngoài ra, do các tác động xử lý đan xen trên các khoảng cách nhỏ nhất của các bit hệ thống và các bit chẵn lẻ là khác nhau, khi các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, các khoảng cách nhỏ nhất của các bit đan xen có thể còn được tăng, nhờ đó cải thiện hiệu năng so khớp tốc độ của mã cực.

Loại xử lý đan xen được thực hiện ở bước 302 không bị giới hạn theo phương án thực hiện sáng chế. Chẳng hạn, đan xen bậc hai có thể được thực hiện.

Trường hợp trong đó N là lũy thừa nguyên 2, hàm được định nghĩa:

$$c(m) = \frac{km(m+1)}{2} \pmod{N}, \text{ trong đó } K \text{ là số lẻ, và } 0 \leq m < N; \text{ và}$$

Hàm ánh xạ đan xen bậc hai là: $c(m) \mapsto c(m+1) \pmod{N}$ $0 \leq m < N$. Nói cách khác, bit thứ $c(m)$ được ánh xạ trên bit thứ $c(m+1) \pmod{N}$ trong các bit đan xen. Ở đây mod là toán tử modulo.

Một cách tùy chọn, theo phương án thực hiện, ở bước 302, khi các bit hệ thống được đan xen để thu được nhóm bit đan xen thứ nhất, đan xen bậc hai có thể được thực hiện trên các bit hệ thống để thu được nhóm bit đan xen thứ nhất.

Một cách tùy chọn, theo phương án thực hiện khác, ở bước 302, khi các bit chẵn lẻ được đan xen để thu được nhóm bit đan xen thứ hai, đan xen bậc hai có thể được thực hiện trên các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai.

Một cách tùy chọn, theo phương án thực hiện khác, ở bước 303, khi chuỗi đầu ra có tốc độ so khớp được xác định dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai, bộ đệm vòng có thể được sử dụng. Cụ thể là, trước hết, nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai có thể được viết tuần tự vào bộ đệm vòng, tức là, nhóm bit đan xen thứ nhất trước hết được viết vào bộ đệm vòng, và sau đó nhóm bit đan xen thứ hai được viết vào bộ đệm vòng. Sau đó vị trí bắt đầu của chuỗi đầu ra có tốc độ so khớp trong bộ đệm vòng có thể được xác định theo phiên bản dư thừa (RV, Redundancy Version), và các bit được đọc từ bộ đệm vòng theo vị trí bắt đầu dưới dạng chuỗi đầu ra có tốc độ so khớp.

Trong quá trình HARQ của mã cực, các bit hệ thống và các bit chẵn lẻ khác nhau về mức độ quan trọng, và cụ thể là, các bit hệ thống quan trọng hơn các bit chẵn lẻ. Giả sử rằng nhóm bit đan xen thứ nhất thu được bởi đan xen các bit hệ thống là Set1, và nhóm bit đan xen thứ hai thu được bởi đan xen các bit chẵn lẻ là Set2. Set1 được viết vào bộ đệm vòng trước Set2, sao cho nhiều bit hệ thống hơn có thể được giữ trong chuỗi đầu ra có tốc độ so khớp, để cải thiện hiệu năng HARQ của mã cực.

Một cách tùy chọn, theo phương án thực hiện khác, ở bước 303, khi

chuỗi đầu ra có tốc độ so khớp được xác định dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai, nhóm bit đan xen thứ nhất (Set1) và nhóm bit đan xen thứ hai (Set2) có thể tuần tự được kết hợp thành nhóm bit đan xen thứ ba (Set3), tức là, trong Set3, tất cả các bit trong Set1 được đặt trước tất cả các bit trong Set2. Sau đó các bit có thể được tuần tự cắt xén hoặc trích rút liên tục từ Set3 để thu được chuỗi đầu ra có tốc độ so khớp cần trong mỗi lần truyền lại. Chẳng hạn, khi độ dài L_a của các bit cần được truyền lại ngắn hơn độ dài L_b của Set3, một số bit có độ dài là L_a được cắt xén từ Set3 làm chuỗi đầu ra có tốc độ so khớp. Trong ví dụ khác, khi độ dài L_a của các bit cần được truyền lại dài hơn độ dài L_b của Set3, sau khi tất cả các bit trong Set3 được đọc, các bit trong Set3 có thể được đọc lần thứ hai từ đầu, được lặp lại cho đến khi chuỗi đầu ra có tốc độ so khớp có độ dài là L_a được đọc.

Trong quá trình HARQ của mã cực, các bit hệ thống và các bit chẵn lẻ khác nhau về mức độ quan trọng, và cụ thể là, các bit hệ thống quan trọng hơn các bit chẵn lẻ. Do vậy, nhóm bit đan xen thứ nhất Set1 thu được bởi đan xen các bit hệ thống được đặt trước nhóm các bit đan xen thứ hai Set2 thu được bởi đan xen các bit chẵn lẻ, được kết hợp thành nhóm bit đan xen thứ ba Set3, sao cho nhiều bit hệ thống hơn có thể vẫn còn trong chuỗi xuất ra có tốc độ so khớp cuối cùng thu được, nhờ đó cải thiện hiệu năng HARQ của mã cực.

Fig.4 là sơ đồ khối của thiết bị so khớp tốc độ theo phương án thực hiện sáng chế. Thiết bị so khớp tốc độ 400 trên Fig.4 có thể được đặt trên trạm gốc hoặc UE, gồm khối thực hiện nhóm 401, khối đan xen 402, và khối xác định 403.

Khối thực hiện nhóm 401 phân chia mã cực hệ thống thành các bit hệ thống và các bit chẵn lẻ. Khối đan xen 402 đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất, và đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai. Khối xác định 403 xác định chuỗi xuất ra

có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai.

Theo phương án thực hiện sáng chế, các bit hệ thống và các bit chặn lẻ được đan xen riêng rẽ, để thu được chuỗi xuất ra có tốc độ so khớp, sao cho cấu trúc chuỗi sau khi đan xen ngẫu nhiên hơn, có thể giảm FER, nhờ đó cải thiện hiệu năng HARQ, và đảm bảo độ tin cậy truyền dữ liệu.

Ngoài ra, do các tác động xử lý đan xen trên các khoảng cách nhỏ nhất của các bit hệ thống và các bit chặn lẻ là khác nhau, khi các bit hệ thống và các bit chặn lẻ được đan xen riêng rẽ, các khoảng cách nhỏ nhất của các bit đan xen có thể còn được tăng, nhờ đó cải thiện hiệu năng so khớp tốc độ của mã cực.

Loại xử lý đan xen được thực hiện bởi khối đan xen 402 không bị giới hạn theo phương án thực hiện sáng chế. Chẳng hạn, khối đan xen 402 có thể thực hiện đan xen bậc hai.

Một cách tùy chọn, theo phương án thực hiện, khối đan xen 402 có thể thực hiện đan xen bậc hai trên các bit hệ thống để thu được nhóm bit đan xen thứ nhất, và/hoặc thực hiện đan xen bậc hai trên các bit chặn lẻ để thu được nhóm bit đan xen thứ hai.

Một cách tùy chọn, theo phương án thực hiện khác, khối xác định 403 có thể tuần tự viết nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai vào bộ đệm vòng, xác định vị trí bắt đầu của chuỗi đầu ra có tốc độ so khớp trong bộ đệm vòng theo phiên bản dư thừa, và đọc chuỗi đầu ra có tốc độ so khớp từ bộ đệm vòng theo vị trí bắt đầu.

Trong quá trình HARQ của mã cực, các bit hệ thống và các bit chặn lẻ khác nhau về mức độ quan trọng, và cụ thể là, các bit hệ thống quan trọng hơn các bit chặn lẻ. Giả sử rằng nhóm bit đan xen thứ nhất thu được bởi đan xen các bit hệ thống là Set1, và nhóm bit đan xen thứ hai thu được bởi đan xen các bit chặn lẻ là Set2. Set1 được viết vào bộ đệm vòng trước Set2, sao cho nhiều bit hệ thống hơn có thể được giữ trong chuỗi

đầu ra có tốc độ so khớp, để cải thiện hiệu năng HARQ của mã cực.

Một cách tùy chọn, theo phương án thực hiện khác, khối xác định 403 có thể tuần tự kết hợp nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai thành nhóm bit đan xen thứ ba, và tuần tự cắt xén hoặc trích rút liên tục các bit từ nhóm bit đan xen thứ ba, để thu được chuỗi đầu ra có tốc độ so khớp.

Trong quá trình HARQ của mã cực, các bit hệ thống và các bit chẵn lẻ khác nhau về mức độ quan trọng, và cụ thể là, các bit hệ thống quan trọng hơn các bit chẵn lẻ. Do vậy, nhóm bit đan xen thứ nhất Set1 thu được bởi đan xen các bit hệ thống được đặt trước nhóm các bit đan xen thứ hai Set2 thu được bởi đan xen các bit chẵn lẻ, được kết hợp thành nhóm bit đan xen thứ ba Set3, sao cho nhiều bit hệ thống hơn có thể vẫn còn trong chuỗi xuất ra có tốc độ so khớp cuối cùng thu được, nhờ đó cải thiện hiệu năng HARQ của mã cực.

Fig.5 là sơ đồ của thiết bị đầu cuối truy nhập 500 giúp thực thi phương pháp xử lý mã cực nêu trên trong hệ thống truyền thông không dây. Thiết bị đầu cuối truy nhập 500 gồm bộ nhận 502, trong đó bộ nhận 502 được tạo cấu hình để nhận tín hiệu từ, chẳng hạn, anten nhận (không được thể hiện trên hình vẽ), thực hiện hoạt động cụ thể (chẳng hạn, lọc, khuếch đại, hoặc biến đổi xuống) trên tín hiệu nhận được, và số hóa tín hiệu điều chỉnh để thu được mẫu. Bộ nhận 502 có thể là, chẳng hạn, bộ nhận sai số quân phương nhỏ nhất (minimum mean square error, MMSE). Thiết bị đầu cuối truy nhập 500 có thể còn gồm bộ giải điều biến 504, trong đó bộ giải điều biến 504 có thể được tạo cấu hình để giải điều biến các ký hiệu nhận được và cung cấp các ký hiệu đó cho bộ xử lý 506 để ước tính kênh. Bộ xử lý 506 có thể là bộ xử lý được tạo cấu hình cụ thể để phân tích thông tin nhận được bởi bộ nhận 502 và/hoặc tạo thông tin được gửi bởi bộ truyền 516, bộ xử lý được tạo cấu hình để điều khiển một hoặc nhiều thành phần của thiết bị đầu cuối truy nhập 500, và/hoặc bộ

điều khiển được tạo cấu hình để phân tích thông tin được nhận bởi bộ nhận 502, tạo thông tin được gửi bởi bộ truyền 516, và điều khiển một hoặc nhiều thành phần của thiết bị đầu cuối truy nhập 500.

Thiết bị đầu cuối truy nhập 500 có thể còn gồm bộ nhớ 508, trong đó bộ nhớ được ghép nối vận hành với bộ xử lý 506, và lưu trữ dữ liệu sau: dữ liệu sẽ được gửi, dữ liệu nhận được, và thông tin thích hợp khác bất kỳ liên quan việc thực thi các hoạt động và chức năng khác theo sáng chế. Bộ nhớ 508 có thể lưu trữ bổ sung giao thức và/hoặc thuật toán liên quan xử lý mã cục.

Có thể hiểu rằng thiết bị lưu trữ dữ liệu (Chẳng hạn, bộ nhớ 508) theo sáng chế có thể là bộ nhớ khả biến hoặc bộ nhớ bất biến, hoặc có thể gồm cả bộ nhớ khả biến lẫn bộ nhớ bất biến. Lấy làm ví dụ minh họa thay vì giới hạn bộ nhớ bất biến có thể gồm: bộ nhớ chỉ đọc (Read-Only Memory, ROM), ROM lập trình được (Programmable ROM, PROM), PROM xóa được (Erasable PROM, EPROM), PROM xóa được bằng điện (Electrically EPROM, EEPROM), hoặc bộ nhớ nhanh; và bộ nhớ khả biến có thể gồm bộ nhớ truy nhập ngẫu nhiên (Random Access Memory, RAM) và được sử dụng làm bộ đệm ngoài. Các RAM ở nhiều dạng như RAM tĩnh (Static RAM, SRAM), RAM động (Dynamic RAM, DRAM), DRAM đồng bộ (Synchronous DRAM, SDRAM), SDRAM tốc độ dữ liệu gấp đôi (Double Data Rate SDRAM, DDR SDRAM), SDRAM tăng cường (Enhanced SDRAM, ESDRAM), DRAM liên kết đồng bộ (Synchlink DRAM, SLDRAM), và RAM Rambus trực tiếp (Direct Rambus RAM, DR RAM) có thể được sử dụng, mô tả lấy làm ví dụ thay vì giới hạn. Bộ nhớ 508 trong hệ thống và phương pháp được mô tả theo sáng chế nhằm bao gồm, nhưng không bị giới hạn ở, các bộ nhớ hoặc bộ nhớ khác bất kỳ có loại thích hợp.

Khi ứng dụng thực, bộ nhận 502 có thể còn được ghép nối với thiết bị khớp tốc độ 510. Thiết bị khớp tốc độ 510 về cơ bản có thể tương tự

với thiết bị so khớp tốc độ 205 trên Fig.2. Ngoài ra, thiết bị đầu cuối truy nhập 500 có thể còn gồm bộ mã hóa mã cực 512. Bộ mã hóa mã cực 512 về cơ bản tương tự với bộ mã hóa mã cực 204 trên Fig.2.

Nếu mã cực hệ thống thu được nhờ mã hóa bởi bộ mã hóa mã cực 512, thiết bị so khớp tốc độ 510 có thể được tạo cấu hình để phân chia mã cực hệ thống thành các bit hệ thống và các bit chẵn lẻ; đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất (Set1), và đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai (Set2); và xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai.

Theo phương án thực hiện sáng chế, các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, để thu được chuỗi xuất ra có tốc độ so khớp, sao cho cấu trúc chuỗi sau khi đan xen ngẫu nhiên hơn, có thể giảm FER, nhờ đó cải thiện hiệu năng HARQ, và đảm bảo độ tin cậy truyền dữ liệu.

Ngoài ra, do các tác động xử lý đan xen trên các khoảng cách nhỏ nhất của các bit hệ thống và các bit chẵn lẻ là khác nhau, khi các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, các khoảng cách nhỏ nhất của các bit đan xen có thể còn được tăng, nhờ đó cải thiện hiệu năng so khớp tốc độ của mã cực.

Nói theo cách khác, nếu mã cực phi hệ thống thu được nhờ mã hóa bởi bộ mã hóa mã cực 512, thiết bị so khớp tốc độ 510 có thể được tạo cấu hình để thực hiện đan xen liên khối trên mã cực phi hệ thống để thu được các bit đan xen, và xác định chuỗi xuất ra có tốc độ so khớp dựa trên các bit đan xen.

Theo phương án thực hiện sáng chế, việc đan xen liên khối được thực hiện trên mã cực phi hệ thống, và tăng khoảng cách nhỏ nhất của các bit đan xen, nhờ đó cải thiện hiệu năng so khớp tốc độ của mã cực.

Loại xử lý đan xen được thực hiện bởi thiết bị so khớp tốc độ 510 không bị giới hạn theo phương án thực hiện sáng chế. Chẳng hạn, đan

xen bậc hai có thể được thực hiện.

Ở trường hợp trong đó N là lũy thừa nguyên 2, hàm được định nghĩa:

$$c(m) = \frac{km(m+1)}{2} \pmod{N}, \text{ trong đó } K \text{ là số lẻ, và } 0 \leq m < N; \text{ và}$$

Hàm ánh xạ đan xen bậc hai là: $c(m) \mapsto c(m+1) \pmod{N} \quad 0 \leq m < N$.

Nói cách khác, bit thứ $c(m)$ được ánh xạ trên bit thứ $c(m+1) \pmod{N}$ trong các bit đan xen. Ở đây mod là toán tử modulo.

Một cách tùy chọn, theo phương án thực hiện, khi đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất, thiết bị so khớp tốc độ 510 có thể thực hiện đan xen bậc hai trên các bit hệ thống để thu được nhóm bit đan xen thứ nhất.

Một cách tùy chọn, theo phương án thực hiện khác, khi đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai, thiết bị so khớp tốc độ 510 có thể thực hiện đan xen bậc hai trên các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai.

Một cách tùy chọn, theo phương án thực hiện khác, khi xác định chuỗi đầu ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai, thiết bị so khớp tốc độ 510 có thể sử dụng bộ đệm vòng. Cụ thể là, trước hết, thiết bị so khớp tốc độ 510 có thể tuần tự viết nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai vào bộ đệm vòng, tức là, nhóm bit đan xen thứ nhất trước hết được viết vào bộ đệm vòng, và sau đó nhóm bit đan xen thứ hai được viết vào bộ đệm vòng. Sau đó thiết bị so khớp tốc độ 510 có thể xác định vị trí bắt đầu của chuỗi đầu ra có tốc độ so khớp trong bộ đệm vòng theo phiên bản dư thừa, và đọc các bit từ bộ đệm vòng theo vị trí bắt đầu dưới dạng chuỗi đầu ra có tốc độ so khớp.

Trong quá trình HARQ của mã cực, các bit hệ thống và các bit chẵn lẻ khác nhau về mức độ quan trọng, và cụ thể là, các bit hệ thống quan trọng hơn các bit chẵn lẻ. Giả sử rằng nhóm bit đan xen thứ nhất thu được

bởi đan xen các bit hệ thống là Set1, và nhóm bit đan xen thứ hai thu được bởi đan xen các bit chẵn lẻ là Set2. Set1 được viết vào bộ đệm vòng trước Set2, sao cho nhiều bit hệ thống hơn có thể được giữ trong chuỗi đầu ra có tốc độ so khớp, để cải thiện hiệu năng HARQ của mã cực.

Một cách tùy chọn, theo phương án thực hiện khác, khi xác định chuỗi đầu ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai, thiết bị so khớp tốc độ 510 có thể tuần tự kết hợp nhóm bit đan xen thứ nhất (Set1) và nhóm bit đan xen thứ hai (Set2) thành nhóm bit đan xen thứ ba (Set3), tức là, ở Set3, tất cả các bit ở Set1 được đặt trước tất cả các bit ở Set2. Sau đó thiết bị so khớp tốc độ 510 có thể tuần tự cắt xén hoặc trích rút liên tục các bit từ Set3 để thu được chuỗi đầu ra có tốc độ so khớp cần trong mỗi lần truyền lại. Chẳng hạn, khi độ dài L_a của các bit cần được truyền lại ngắn hơn độ dài L_b của Set3, một số bit có độ dài là L_a được cắt xén khỏi Set3 làm chuỗi đầu ra có tốc độ so khớp. Trong ví dụ khác, khi độ dài L_a của các bit cần được truyền lại dài hơn độ dài L_b của Set3, sau khi tất cả các bit trong Set3 được đọc, các bit trong Set3 có thể được đọc lần thứ hai từ đầu, được lặp lại cho đến khi chuỗi đầu ra có tốc độ so khớp có độ dài là L_a được đọc.

Trong quá trình HARQ của mã cực, các bit hệ thống và các bit chẵn lẻ khác nhau về mức độ quan trọng, và cụ thể là, các bit hệ thống quan trọng hơn các bit chẵn lẻ. Do vậy, nhóm bit đan xen thứ nhất Set1 thu được bởi đan xen các bit hệ thống được đặt trước nhóm các bit đan xen thứ hai Set2 thu được bởi đan xen các bit chẵn lẻ, được kết hợp thành nhóm bit đan xen thứ ba Set3, sao cho nhiều bit hệ thống hơn có thể vẫn còn trong chuỗi xuất ra có tốc độ so khớp cuối cùng thu được, nhờ đó cải thiện hiệu năng HARQ của mã cực.

Một cách tùy chọn, theo phương án thực hiện, khi thực hiện đan xen liên khối trên mã cực phi hệ thống để thu được các bit đan xen, thiết bị so khớp tốc độ 510 có thể thực hiện đan xen bậc hai trên mã cực phi hệ

thống để thu được các bit đan xen.

Một cách tùy chọn, theo phương án thực hiện khác, khi xác định chuỗi đầu ra có tốc độ so khớp dựa trên các bit đan xen, thiết bị so khớp tốc độ 510 có thể viết các bit đan xen vào bộ đệm vòng, xác định vị trí bắt đầu của chuỗi đầu ra có tốc độ so khớp trong bộ đệm vòng theo phiên bản dư thừa, và đọc chuỗi đầu ra có tốc độ so khớp từ bộ đệm vòng theo vị trí bắt đầu.

Một cách tùy chọn, theo phương án thực hiện khác, khi xác định chuỗi đầu ra có tốc độ so khớp dựa trên các bit đan xen, thiết bị so khớp tốc độ 510 có thể tuần tự cắt xén hoặc trích rút liên tục các bit từ các bit đan xen, để thu được chuỗi đầu ra có tốc độ so khớp cần trong mỗi lần truyền lại.

Ngoài ra, thiết bị đầu cuối truy nhập 500 có thể còn gồm bộ điều biến 514 và bộ truyền 516, trong đó bộ truyền 516 được tạo cấu hình để gửi tín hiệu đến, chẳng hạn, trạm gốc hoặc thiết bị đầu cuối truy nhập khác. Mặc dù nhận thấy rằng bộ mã hóa mã cực 512, thiết bị so khớp tốc độ 510, và/hoặc bộ điều biến 514 được tách riêng khỏi bộ xử lý 506, có thể hiểu rằng bộ mã hóa mã cực 512, thiết bị so khớp tốc độ 510, và/hoặc bộ điều biến 514 có thể là một phần bộ xử lý 506 hoặc nhiều bộ xử lý (không được thể hiện trên hình vẽ).

Fig.6 là sơ đồ của hệ thống 600 trong đó phương pháp xử lý mã cực nêu trên được thực thi trong môi trường truyền thông không dây. Hệ thống 600 gồm trạm gốc 602 (Chẳng hạn, điểm truy nhập, NB, hoặc eNB), trong đó trạm gốc 602 có bộ nhận 610 nhận các tín hiệu từ một hoặc nhiều thiết bị đầu cuối truy nhập 604 nhờ sử dụng nhiều anten nhận 606, và bộ truyền 624 truyền các tín hiệu đến một hoặc nhiều thiết bị đầu cuối truy nhập 604 nhờ sử dụng anten truyền 608. Bộ nhận 610 có thể nhận thông tin từ các anten nhận 606, và được liên kết vận hành với bộ giải điều biến 612 mà giải điều biến thông tin nhận được. Ký hiệu được

giải điều biến được phân tích bởi bộ xử lý 614 tương tự bộ xử lý được mô tả trên Fig.7, bộ xử lý 614 được nối với bộ nhớ 616, và bộ nhớ 616 được tạo cấu hình để lưu trữ dữ liệu sẽ được gửi đến thiết bị đầu cuối truy nhập 604 (hoặc trạm gốc khác, không được thể hiện trên hình vẽ), hoặc dữ liệu được nhận từ thiết bị đầu cuối truy nhập 604 (hoặc trạm gốc khác, không được thể hiện trên hình vẽ), và/hoặc thông tin thích hợp khác bất kỳ liên quan việc thực thi các hoạt động và chức năng khác nhau theo sáng chế. Bộ xử lý 614 có thể còn được ghép nối với bộ mã hóa mã cực 618 và thiết bị so khớp tốc độ 620.

Theo khía cạnh của phương án thực hiện sáng chế, thiết bị so khớp tốc độ 620 có thể được tạo cấu hình để phân chia mã cực hệ thống được xuất ra bởi bộ mã hóa mã cực 618 thành các bit hệ thống và các bit chẵn lẻ; Đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất (Set1), và đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai (Set2); và xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai.

Theo phương án thực hiện sáng chế, các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, để thu được chuỗi xuất ra có tốc độ so khớp, sao cho cấu trúc chuỗi sau khi đan xen ngẫu nhiên hơn, có thể giảm FER, nhờ đó cải thiện hiệu năng HARQ, và đảm bảo độ tin cậy truyền dữ liệu.

Ngoài ra, do các tác động xử lý đan xen trên các khoảng cách nhỏ nhất của các bit hệ thống và các bit chẵn lẻ là khác nhau, khi các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, các khoảng cách nhỏ nhất của các bit đan xen có thể còn được tăng, nhờ đó cải thiện hiệu năng so khớp tốc độ của mã cực.

Theo khía cạnh khác của phương án thực hiện sáng chế, thiết bị so khớp tốc độ 620 có thể được tạo cấu hình để thực hiện đan xen liên khối trên mã cực phi hệ thống được xuất ra bởi bộ mã hóa mã cực 618 để thu được các bit đan xen, và xác định chuỗi xuất ra có tốc độ so khớp dựa

trên các bit đan xen.

Theo phương án thực hiện sáng chế, đan xen liên khối được thực hiện trên mã cực phi hệ thống, và khoảng cách nhỏ nhất của các bit đan xen được tăng, nhờ đó cải thiện hiệu năng so khớp tốc độ của mã cực.

Loại xử lý đan xen được thực hiện bởi thiết bị so khớp tốc độ 620 không bị giới hạn theo phương án thực hiện sáng chế. Chẳng hạn, đan xen bậc hai có thể được thực hiện.

Trường hợp trong đó N là lũy thừa nguyên 2, hàm được định nghĩa:

$$c(m) = \frac{km(m+1)}{2} \pmod{N}, \text{ trong đó } K \text{ là số lẻ, và } 0 \leq m < N; \text{ và}$$

Hàm ánh xạ đan xen bậc hai là: $c(m) \mapsto c(m+1) \pmod{N} \quad 0 \leq m < N$.

Nói cách khác, bit thứ $c(m)$ được ánh xạ trên bit thứ $c(m+1) \pmod{N}$ trong các bit đan xen. Ở đây mod là toán tử modulo.

Một cách tùy chọn, theo phương án thực hiện, khi đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất, thiết bị so khớp tốc độ 620 có thể thực hiện đan xen bậc hai trên các bit hệ thống để thu được nhóm bit đan xen thứ nhất.

Một cách tùy chọn, theo phương án thực hiện khác, khi đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai, thiết bị so khớp tốc độ 620 có thể thực hiện đan xen bậc hai trên các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai.

Một cách tùy chọn, theo phương án thực hiện khác, khi xác định chuỗi đầu ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai, thiết bị so khớp tốc độ 620 có thể sử dụng bộ đệm vòng. Cụ thể là, trước hết, thiết bị so khớp tốc độ 620 có thể tuần tự viết nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai vào bộ đệm vòng, tức là, nhóm bit đan xen thứ nhất trước hết được viết vào bộ đệm vòng, và sau đó nhóm bit đan xen thứ hai được viết vào bộ đệm vòng. Sau đó thiết bị so khớp tốc độ 620 có thể xác định vị trí bắt đầu của chuỗi

đầu ra có tốc độ so khớp trong bộ đệm vòng theo phiên bản dư thừa, và đọc các bit từ bộ đệm vòng theo vị trí bắt đầu làm chuỗi đầu ra có tốc độ so khớp.

Trong quá trình HARQ của mã cực, các bit hệ thống và các bit chẵn lẻ khác nhau về mức độ quan trọng, và cụ thể là, các bit hệ thống quan trọng hơn các bit chẵn lẻ. Giả sử rằng nhóm bit đan xen thứ nhất thu được bởi đan xen các bit hệ thống là Set1, và nhóm bit đan xen thứ hai thu được bởi đan xen các bit chẵn lẻ là Set2. Set1 được viết vào bộ đệm vòng trước Set2, sao cho nhiều bit hệ thống hơn có thể được giữ in chuỗi đầu ra có tốc độ so khớp, để cải thiện hiệu năng HARQ của mã cực.

Một cách tùy chọn, theo phương án thực hiện khác, khi xác định chuỗi đầu ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai, thiết bị so khớp tốc độ 620 có thể tuần tự kết hợp nhóm bit đan xen thứ nhất (Set1) và nhóm bit đan xen thứ hai (Set2) thành nhóm bit đan xen thứ ba (Set3), tức là, trong Set3, tất cả các bit trong Set1 được đặt trước tất cả các bit trong Set2. Sau đó thiết bị so khớp tốc độ 620 có thể tuần tự cắt xén hoặc trích rút liên tục các bit từ Set3 để thu được chuỗi đầu ra có tốc độ so khớp cần trong mỗi lần truyền lại. Chẳng hạn, khi độ dài L_a của các bit cần được truyền lại ngắn hơn độ dài L_b của Set3, một số bit có độ dài là L_a được cắt xén từ Set3 làm chuỗi đầu ra có tốc độ so khớp. Trong ví dụ khác, khi độ dài L_a của các bit cần được truyền lại dài hơn độ dài L_b của Set3, sau khi tất cả các bit trong Set3 được đọc, các bit trong Set3 có thể được đọc lần thứ hai từ đầu, được lặp lại cho đến khi chuỗi đầu ra có tốc độ so khớp có độ dài L_a được đọc.

Trong quá trình HARQ của mã cực, các bit hệ thống và các bit chẵn lẻ khác nhau về mức độ quan trọng, và cụ thể là, các bit hệ thống quan trọng hơn các bit chẵn lẻ. Do vậy, nhóm bit đan xen thứ nhất Set1 thu được bởi đan xen các bit hệ thống được đặt trước nhóm các bit đan xen

thứ hai Set2 thu được bởi đan xen các bit chẵn lẻ, được kết hợp thành nhóm bit đan xen thứ ba Set3, sao cho nhiều bit hệ thống hơn có thể vẫn còn trong chuỗi xuất ra có tốc độ so khớp cuối cùng thu được, nhờ đó cải thiện hiệu năng HARQ của mã cực.

Một cách tùy chọn, theo phương án thực hiện, khi thực hiện đan xen liên khối trên mã cực phi hệ thống để thu được các bit đan xen, thiết bị so khớp tốc độ 620 có thể thực hiện đan xen bậc hai trên mã cực phi hệ thống để thu được các bit đan xen.

Một cách tùy chọn, theo phương án thực hiện khác, khi xác định chuỗi đầu ra có tốc độ so khớp dựa trên các bit đan xen, thiết bị so khớp tốc độ 620 có thể viết các bit đan xen vào bộ đệm vòng, xác định vị trí bắt đầu của chuỗi đầu ra có tốc độ so khớp trong bộ đệm vòng theo phiên bản dư thừa, và đọc chuỗi đầu ra có tốc độ so khớp từ bộ đệm vòng theo vị trí bắt đầu.

Một cách tùy chọn, theo phương án thực hiện khác, khi xác định chuỗi đầu ra có tốc độ so khớp dựa trên các bit đan xen, thiết bị so khớp tốc độ 620 có thể tuần tự cắt xén hoặc trích rút liên tục các bit từ các bit đan xen, để thu được chuỗi đầu ra có tốc độ so khớp cần trong mỗi lần truyền lại.

Ngoài ra, trong hệ thống 600, bộ điều biến 622 có thể ghép kênh khung, sao cho bộ truyền 624 gửi thông tin đến thiết bị đầu cuối truy nhập 604 nhờ sử dụng anten 608. Mặc dù nhận thấy rằng bộ mã hóa mã cực 618, thiết bị so khớp tốc độ 620, và/hoặc bộ điều biến 622 được tách riêng khỏi bộ xử lý 614, có thể hiểu rằng bộ mã hóa mã cực 618, thiết bị so khớp tốc độ 620, và/hoặc bộ điều biến 622 có thể là một phần của bộ xử lý 614 hoặc nhiều bộ xử lý (không được thể hiện trên hình vẽ).

Có thể hiểu rằng các phương án thực hiện sáng chế có thể được triển khai bởi phần cứng, phần mềm, phần giữa, phần sụn, vi mã, hoặc kết hợp. Để triển khai bởi phần cứng, khối xử lý có thể được triển khai trong một

hoặc nhiều mạch tích hợp ứng dụng cụ thể (Application Specific Integrated Circuit, ASIC), xử lý tín hiệu số (Digital Signal Processing, DSP), các thiết bị DSP (DSP Device, DSPD), các thiết bị logic lập trình được (Programmable Logic Device, PLD), các mảng cổng lập trình được dạng trường (Field-Programmable Gate Array, FPGA), các bộ xử lý, các bộ điều khiển, các bộ vi điều khiển, các bộ vi xử lý, các khối điện tử khác để thực hiện các chức năng theo sáng chế, hoặc kết hợp của chúng.

Khi các phương án thực hiện được triển khai trong phần mềm, phần sụn, phần giữa, vi mã, mã chương trình, hoặc đoạn mã, chúng có thể được lưu trữ trong, chẳng hạn, vật máy đọc được của phần chứa. Đoạn mã có thể chỉ báo quá trình, chức năng, chương trình phụ, chương trình, thủ tục, thủ tục con, môđun, nhóm phần mềm, loại, hoặc kết hợp bất kỳ của lệnh, cấu trúc dữ liệu, và lệnh chương trình. Đoạn mã có thể được ghép nối với đoạn mã khác hoặc mạch phần cứng nhờ chuyển giao và/hoặc nhận thông tin, dữ liệu, biến độc lập, tham số, hoặc nội dung bộ nhớ. Thông tin, biến độc lập, tham số, dữ liệu, hoặc tương tự có thể được truyền, chuyển tiếp, hoặc được gửi theo cách thích hợp bất kỳ như chia sẻ bộ nhớ, truyền tin nhắn, truyền thẻ, hoặc truyền mạng.

Để triển khai nhờ phần mềm, các công nghệ theo sáng chế có thể được triển khai nhờ thực thi các môđun chức năng (chẳng hạn, quá trình và chức năng) theo sáng chế. Mã phần mềm có thể được lưu trữ trong khối bộ nhớ và được thực thi bởi bộ xử lý. Khối bộ nhớ có thể được triển khai trong bộ xử lý hoặc ngoài bộ xử lý, và ở trường hợp sau, khối bộ nhớ có thể được ghép nối với bộ xử lý nhờ truyền thông bằng cách sử dụng các phương tiện khác nhau đã biết theo giải pháp kỹ thuật.

Như trên Fig.7, thể hiện hệ thống 700 mà có thể sử dụng phương pháp so khớp tốc độ mã cực trong môi trường truyền thông không dây. Chẳng hạn, hệ thống 700 có thể ít nhất thường trú trong trạm gốc. Theo ví dụ khác, hệ thống 700 có thể ít nhất thường trú trong thiết bị đầu cuối

truy nhập. Nên hiểu rằng hệ thống 700 có thể được chỉ báo dưới dạng gồm khối chức năng, có thể chỉ báo khối chức năng của chức năng được triển khai bởi bộ xử lý, phần mềm, hoặc kết hợp của chúng (chẳng hạn, phần sụn). Hệ thống 700 gồm nhóm logic 702 có các linh kiện điện tử phối hợp thực hiện toán tử.

Chẳng hạn, nhóm logic 702 có thể gồm linh kiện điện tử 704 được tạo cấu hình để phân chia mã cực hệ thống thành các bit hệ thống và các bit chẵn lẻ, và linh kiện điện tử 706 được tạo cấu hình để đan xen các bit hệ thống để thu được nhóm bit đan xen thứ nhất, và đan xen các bit chẵn lẻ để thu được nhóm bit đan xen thứ hai. Nhóm logic 702 có thể còn gồm linh kiện điện tử 708 được tạo cấu hình để xác định chuỗi xuất ra có tốc độ so khớp dựa trên nhóm bit đan xen thứ nhất và nhóm bit đan xen thứ hai.

Theo phương án thực hiện sáng chế, các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, để thu được chuỗi xuất ra có tốc độ so khớp, sao cho cấu trúc chuỗi sau khi đan xen ngẫu nhiên hơn, có thể giảm FER, nhờ đó cải thiện hiệu năng HARQ, và đảm bảo độ tin cậy truyền dữ liệu.

Ngoài ra, do các tác động xử lý đan xen trên các khoảng cách nhỏ nhất của các bit hệ thống và các bit chẵn lẻ là khác nhau, khi các bit hệ thống và các bit chẵn lẻ được đan xen riêng rẽ, các khoảng cách nhỏ nhất của các bit đan xen có thể còn được tăng, nhờ đó cải thiện hiệu năng so khớp tốc độ của mã cực.

Ngoài ra, hệ thống 700 có thể gồm bộ nhớ 712, trong đó bộ nhớ lưu trữ các lệnh để thực hiện các chức năng liên quan các linh kiện điện tử 704, 706, và 708. Mặc dù nhận thấy rằng các linh kiện điện tử 704, 706, và 708 bên ngoài bộ nhớ 712, có thể hiểu rằng một hoặc nhiều linh kiện điện tử 704, 706, và 708 có thể tồn tại trong bộ nhớ 712.

Người có kiến thức trung bình trong lĩnh vực có thể biết rằng, cùng với các ví dụ được mô tả theo các phương án thực hiện sáng chế, các khối

và các bước thuật toán có thể được triển khai nhờ phần cứng điện tử hoặc kết hợp của phần mềm máy tính và phần cứng điện tử. Liệu các chức năng có được thực hiện bởi phần cứng hoặc phần mềm tùy thuộc vào các ứng dụng cụ thể và các điều kiện ràng buộc thiết kế của các giải pháp kỹ thuật. Chuyên gia trong lĩnh vực có thể sử dụng các phương pháp khác để triển khai các chức năng được mô tả cho mỗi ứng dụng cụ thể, nhưng không nên hiểu rằng việc triển khai vượt quá phạm vi sáng chế.

Chuyên gia trong lĩnh vực có thể hiểu rằng, để mô tả thuận tiện và ngắn gọn, đối với quá trình làm việc chi tiết của hệ thống nêu trên, thiết bị, và khối, có thể tham khảo quá trình tương ứng ở phương pháp nêu trên theo các phương án thực hiện, và các chi tiết không được mô tả lại ở đây.

Theo một số phương án thực hiện sáng chế, nên hiểu rằng hệ thống được bộc lộ, thiết bị, và phương pháp có thể được triển khai theo các cách thức khác. Chẳng hạn, thiết bị được mô tả theo phương án thực hiện chỉ lấy làm ví dụ. Chẳng hạn, việc phân chia khối chỉ là phân chia chức năng logic và có thể là phân chia khác khi triển khai thực. Chẳng hạn, các khối hoặc các thành phần có thể được kết hợp hoặc tích hợp vào hệ thống khác, hoặc một số dấu hiệu có thể bị bỏ qua hoặc không được thực hiện. Ngoài ra, các ghép nối lẫn nhau được đề cập hoặc mô tả hoặc các ghép nối gián tiếp hoặc các kết nối truyền thông có thể được triển khai qua một số giao diện. Các ghép nối gián tiếp hoặc các kết nối truyền thông giữa các thiết bị hoặc các khối có thể được triển khai dưới dạng điện tử, cơ khí hoặc các dạng khác.

Các khối được mô tả dưới dạng các phần riêng rẽ có thể hoặc không thể tách riêng về mặt vật lý, và các phần được hiển thị dưới dạng các khối có thể hoặc không thể là các khối vật lý, có thể được đặt ở một vị trí, hoặc có thể được phân tán trên các khối mạng. Một số hoặc tất cả các khối có thể được lựa chọn theo nhu cầu thực để đạt được các mục đích của các giải pháp theo các phương án thực hiện.

Ngoài ra, các khối chức năng theo các phương án thực hiện sáng chế có thể được tích hợp vào một khối xử lý, hoặc mỗi khối có thể tồn tại độc lập về mặt vật lý, hoặc hai hoặc nhiều khối được tích hợp vào một khối.

Khi các chức năng được triển khai dưới dạng khối chức năng phần mềm và được bán hoặc sử dụng như là sản phẩm độc lập, các chức năng có thể được lưu trữ trong vật lưu trữ máy tính đọc được. Dựa trên hiểu biết này, các giải pháp kỹ thuật của sáng chế chủ yếu, hoặc một phần đóng góp vào giải pháp kỹ thuật đã biết, hoặc một số giải pháp kỹ thuật có thể được triển khai dưới dạng sản phẩm phần mềm. Sản phẩm phần mềm máy tính được lưu trữ trong vật lưu trữ, và gồm một số lệnh để ra lệnh thiết bị máy tính (có thể là máy tính cá nhân, máy chủ, hoặc thiết bị mạng) để thực hiện tất cả hoặc một số các bước của các phương pháp được mô tả theo các phương án thực hiện sáng chế. Vật lưu trữ nên trên gồm: vật bất kỳ có thể lưu trữ mã chương trình, như ổ nhớ nhanh USB, đĩa cứng tháo được, ROM, RAM, đĩa từ, hoặc đĩa quang.

Các phần mô tả nêu trên chỉ là các cách thức triển khai cụ thể của sáng chế, nhưng không được nhằm để giới hạn phạm vi bảo hộ của sáng chế. Biến thể bất kỳ hoặc thay thế dễ được đoán ra bởi người có hiểu biết trung bình trong lĩnh vực trong phạm vi kỹ thuật theo sáng chế sẽ nằm trong phạm vi bảo hộ của sáng chế. Do vậy, phạm vi bảo hộ của sáng chế sẽ phụ thuộc vào phạm vi bảo hộ của các điểm yêu cầu bảo hộ.

YÊU CẦU BẢO HỘ

1. Phương pháp so khớp tốc độ mã cực bao gồm các bước:

thu được, bởi thiết bị truyền thông không dây, mã cực hệ thống bằng cách mã hóa dữ liệu sẽ được truyền, trong đó mã cực hệ thống tương ứng với ma trận sinh;

phân chia, bởi thiết bị truyền thông không dây, mã cực hệ thống thành các bit hệ thống và các bit chẵn lẻ, trong đó các bit hệ thống tương ứng với phần ma trận đơn vị trong ma trận sinh và các bit chẵn lẻ tương ứng với phần ma trận kiểm tra trong ma trận sinh;

thực hiện, bởi thiết bị truyền thông không dây, đan xen tứ phương trên các bit hệ thống để thu được nhóm bit được đan xen thứ nhất, và đan xen tứ phương trên các bit chẵn lẻ để thu được nhóm bit được đan xen thứ hai, trong đó hàm ánh xạ đan xen tứ phương là $c(m) \mapsto c(m+1) \pmod{N}$ $0 \leq m < N$, sao cho bit thứ $c(m)$ trước khi đan xen được ánh xạ trên bit thứ $c(m+1) \pmod{N}$ sau khi đan xen; và

xác định, bởi thiết bị truyền thông không dây, chuỗi đầu ra được so khớp tốc độ dựa trên nhóm bit được đan xen thứ nhất và nhóm bit được đan xen thứ hai, trong đó xác định chuỗi đầu ra được so khớp tốc độ dựa trên nhóm bit được đan xen thứ nhất và nhóm bit được đan xen thứ hai còn bao gồm các bước:

tuần tự kết hợp nhóm bit được đan xen thứ nhất và nhóm bit được đan xen thứ hai thành nhóm bit được đan xen thứ ba, trong đó nhóm bit được đan xen thứ nhất đứng trước nhóm bit được đan xen thứ hai trong nhóm bit được đan xen thứ ba; và

xén tuần tự hoặc liên tục trích rút các bit từ nhóm bit được đan xen thứ ba để thu được chuỗi đầu ra được so khớp tốc độ dựa trên liệu độ dài của nhóm bit được đan xen thứ ba dài hơn hoặc ngắn hơn độ dài của các bit sẽ được truyền lại, một cách lần lượt;

trong đó việc thu được chuỗi đầu ra được so khớp tốc độ bằng cách xén tuần tự các bit từ nhóm bit được đan xen thứ ba khi độ dài của nhóm bit được đan xen thứ ba dài hơn độ dài của các bit sẽ được truyền lại bao gồm bước: xén chuỗi các bit từ nhóm bit được đan xen thứ ba có độ dài bằng độ dài của các bit sẽ được truyền lại; và

trong đó việc thu được chuỗi đầu ra được so khớp tốc độ bằng cách liên tục trích rút các bit từ nhóm bit được đan xen thứ ba khi độ dài của nhóm bit được đan xen thứ ba ngắn hơn độ dài của các bit sẽ được truyền lại bao gồm bước: đọc liên tục chuỗi bit từ nhóm bit được đan xen thứ ba cho đến khi số bit được đọc bằng độ dài của các bit sẽ được truyền lại.

2. Thiết bị truyền thông không dây bao gồm bộ xử lý và bộ nhớ bất biến có các lệnh thực thi được bằng bộ xử lý được lưu trữ trên đó, trong đó các lệnh thực thi được bằng bộ xử lý, khi được thực thi bằng bộ xử lý, thuận tiện thực hiện các bước sau:

thu được mã cực hệ thống bằng cách mã hóa dữ liệu sẽ được truyền, trong đó mã cực hệ thống tương ứng với ma trận sinh;

phân chia đầu ra mã cực hệ thống thành các bit hệ thống và các bit chẵn lẻ, trong đó các bit hệ thống tương ứng với phần ma trận đơn vị trong ma trận sinh và các bit chẵn lẻ tương ứng với phần ma trận kiểm tra trong ma trận sinh;

thực hiện đan xen tứ phương trên các bit hệ thống để thu được nhóm bit được đan xen thứ nhất, và đan xen tứ phương trên các bit chẵn lẻ để thu được nhóm bit được đan xen thứ hai, trong đó hàm ánh xạ của đan xen tứ phương là $c(m) \mapsto c(m+1) \pmod{N}$ $0 \leq m < N$, sao cho bit thứ $c(m)$ trước khi đan xen được ánh xạ trên bit thứ $c(m+1) \pmod{N}$ sau khi đan xen; và

xác định chuỗi đầu ra được so khớp tốc độ dựa trên nhóm bit được đan xen thứ nhất và nhóm bit được đan xen thứ hai, trong đó việc xác định

chuỗi đầu ra được so khớp tốc độ dựa trên nhóm bit được đan xen thứ nhất và nhóm bit được đan xen thứ hai còn bao gồm các bước:

tuần tự kết hợp nhóm bit được đan xen thứ nhất và nhóm bit được đan xen thứ hai thành nhóm bit được đan xen thứ ba, trong đó nhóm bit được đan xen thứ nhất đứng trước nhóm bit được đan xen thứ hai trong nhóm bit được đan xen thứ ba; và

xén tuần tự hoặc liên tục trích rút các bit từ nhóm bit được đan xen thứ ba để thu được chuỗi đầu ra được so khớp tốc độ dựa trên liệu độ dài của nhóm bit được đan xen thứ ba dài hơn hoặc ngắn hơn độ dài của các bit sẽ được truyền lại, một cách lần lượt;

trong đó việc thu được chuỗi đầu ra được so khớp tốc độ bằng cách xen tuần tự các bit từ nhóm bit được đan xen thứ ba khi độ dài của nhóm bit được đan xen thứ ba dài hơn độ dài của các bit sẽ được truyền lại bao gồm bước: xen chuỗi các bit từ nhóm bit được đan xen thứ ba có độ dài bằng độ dài của các bit sẽ được truyền lại; và

trong đó việc thu được chuỗi đầu ra được so khớp tốc độ bằng cách liên tục trích rút các bit từ nhóm bit được đan xen thứ ba khi độ dài của nhóm bit được đan xen thứ ba ngắn hơn độ dài của các bit sẽ được truyền lại bao gồm bước: đọc liên tục chuỗi các bit từ nhóm bit được đan xen thứ ba cho đến khi số bit được đọc bằng độ dài của các bit sẽ được truyền lại.

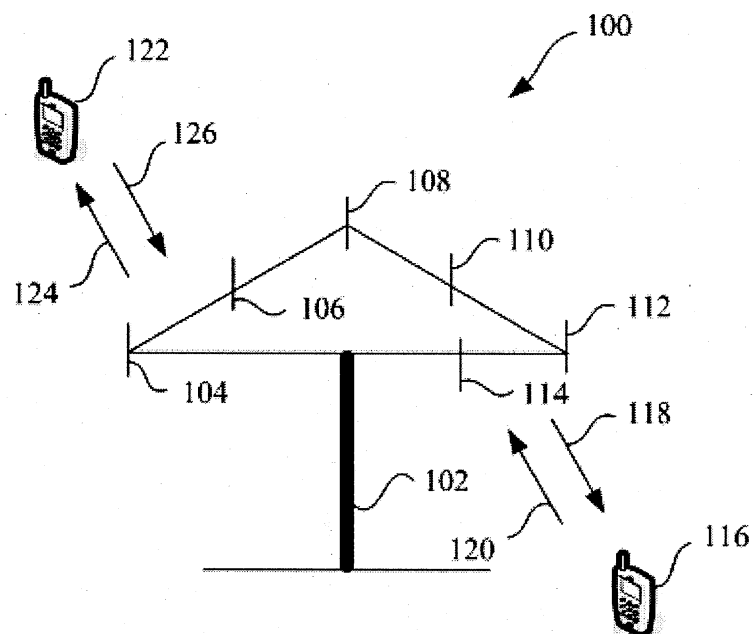


Fig.1

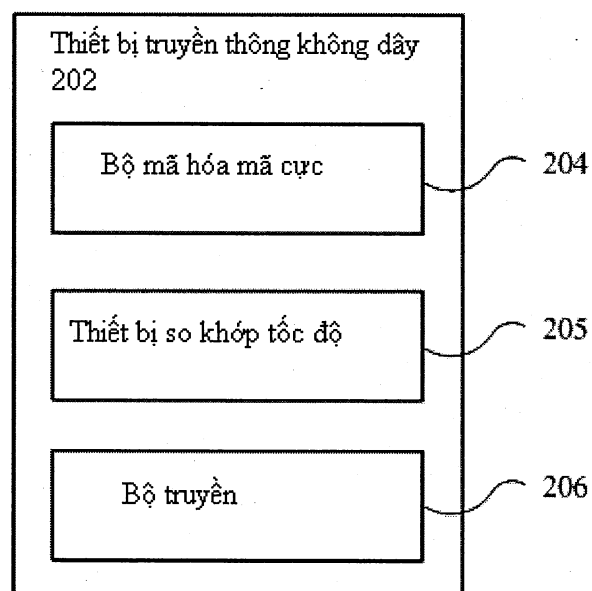
200

Fig.2

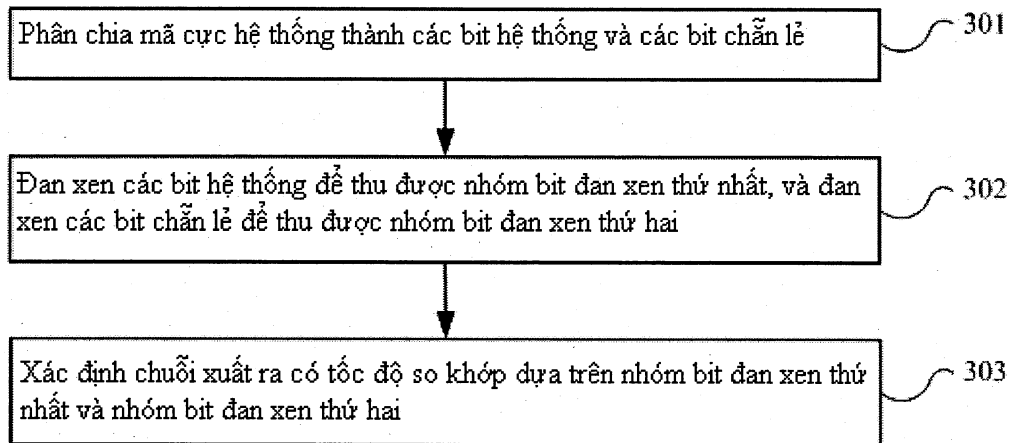


Fig.3

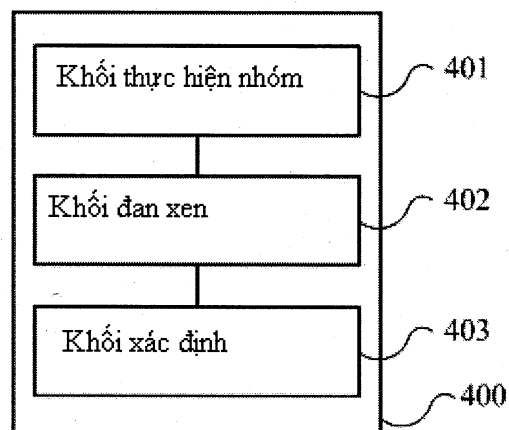


Fig.4

500

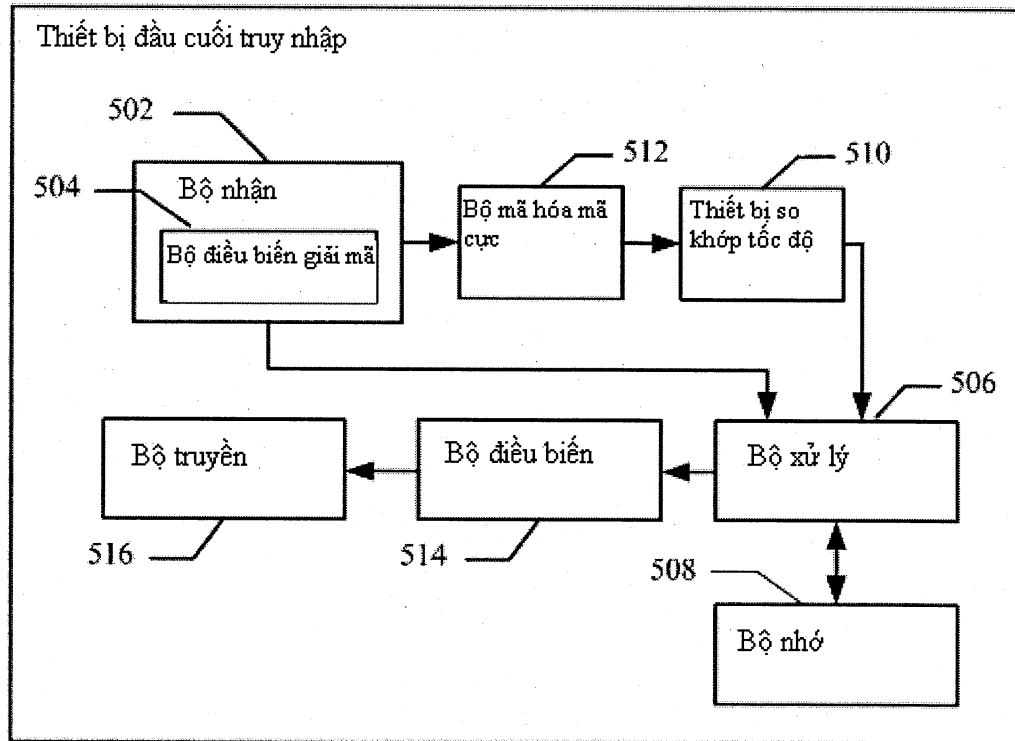


Fig.5

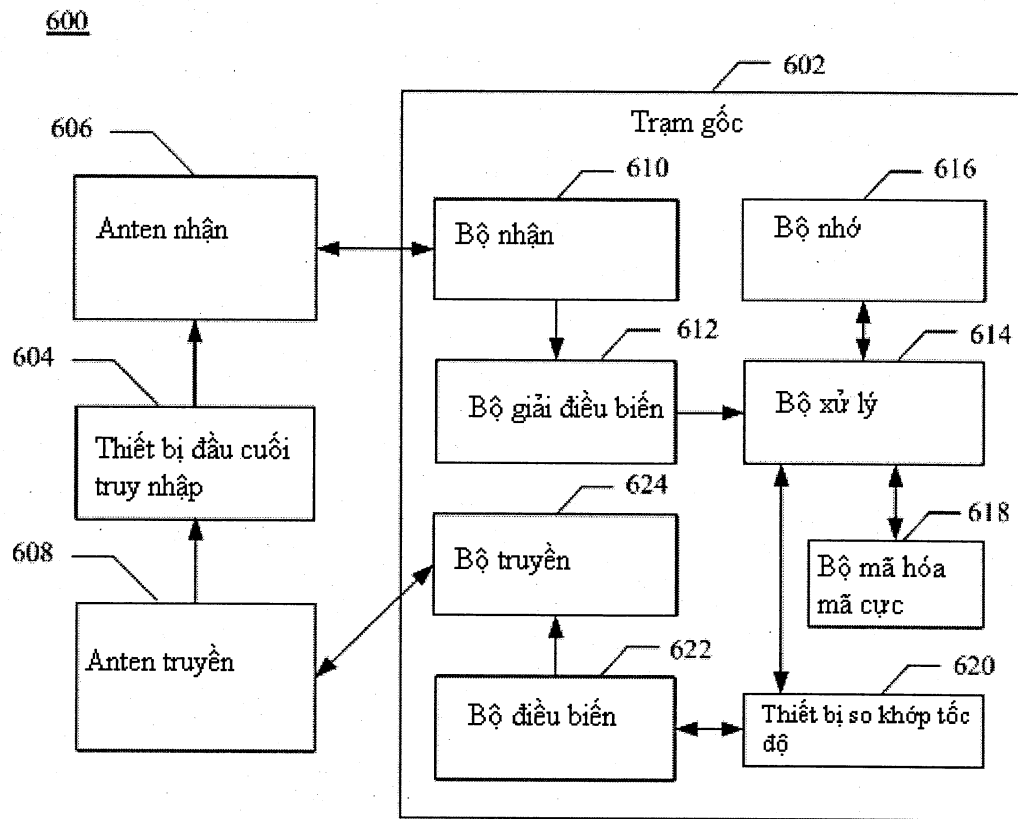


Fig.6

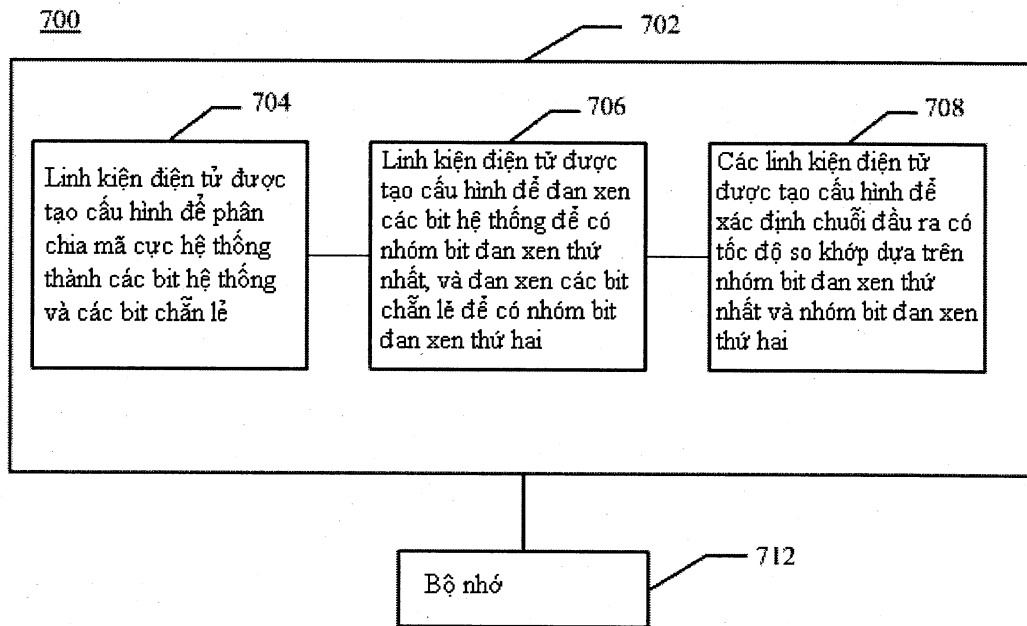


Fig.7